

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02007/142328

発行日 平成21年10月29日 (2009.10.29)

(43) 国際公開日 平成19年12月13日 (2007.12.13)

(51) Int.Cl. F I テーマコード (参考)  
**H03M 1/14 (2006.01)** H03M 1/14 A 5 J022

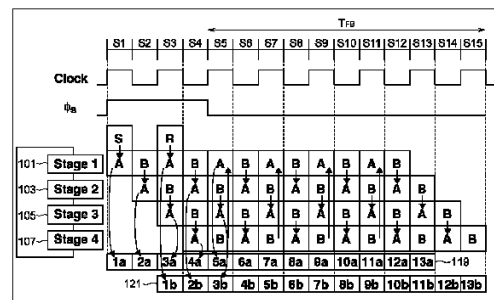
審査請求 有 予備審査請求 未請求 (全 85 頁)

<p>出願番号 特願2008-520636 (P2008-520636)</p> <p>(21) 国際出願番号 PCT/JP2007/061635</p> <p>(22) 国際出願日 平成19年6月8日 (2007.6.8)</p> <p>(31) 優先権主張番号 特願2006-160159 (P2006-160159)</p> <p>(32) 優先日 平成18年6月8日 (2006.6.8)</p> <p>(33) 優先権主張国 日本国 (JP)</p> <p>(31) 優先権主張番号 特願2006-198380 (P2006-198380)</p> <p>(32) 優先日 平成18年7月20日 (2006.7.20)</p> <p>(33) 優先権主張国 日本国 (JP)</p>	<p>(71) 出願人 304023318                  国立大学法人静岡大学                  静岡県静岡市駿河区大谷836</p> <p>(74) 代理人 100088155                  弁理士 長谷川 芳樹</p> <p>(74) 代理人 100108257                  弁理士 近藤 伊知良</p> <p>(74) 代理人 100124800                  弁理士 諏澤 勇司</p> <p>(72) 発明者 川人 祥二                  静岡県浜松市中区城北3丁目5-1 国立                  大学法人静岡大学電子工学研究所内</p> <p>Fターム(参考) 5J022 AA15 AA16 AB01 BA05 CA07                  CA10 CB06 CF02 CF07</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 アナログデジタル変換器、A/D変換ステージ、アナログ信号に対応したデジタル信号を生成する方法、およびA/D変換ステージにおける変換誤差を示す信号を生成する方法

(57) 【要約】

A/D変換ステージ101でのサンプル値Rに変換操作Bを施して変換結果D3を生成しこの変換結果D3にA/D変換ステージ103でサンプリング操作Aを施す。A/D変換ステージ105でのサンプル値に変換操作Bを施して変換結果D4を生成しこの変換結果D4にA/D変換ステージ107でサンプリング操作Aを施す。A/D変換ステージ107でのサンプル値に変換操作Bを施して変換結果D5を生成しこの変換結果D5にA/D変換ステージ101でサンプリング操作Aを施す。A/D変換ステージ103でのサンプル値に変換操作Bを施して変換結果D6を生成しこの変換結果D6にA/D変換ステージ105でサンプリング操作Aを施す。



## 【特許請求の範囲】

## 【請求項 1】

各々がステージ入力およびステージ出力を有しており直列に接続された第 1 ~ 第 N の A / D 変換ステージと、

アナログ信号を受けるアナログ入力と、

前記第 1 の A / D 変換ステージの前記ステージ入力と前記アナログ入力との間に接続されており、第 1 および第 2 のサンプリング期間中にそれぞれ第 1 および第 2 の標本アナログ信号をサンプリングするための入力スイッチと、

前記第 1 の A / D 変換ステージの前記ステージ入力と前記第 N の A / D 変換ステージの前記ステージ出力との間に接続されており、前記第 N の A / D 変換ステージから前記第 1 の A / D 変換ステージへの経路を前記第 1 および第 2 のサンプリング期間と異なる巡回期間中に提供するための巡回スイッチと、

前記第 1 ~ 第 N の A / D 変換ステージの各々からの変換結果を受けて、アナログ / デジタル変換結果を示す A / D 変換デジタルコードを生成するデジタル演算回路とを備え、

前記第 1 ~ 第 N の A / D 変換ステージの各々は、

前記変換結果を示し所定のビット数からなるデジタル信号を前記ステージ入力からの信号に応答して生成するサブ A / D 変換回路と、

前記デジタル信号に応じた制御信号を生成する制御回路と、

前記制御信号に応じた所定の電圧を生成する D / A 変換器と、

前記ステージ入力からの信号を受ける第 1 の入力、該信号および前記所定の電圧を受ける第 2 の入力、および前記ステージ出力に接続された出力を有するゲインステージとを含み、

前記第 1 ~ 第 N の A / D 変換ステージの数 N は 3 または 4 である、ことを特徴とするアナログデジタル変換器。

## 【請求項 2】

前記第 1 ~ 第 N の A / D 変換ステージの数 N は 4 であり、

前記ゲインステージは、第 1 および第 2 のキャパシタ並びに演算増幅回路を有しており、

前記ゲインステージは、前記ステージ入力からの電荷を前記第 1 および第 2 のキャパシタに格納し、前記第 1 および第 2 のキャパシタのいずれか一方に前記所定の電圧を受けることによって前記第 1 および第 2 のキャパシタに前記電荷の再配置を行うと共に前記演算増幅回路の出力に前記演算値を生成する、ことを特徴とする請求項 1 に記載されたアナログデジタル変換器。

## 【請求項 3】

前記ゲインステージは、

前記第 1 のキャパシタの一端を第 1 の期間に前記ステージ入力に接続するための第 1 のスイッチと、

前記第 2 のキャパシタの一端を前記第 1 の期間に前記ステージ入力に接続するための第 2 のスイッチと、

前記第 1 の期間と異なる第 2 の期間に前記第 1 のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第 3 のスイッチと、

を含み、

前記演算増幅回路の反転入力は、前記第 2 の期間に前記第 1 のキャパシタの他端および前記第 2 のキャパシタの他端に接続され、前記演算増幅回路の出力は前記ステージ出力に接続され、

前記 D / A 変換器は、前記所定の電圧を前記第 2 の期間に前記第 2 のキャパシタの前記一端に提供する、ことを特徴とする請求項 2 に記載されたアナログデジタル変換器。

## 【請求項 4】

前記ゲインステージは、第 1 および第 2 のキャパシタ並びに演算増幅回路を有しており、

10	前記第 1 の A / D 変換ステージの前記ステージ入力と前記第 N の A / D 変換ステージの前記ステージ出力との間に接続されており、前記第 N の A / D 変換ステージから前記第 1 の A / D 変換ステージへの経路を前記第 1 および第 2 のサンプリング期間と異なる巡回期間中に提供するための巡回スイッチと、
20	前記制御信号に応じた所定の電圧を生成する D / A 変換器と、
30	前記ゲインステージは、前記ステージ入力からの電荷を前記第 1 および第 2 のキャパシタに格納し、前記第 1 および第 2 のキャパシタのいずれか一方に前記所定の電圧を受けることによって前記第 1 および第 2 のキャパシタに前記電荷の再配置を行うと共に前記演算増幅回路の出力に前記演算値を生成する、ことを特徴とする請求項 1 に記載されたアナログデジタル変換器。
40	前記第 2 のキャパシタの一端を前記第 1 の期間に前記ステージ入力に接続するための第 2 のスイッチと、
50	前記ゲインステージは、第 1 および第 2 のキャパシタ並びに演算増幅回路を有しており、

前記ゲインステージは、前記ステージ入力からの電荷を前記第 1 および第 2 のキャパシタに格納し、また、前記ステージ入力からの電荷を前記第 1 および第 2 のキャパシタのいずれか一方に再び格納し、さらに、前記第 1 および第 2 のキャパシタのいずれか一方に前記所定の電圧を受けることによって前記第 1 および第 2 のキャパシタ並びに前記演算増幅回路を用い前記電荷の再配置を行い、またさらに、前記第 1 および第 2 のキャパシタのいずれか他方に前記所定の電圧を受けることによって前記第 1 および第 2 のキャパシタにおいて前記再配置された電荷の再配置を行うと共に前記演算増幅回路の出力に前記演算値を生成する、ことを特徴とする請求項 1 に記載されたアナログデジタル変換器。

【請求項 5】

前記ゲインステージは、

前記第 1 のキャパシタの一端を第 1 の期間に前記ステージ入力に接続するための第 1 のスイッチと、

1 前記第 2 のキャパシタの一端を前記第 1 の期間に前記ステージ入力に接続するための第 2 のスイッチと、

前記第 1 の期間と異なる第 2 の期間に前記第 1 のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第 3 のスイッチと、

前記第 1 のキャパシタの他端と前記演算増幅回路の反転入力との間に接続されており、前記第 1 の期間と前記第 2 の期間との間の第 3 の期間に前記第 1 のキャパシタの前記他端を前記反転入力から切り離すための第 4 のスイッチと、

前記第 2 のキャパシタの一端と前記演算増幅回路の前記出力との間に接続されており、前記第 1 ~ 第 3 の期間と異なる第 4 の期間に前記第 2 のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第 5 のスイッチと  
を含み、

前記演算増幅回路の前記反転入力は、前記第 2 の期間に前記第 1 のキャパシタの他端および前記第 2 のキャパシタの他端に接続され、前記演算増幅回路の前記出力は前記ステージ出力に接続され、

前記 D / A 変換器は、前記所定の電圧を前記第 2 の期間に前記第 2 のキャパシタの前記一端に提供すると共に、前記所定の電圧を前記第 4 の期間に前記第 1 のキャパシタの前記一端に提供する、ことを特徴とする請求項 4 に記載されたアナログデジタル変換器。

【請求項 6】

前記デジタル演算回路は、

前記第 1 および第 2 の標本アナログ信号にそれぞれ対応しており前記第 1 ~ 第 4 の A / D 変換ステージからのデジタル信号からなる第 1 および第 2 のデータ群を格納するための第 1 ~ 第 4 の記憶回路と、

前記第 1 ~ 第 4 の記憶回路に接続されており、前記第 1 のデータ群の前記デジタル信号を用いて前記第 1 の標本アナログ信号に対応する第 1 のデジタルコードを生成する第 1 の回路と、

前記第 1 ~ 第 4 の記憶回路に接続されており、前記第 2 のデータ群の前記デジタル信号を用いて前記第 2 の標本アナログ信号に対応する第 2 のデジタルコードを生成する第 2 の回路と、

前記第 1 および第 2 のデジタルコードの一方を用いて前記第 1 および第 2 のデジタルコードの他方を補正して前記 A / D 変換デジタルコードを生成する補正回路と  
を含む、ことを特徴とする請求項 2 ~ 請求項 5 のいずれか一項に記載されたアナログデジタル変換器。

【請求項 7】

各 A / D 変換ステージにおける前記ゲインステージは、前記第 1 のキャパシタおよび前記第 2 のキャパシタのキャパシタンスミスマッチを示すミスマッチ値を前記演算増幅回路の出力に生成し、

前記第 1 ~ 第 4 の A / D 変換ステージの各々は、前記巡回期間中に、前記ミスマッチ値のための演算値を生成する、ことを特徴とする請求項 2 に記載されたアナログデジタル

10

20

30

40

50

変換器。

【請求項 8】

前記ゲインステージは、第 1 および第 2 のミスマッチ補正操作を有し、

前記第 1 のミスマッチ補正操作において、前記演算増幅回路の入力および前記出力並びに前記第 2 のキャパシタを互いに接続して等電位化すると共に、前記 D / A 変換器から参照信号を前記第 1 のキャパシタに受けることによって前記第 1 のキャパシタに電荷を蓄積し、

前記第 2 のミスマッチ補正操作において、前記 D / A 変換器から前記参照信号を前記第 2 のキャパシタに受けることによって前記第 1 および第 2 のキャパシタにおいて電荷の再配置を行い前記演算増幅回路の前記出力に前記ミスマッチ値を生成する、ことを特徴とする請求項 7 に記載されたアナログデジタル変換器。 10

【請求項 9】

前記第 1 および第 2 のキャパシタは、前記アナログ信号のサンプリングのための第 1 の期間に前記ステージ入力に接続され、

前記 D / A 変換器は、前記アナログ信号の処理のための第 2 の期間に前記所定の電圧を前記第 2 のキャパシタの一端に提供し、キャパシタミスマッチの補償用の信号を受けるための第 3 の期間に前記第 2 のキャパシタの一端に基準電位線に接続し、前記第 3 の期間に前記第 1 のキャパシタの前記一端に参照電圧を提供すると共に、キャパシタミスマッチの補償用の信号を処理するための第 4 の期間に前記第 2 のキャパシタの前記一端に前記参照電圧を提供し、 20

前記ゲインステージは、

前記第 1 および第 3 の期間に前記演算増幅回路の前記出力に反転入力を接続するためのフィードバックスイッチと、

前記第 2 および第 4 の期間に前記第 1 のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第 1 のスイッチと

を備える、ことを特徴とする請求項 7 に記載されたアナログデジタル変換器。

【請求項 10】

各 A / D 変換ステージにおける前記ゲインステージは、前記演算増幅回路の有限利得を示す利得誤差値を前記演算増幅回路の出力に生成し、

前記第 1 ~ 第 4 の A / D 変換ステージの各々は、前記巡回期間中に、前記利得誤差値のための演算値を生成する、ことを特徴とする請求項 2 に記載されたアナログデジタル変換器。 30

【請求項 11】

前記ゲインステージは、第 1 および第 2 の有限利得補正操作を有し、

前記第 1 の有限利得補正操作において、前記演算増幅回路の入力および前記出力を接続して等電位化すると共に、前記 D / A 変換器から参照信号を前記第 1 および第 2 のキャパシタに受けることによって前記第 1 および第 2 のキャパシタに電荷を蓄積し、

前記第 2 の有限利得補正操作において、前記演算増幅回路の前記入力および前記出力に前記第 1 のキャパシタを接続すると共に前記 D / A 変換器から前記参照信号を前記第 2 のキャパシタに受けることによって前記第 1 および第 2 のキャパシタにおいて電荷の再配置を行い前記演算増幅回路の前記出力に前記利得誤差値を生成する、ことを特徴とする請求項 10 に記載されたアナログデジタル変換器。 40

【請求項 12】

前記第 1 および第 2 のキャパシタは、前記アナログ信号のサンプリングのための第 1 の期間に前記ステージ入力に接続され、

前記 D / A 変換器は、前記アナログ信号の処理のための第 2 の期間に前記所定の電圧を前記第 2 のキャパシタの一端に提供し、有限利得の補償のための信号を受けるための第 3 の期間および有限利得の補償のための信号を処理するための第 4 の期間に前記第 2 のキャパシタの前記一端に参照信号を提供すると共に、前記第 3 の期間に前記第 1 のキャパシタの一端に前記参照信号を提供し、 50

前記ゲインステージは、

前記第 1 および第 3 の期間に前記演算増幅回路の前記出力に反転入力を接続するためのフィードバックスイッチと、

前記第 2 および第 4 の期間に前記第 1 のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第 1 のスイッチと

を備える、ことを特徴とする請求項 10 に記載されたアナログデジタル変換器。

【請求項 13】

前記第 1 ~ 第 4 の A / D 変換ステージの各々は、

前記第 1 および第 2 のキャパシタは、前記アナログ信号のサンプリングのための第 1 の期間に前記ステージ入力に接続され、

前記 D / A 変換器は、前記アナログ信号の処理のための第 2 の期間に前記所定の電圧を前記第 2 のキャパシタの一端に提供し、キャパシタミスマッチの補償用の信号を受けるための第 3 の期間に前記第 2 のキャパシタの前記一端に基準電位線に接続し、キャパシタミスマッチの補償用の信号を処理するための第 4 の期間、有限利得の補正用の信号を受けるための第 5 の期間および有限利得の補正用の信号を処理するための第 6 の期間に前記第 2 のキャパシタの前記一端に参照電圧を提供すると共に、前記第 5 の期間および前記第 3 の期間に前記第 1 のキャパシタの一端に前記参照電圧を提供し、

前記ゲインステージは、

前記第 1、第 3 および第 5 の期間に前記演算増幅回路の前記出力に反転入力を接続するためのフィードバックスイッチと、

前記第 2、第 4 および第 6 の期間に前記第 1 のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第 1 のスイッチと

を備える、ことを特徴とする請求項 2 に記載されたアナログデジタル変換器。

【請求項 14】

前記デジタル誤差補正回路は、前記アナログ入力に前記アナログ信号を提供するサンプル/ホールド回路のオフセット、前記サンプル/ホールド回路の前記帰還スイッチによるノイズ、前記第 1 ~ 第 4 の A / D 変換ステージにおけるキャパシタミスマッチ、および前記第 1 ~ 第 4 の A / D 変換ステージにおける前記ゲインステージの有限利得、の少なくとも一つに起因する誤差を表す補正デジタルコードを生成すると共に、前記第 1 ~ 第 4 の A / D 変換ステージからのデジタル信号から生成され前記アナログ信号に対応するデジタルコードを前記補正デジタルコードを用いて補正する、ことを特徴とする請求項 7 ~ 請求項 13 のいずれか一項に記載されたアナログデジタル変換器。

【請求項 15】

前記第 1 ~ 第 N の A / D 変換ステージの段数 N は 3 であり、

前記ゲインステージは、第 1 ~ 第 3 のキャパシタおよび演算増幅回路を有しており、

前記ゲインステージは、前記ステージ入力からの電荷を前記第 1 および第 2 のキャパシタに格納し、また、前記第 1 のキャパシタに前記所定の電圧を受けることによって前記第 1 および第 2 のキャパシタに前記電荷の再配置を行って前記演算増幅回路の出力に演算結果を生成すると共に前記演算結果に対応する電荷を前記第 3 のキャパシタに格納し、さらに、前記第 2 のキャパシタに前記所定の電圧を受けることによって前記再配置された電荷および前記第 3 のキャパシタに格納された前記電荷の再配置を前記第 1 ~ 第 3 のキャパシタにおいて行うと共に前記演算増幅回路の前記出力に前記演算値を生成する、ことを特徴とする請求項 1 に記載されたアナログデジタル変換器。

【請求項 16】

前記ゲインステージは、

前記第 1 のキャパシタの一端を第 1 の期間に前記ステージ入力に接続するための第 1 のスイッチと、

前記第 2 のキャパシタの一端を前記第 1 の期間に前記ステージ入力に接続するための第 2 のスイッチと、

前記第 2 のキャパシタの前記一端と前記演算増幅回路の前記出力との間に接続されてお

10

20

30

40

50

り、前記第 1 の期間と異なる第 2 の期間に前記第 2 のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第 3 のスイッチと、

前記第 1 のキャパシタの前記一端と前記演算増幅回路の前記出力との間に接続されており、前記第 1 および第 2 の期間と異なる第 3 の期間に前記第 1 のキャパシタの前記一端を前記出力に接続するための第 4 のスイッチと、

前記第 3 のキャパシタの一端と前記演算増幅回路の前記反転入力との間に接続されており、前記第 3 の期間に前記第 3 のキャパシタの前記一端を前記演算増幅回路の前記反転入力に接続するための第 5 のスイッチと、

前記第 3 のキャパシタの前記一端と基準電位線との間に接続されており、前記第 1 および第 2 の期間に前記第 3 のキャパシタの前記一端に前記基準電位を提供するための第 6 のスイッチと  
10  
を含み、

前記演算増幅回路の前記反転入力は、前記第 1 のキャパシタの他端および前記第 2 のキャパシタの他端に接続され、前記演算増幅回路の前記出力は、前記第 3 のキャパシタの他端および前記ステージ出力に接続され、

前記 D / A 変換器は、前記所定の電圧を前記第 2 の期間に前記第 1 のキャパシタの前記一端に提供すると共に、前記所定の電圧を前記第 3 の期間に前記第 2 のキャパシタの前記一端に提供する、ことを特徴とする請求項 15 に記載されたアナログデジタル変換器。

【請求項 17】

前記デジタル演算回路は、

前記第 1 および第 2 の標本アナログ信号にそれぞれ対応し前記第 1 ~ 第 3 の A / D 変換段からのデジタル信号からなる第 1 および第 2 のデータ群を格納するための第 1 ~ 第 3 の記憶回路と、

前記第 1 ~ 第 3 の記憶回路に接続されており、前記第 1 のデータ群の前記デジタル信号を用いて前記第 1 の標本アナログ信号に対応する第 1 のデジタルコードを生成する第 1 の回路と、

前記第 1 ~ 第 3 の記憶回路に接続されており、前記第 2 のデータ群の前記デジタル信号を用いて前記第 2 の標本アナログ信号に対応する第 2 のデジタルコードを生成する第 2 の回路と、

前記第 1 および第 2 のデジタルコードの一方を用いて前記第 1 および第 2 のデジタルコードの他方を補正して前記 A / D 変換デジタルコードを生成する補正回路とを含む、ことを特徴とする請求項 15 または請求項 16 に記載されたアナログデジタル変換器  
30

【請求項 18】

前記サブ A / D 変換回路は、前記ステージ入力からの信号を所定の基準信号と比較すると共に比較結果信号を提供するコンパレータを含む、ことを特徴とする請求項 1 ~ 請求項 17 のいずれか一項に記載されたアナログデジタル変換器。

【請求項 19】

前記サブ A / D 変換回路は、前記ステージ入力からの信号を所定の 2 つの基準信号と比較することによって 3 値の冗長デジタル信号を生成する、ことを特徴とする請求項 1 ~ 請求項 18 のいずれか一項に記載されたアナログデジタル変換器。  
40

【請求項 20】

入力アナログ信号を受ける入力と前記アナログ入力に前記アナログ信号を提供する出力とを有するサンプル/ホールド回路を更に備え、

前記サンプル/ホールド回路は、反転入力および非反転出力を有する演算増幅回路と、前記反転入力と前記非反転出力との間に接続された帰還スイッチとを含む、ことを特徴とする請求項 1 ~ 請求項 19 のいずれか一項に記載されたアナログデジタル変換器。

【請求項 21】

前記第 1 および第 2 の標本アナログ信号のいずれか一方は、前記入力アナログ信号に対応しており、

10

20

30

40

50

前記サンプル/ホールド回路の前記帰還スイッチは、前記第1および第2のサンプリング期間のいずれか一方の全期間中に開かれる、ことを特徴とする請求項20に記載されたアナログデジタル変換器。

【請求項22】

前記サンプル/ホールド回路の前記帰還スイッチは、前記第1および第2のサンプリング期間のいずれか他方の期間の一部において閉じられ、

前記第1および第2の標本アナログ信号のいずれか他方は、前記サンプル/ホールド回路の前記帰還スイッチが開かれた後に提供される、ことを特徴とする請求項21に記載されたアナログデジタル変換器。

【請求項23】

前記サンプル/ホールド回路の前記演算増幅回路は、非反転入力および反転出力をさらに有しており、

前記サンプル/ホールド回路は、前記演算増幅回路の前記非反転入力と前記演算増幅回路の前記反転出力との間に接続された別の帰還スイッチを含む、ことを特徴とする請求項20～請求項22のいずれか一項に記載されたアナログデジタル変換器。

【請求項24】

ステージ入力と、

ステージ出力と、

所定のビット数からなる変換結果を示すデジタル信号を前記ステージ入力からのアナログ信号に应答して生成するサブA/D変換回路と、

前記デジタル信号に応じた制御信号を生成する制御回路と、

前記ステージ入力からのアナログ信号を受ける第1の入力、前記制御信号を受ける第2の入力、および前記ステージ出力に接続された出力を有するゲインステージとを含み、

前記ゲインステージは、

一端および他端を有する第1のキャパシタと、

一端および他端を有する第2のキャパシタと、

前記アナログ信号のサンプリングのための第1の期間に前記第1のキャパシタの前記一端を前記ステージ入力に接続するための第1のサンプリングスイッチと、

前記第1の期間に前記第2のキャパシタの前記一端を前記ステージ入力に接続するための第2のサンプリングスイッチと、

前記第1のキャパシタの前記他端および前記第2のキャパシタの前記他端に接続された反転入力と、前記ステージ出力に接続された出力とを有する演算増幅回路と、

前記第1のキャパシタの前記一端および前記第2のキャパシタの前記一端にそれぞれ接続された第1および第2の出力を有しており、前記アナログ信号の処理のための第2の期間に前記制御信号に応じた所定の電圧を前記第2のキャパシタの前記一端に提供し、キャパシタ mismatches の補償用の信号を受けるための第3の期間に前記第2のキャパシタの前記一端に基準電位線に接続し、キャパシタ mismatches の補償用の信号を処理するための第4の期間、有限利得の補正用の信号を受けるための第5の期間および有限利得の補正用の信号を処理するための第6の期間に前記第2のキャパシタの前記一端に参照電圧を提供すると共に、前記第5の期間および前記第3の期間に前記第1のキャパシタの前記一端に前記参照電圧を提供するD/A変換器と、

前記第1、第3および第5の期間に前記演算増幅回路の前記出力に前記反転入力を接続するためのフィードバックスイッチと、

前記第2、第4および第6の期間に前記第1のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第1のスイッチとを備える、ことを特徴とするA/D変換ステージ。

【請求項25】

ステージ入力と、

ステージ出力と、

所定のビット数からなる変換結果を示すデジタル信号を前記ステージ入力からのアナ

10

20

30

40

50

ログ信号に応答して生成するサブ A / D 変換回路と、  
 前記デジタル信号に応じた制御信号を生成する制御回路と、  
 前記ステージ入力からのアナログ信号を受ける第 1 の入力、前記制御信号を受ける第 2 の入力、および前記ステージ出力に接続された出力を有するゲインステージとを含み、  
 前記ゲインステージは、  
 一端および他端を有する第 1 のキャパシタと、  
 一端および他端を有する第 2 のキャパシタと、  
 前記アナログ信号のサンプリングのための第 1 の期間に前記第 1 のキャパシタの前記一端を前記ステージ入力に接続するための第 1 のサンプリングスイッチと、  
 前記第 1 の期間に前記第 2 のキャパシタの前記一端を前記ステージ入力に接続するための第 2 のサンプリングスイッチと、  
 前記第 1 のキャパシタの前記他端および前記第 2 のキャパシタの前記他端に接続された反転入力と、前記ステージ出力に接続された出力とを有する演算増幅回路と、  
 前記第 1 のキャパシタの前記一端および前記第 2 のキャパシタの前記一端にそれぞれ接続された第 1 および第 2 の出力を有しており、前記アナログ信号の処理のための第 2 の期間に前記制御信号に応じた所定の電圧を前記第 2 のキャパシタの前記一端に提供し、キャパシタ mismatches の補償用の信号を受けるための第 3 の期間に前記第 2 のキャパシタの前記一端に基準電位線に接続し、前記第 3 の期間に前記第 1 のキャパシタの前記一端に参照電圧を提供すると共に、キャパシタ mismatches の補償用の信号を処理するための第 4 の期間に前記第 2 のキャパシタの前記一端に前記参照電圧を提供する D / A 変換器と、  
 前記第 1 および第 3 の期間に前記演算増幅回路の前記出力に前記反転入力を接続するためのフィードバックスイッチと、  
 前記第 2 および第 4 の期間に前記第 1 のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第 1 のスイッチと  
 を備える、ことを特徴とする A / D 変換ステージ。

10

20

【請求項 26】

ステージ入力と、  
 ステージ出力と、  
 所定のビット数からなる変換結果を示すデジタル信号を前記ステージ入力からの信号に応答して生成するサブ A / D 変換回路と、  
 前記デジタル信号に応じた制御信号を生成する制御回路と、  
 前記ステージ入力からのアナログ信号を受ける第 1 の入力、前記制御信号を受ける第 2 の入力、および前記ステージ出力に接続された出力を有するゲインステージとを含み、  
 前記ゲインステージは、  
 一端および他端を有する第 1 のキャパシタと、  
 一端および他端を有する第 2 のキャパシタと、  
 前記アナログ信号のサンプリングのための第 1 の期間に前記第 1 のキャパシタの前記一端を前記ステージ入力に接続するための第 1 のサンプリングスイッチと、  
 前記第 2 のキャパシタの前記一端を前記第 1 の期間に前記ステージ入力に接続するための第 2 のサンプリングスイッチと、  
 前記第 1 のキャパシタの前記他端および前記第 2 のキャパシタの前記他端に接続された反転入力と、前記ステージ出力に接続された出力とを有する演算増幅回路と、  
 前記第 1 のキャパシタの前記一端および前記第 2 のキャパシタの前記一端にそれぞれ接続された第 1 および第 2 の出力を有しており、前記アナログ信号の処理のための第 2 の期間に前記制御信号に応じた所定の電圧を前記第 2 のキャパシタの前記一端に提供し、有限利得の補償のための信号を受けるための第 3 の期間および有限利得の補償のための信号を処理するための第 4 の期間に前記第 2 のキャパシタの前記一端に参照信号を提供すると共に、前記第 3 の期間に前記第 1 のキャパシタの前記一端に前記参照信号を提供する D / A 変換器と、  
 前記第 1 および第 3 の期間に前記演算増幅回路の前記出力に前記反転入力を接続するた

30

40

50



めのフィードバックスイッチと、

前記第2および第4の期間に前記第1のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第1のスイッチとを備える、ことを特徴とするA/D変換ステージ。

【請求項27】

ゲインステージを用いて、アナログ信号に対応したデジタル信号を生成する方法であって、前記ゲインステージは第1および第2のキャパシタ並びに演算増幅回路を含み、

当該方法は、

(a) 所定の数の値を取るデジタル値を有しており第1および第2の入力アナログ信号のいずれか一方に応じたデジタル信号を生成するステップと、

(b) 前記第1のキャパシタおよび前記第2のキャパシタに、前記第1の入力アナログ信号に応じた電荷を蓄積するステップと、

(c) 前記第1および第2のキャパシタに前記電荷を蓄積した後に、前記第1のキャパシタおよび前記第2のキャパシタのいずれか一方の前記電荷を保持すると共に、前記第1のキャパシタおよび前記第2のキャパシタのいずれか他方に前記第2の入力アナログ信号に応じた電荷をサンプリングするステップと、

(d) 前記第1および第2のキャパシタへのサンプリングの後に、前記第1のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に前記第2のキャパシタの前記他端に該デジタル信号に応じた変換アナログ信号を供給することによって、第1の変換値を前記演算増幅回路の前記出力に生成すると共に前記第1および第2のキャ

パシタの前記電荷を再配置するステップと、

(e) 前記第1および第2のキャパシタへのサンプリングの後に、前記第2のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に前記第1のキャパシタの前記他端に該デジタル信号に応じた変換アナログ信号を供給することによって、第2の変換値を前記演算増幅回路の前記出力に生成すると共に前記第1および第2のキャ

パシタの前記電荷を再配置するステップとを備える、ことを特徴とする方法。

【請求項28】

第1～第4のA/D変換ステージを用いて、アナログ信号に対応したデジタル信号を生成する方法であって、前記第1～第4のA/D変換ステージの各々は第1および第2のキャ

パシタ並びに演算増幅回路を含み、

当該方法は、

(a) 前記第1のA/D変換ステージにおいてサンプリングされたアナログ信号に所定の

変換操作を施して第1の変換結果を生成し前記第1の変換結果に対応するアナログ信号に

前記第2のA/D変換ステージにおいて所定のサンプリング操作を施すと共に、前記第3

のA/D変換ステージにおいてサンプリングされたアナログ信号に前記所定の

変換操作を施して第2の変換結果を生成し前記第2の変換結果に対応したアナログ信号に前記第4

のA/D変換ステージにおいて前記所定のサンプリング操作を施すステップと、

(b) 前記第4のA/D変換ステージにおいてサンプリングされたアナログ信号に前記所

定の

変換操作を施して第3の変換結果を生成し前記第3の変換結果に対応するアナログ信

号に前記第1のA/D変換ステージにおいて前記所定のサンプリング操作を施すと共に、

前記第2のA/D変換ステージにおいてサンプリングされたアナログ信号に前記所定の

変換操作を施して第4の変換結果を生成し前記第4の変換結果に対応するアナログ信号に前

記第3のA/D変換ステージにおいて前記所定のサンプリング操作を施すステップと、

(c) 前記ステップ(a)および前記ステップ(b)を繰り返すステップと

を備え、

前記所定のサンプリング操作は、

前記第1のキャパシタおよび前記第2のキャパシタに、入力アナログ信号に応じた電荷を蓄積するステップを含み、

前記所定の

変換操作は、

10

20

30

40

50

前記第 1 のキャパシタを前記演算増幅回路の出力と前記演算増幅回路の反転入力との間に接続すると共に当該 A / D 変換ステージにおける A / D 変換結果を示すデジタル信号に応じた変換アナログ信号を前記第 2 のキャパシタの前記他端に供給することによって、変換値を前記演算増幅回路の前記出力に生成すると共に、前記第 1 および第 2 のキャパシタの前記電荷を再配置するステップを含む、ことを特徴とする方法。

【請求項 29】

前記ステップ ( a ) および ( b ) に先立って、前記第 1 の A / D 変換ステージに第 1 の標本アナログ信号を受けて、前記第 1 の標本アナログ信号に前記所定のサンプリング操作を施すステップと、

前記第 1 の A / D 変換ステージにおいてサンプリングされたアナログ信号に前記所定の交換操作を施して第 5 の変換結果を生成し前記第 5 の変換結果に対応するアナログ信号に前記第 2 の A / D 変換ステージにおいて前記所定のサンプリング操作を施すステップと、

前記第 1 の A / D 変換ステージに第 2 の標本アナログ信号を受けて、前記第 2 の標本アナログ信号に前記所定のサンプリング操作を施すと共に、前記第 2 の A / D 変換ステージにおいてサンプリングされたアナログ信号に前記所定の交換操作を施して第 6 の変換結果を生成し前記第 6 の変換結果に対応するアナログ信号に前記第 3 の A / D 変換ステージにおいて前記所定のサンプリング操作を施すステップと

を備える、ことを特徴とする請求項 28 に記載された方法。

【請求項 30】

演算増幅回路を含むサンプル/ホールド回路への信号のサンプリング動作を行った後に前記サンプル/ホールド回路を保持動作状態すると共に、保持した信号を前記第 1 および第 2 の標本アナログ信号の一方として提供するステップと、

前記演算増幅回路の入力と前記演算増幅回路の出力との間に接続されたスイッチを閉じて該閉じたスイッチを開いた後に前記サンプル/ホールド回路を保持動作状態にするると共に、保持した信号を前記第 1 および第 2 の標本アナログ信号の他方として提供するステップと

を備える、ことを特徴とする請求項 27 または請求項 28 に記載された方法。

【請求項 31】

第 1 ~ 第 4 の A / D 変換ステージを用いて、アナログ信号に対応したデジタル信号を生成する方法であって、前記第 1 ~ 第 4 の A / D 変換ステージの各々は第 1 および第 2 のキャパシタ並びに演算増幅回路を含み、

当該方法は、

( a ) 前記第 1 の A / D 変換ステージにおいてサンプリングされたアナログ信号に第 1 の交換操作を施して第 1 の変換結果を生成し前記第 1 の変換結果に対応するアナログ信号に前記第 2 の A / D 変換ステージにおいて第 1 のサンプリング操作を施すと共に、前記第 3 の A / D 変換ステージにおいてサンプリングされたアナログ信号に前記第 1 の交換操作を施して第 2 の変換結果を生成し前記第 2 の変換結果に対応したアナログ信号に前記第 4 の A / D 変換ステージにおいて前記第 1 のサンプリング操作を施すステップと、

( b ) 前記第 1 の A / D 変換ステージにおいて前記第 1 の交換操作の後に第 2 の交換操作を行って第 3 の変換結果を生成し前記第 3 の変換結果に対応するアナログ信号に前記第 2 の A / D 変換ステージにおいて第 2 のサンプリング操作を施すと共に、前記第 3 の A / D 変換ステージにおいて前記第 1 の交換操作の後に前記第 2 の交換操作を行って第 4 の変換結果を生成し前記第 4 の変換結果に対応したアナログ信号に前記第 4 の A / D 変換ステージにおいて前記第 2 のサンプリング操作を施すステップと、

( c ) 前記第 2 の A / D 変換ステージにおいてサンプリングされたアナログ信号に前記 1 の交換操作を施して第 5 の変換結果を生成し前記第 5 の変換結果に対応するアナログ信号に前記第 3 の A / D 変換ステージにおいて前記第 1 のサンプリング操作を施すと共に、前記第 4 の A / D 変換ステージにおいて前記第 1 の交換操作を施して第 6 の変換結果を生成し前記第 6 の変換結果に対応するアナログ信号に前記第 1 の A / D 変換ステージにおいて前記第 1 のサンプリング操作を施すステップと、

10

20

30

40

50

(d) 前記第2のA/D変換ステージにおいて前記第1の変換操作の後に前記第2の変換操作を行って第7の変換結果を生成し前記第7の変換結果に対応するアナログ信号に前記第3A/D変換ステージにおいて前記第2のサンプリング操作を施すと共に、前記第4のA/D変換ステージにおいて前記第1の変換操作の後の前記第2の変換操作を施して第8の変換結果を生成し前記第8の変換結果に対応したアナログ信号に前記第1のA/D変換ステージにおいて前記第2のサンプリング操作を施すステップと

を備え、

前記第1のサンプリング操作は、

前記第1のキャパシタおよび前記第2のキャパシタに、第1の入力アナログ信号に応じた電荷を蓄積するステップを含み、

10

前記第2のサンプリング操作は、

前記第1および第2のキャパシタの前記電荷の再配置に先立って、前記第1のキャパシタおよび前記第2のキャパシタのいずれか一方の前記電荷を保持すると共に、前記第1のキャパシタおよび前記第2のキャパシタのいずれか他方に第2のアナログ信号に応じた電荷のサンプリングを行うステップ

を含み、

前記第1の変換操作は、

前記第1のキャパシタを前記演算増幅回路の前記出力と前記演算増幅回路の反転入力との間に接続すると共に当該A/D変換ステージにおけるA/D変換結果を示すデジタル信号に応じた変換アナログ信号を前記第2のキャパシタの前記他端に供給することによって、次段のA/D変換ステージのための第1の入力アナログ信号に対応した第1の変換値を前記演算増幅回路の前記出力に生成すると共に、前記第1および第2のキャパシタの前記電荷を再配置するステップ

20

を含み、

前記第2の変換操作は、

前記第2のキャパシタを前記演算増幅回路の前記出力と前記演算増幅回路の前記反転入力との間に接続すると共に当該A/D変換ステージにおけるA/D変換結果を示すデジタル信号に応じた変換アナログ信号を前記第1のキャパシタの前記他端に供給することによって、次段のA/D変換ステージのための第2の入力アナログ信号に対応した第2の変換値を前記演算増幅回路の前記出力に生成すると共に、前記第1および第2のキャパシタの前記電荷を再配置するステップ

30

を含む、ことを特徴とする方法。

【請求項32】

前記ステップ(a)～前記ステップ(d)を順に繰り返すステップを更に備える、ことを特徴とする請求項31に記載された方法。

【請求項33】

前記ステップ(a)～(d)に先立って、前記第1のA/D変換ステージに第1の標本アナログ信号を受けて、前記第1の標本アナログ信号に前記第1及び第2のサンプリング操作を順に施すステップと、

前記第1のA/D変換ステージにおいてサンプリングされたアナログ信号に第1の変換操作を施して第9の変換結果を生成し前記第9の変換結果に対応するアナログ信号に前記第2のA/D変換ステージにおいて第1のサンプリング操作を施すステップと、

40

前記第1のA/D変換ステージにおいて前記第1の変換操作の後に第2の変換操作を施して第10の変換結果を生成し前記第10の変換結果に対応するアナログ信号に前記第2のA/D変換ステージにおいて第2のサンプリング操作を施すステップと、

前記第1のA/D変換ステージに第2の標本アナログ信号を受けて、前記第2の標本アナログ信号に前記第1のサンプリング操作を施すと共に、前記第2のA/D変換ステージにおいてサンプリングされたアナログ信号に前記第1の変換操作を施して第11の変換結果を生成し前記第11の変換結果に対応するアナログ信号に前記第3のA/D変換ステージにおいて第1のサンプリング操作を施すステップと、

50

前記第 1 の A / D 変換ステージにおいて前記第 2 の標本アナログ信号に前記第 2 のサンプリング操作を施すと共に、前記第 2 の A / D 変換ステージにおいて前記第 1 の変換操作の後に前記第 2 の変換操作を施して第 1 2 の変換結果を生成し前記第 1 2 の変換結果に対応するアナログ信号に前記第 3 の A / D 変換ステージにおいて第 2 のサンプリング操作を施すステップと

を備える、ことを特徴とする請求項 3 1 または請求項 3 2 に記載された方法。

【請求項 3 4】

演算増幅回路を含むサンプル/ホールド回路への信号のサンプリング動作を行った後に前記サンプル/ホールド回路を保持動作状態すると共に、前記第 1 および第 2 の標本アナログ信号の一方を発生するステップと、

前記演算増幅回路の入力と出力との間に接続されたスイッチを閉じて該閉じたスイッチを開いた後に前記サンプル/ホールド回路を保持動作状態にすると共に、前記第 1 および第 2 の標本アナログ信号の他方を発生するステップと

を備える、ことを特徴とする請求項 3 1 ~ 請求項 3 3 のいずれか一項に記載された方法。

【請求項 3 5】

第 1 ~ 第 3 の A / D 変換ステージを用いて、アナログ信号に対応したデジタル信号を生成する方法であって、前記第 1 ~ 第 3 の A / D 変換ステージの各々は、演算増幅回路と、該演算増幅回路の反転入力に接続された一端を有する第 1 および第 2 のキャパシタと、該演算増幅回路の出力に接続された一端を有する第 3 のキャパシタとを含み、

当該方法は、

( a ) 前記第 1 の A / D 変換ステージにおいてサンプリングされたアナログ信号に第 1 の変換操作を施して前記第 1 の A / D 変換ステージのための第 1 の変換値を生成すると共に、前記第 2 の A / D 変換ステージにおいて前記第 1 の変換操作の後に第 2 の変換操作を施して前記第 2 の A / D 変換ステージのための第 2 の変換値を生成し前記第 3 の A / D 変換ステージにおいて前記第 2 の変換値に対応したアナログ信号にサンプリング操作を施すステップと、

( b ) 前記第 1 の A / D 変換ステージにおいて前記第 1 の変換操作の後に前記第 2 の変換操作を施して前記第 1 の A / D 変換ステージのための第 2 の変換値を生成し前記第 2 の変換値に対応したアナログ信号に前記第 2 の A / D 変換ステージにおいて前記サンプリング操作を施すと共に、前記第 3 の A / D 変換ステージにおいてサンプリングされたアナログ信号に前記第 1 の変換操作を施して前記第 3 の A / D 変換ステージのための第 1 の変換値を生成するステップと、

( c ) 前記第 2 の A / D 変換ステージにおいてサンプリングされたアナログ信号に前記第 1 の変換操作を施して前記第 2 の A / D 変換ステージのための第 1 の変換値を生成すると共に、前記第 3 の A / D 変換ステージにおいて前記第 2 の変換操作を施して前記第 3 の A / D 変換ステージにおいて第 2 の変換値を生成し前記第 2 の変換値に対応したアナログ信号に前記第 1 の A / D 変換ステージにおいて前記サンプリング操作を施すステップと

を備え、

前記サンプリング操作は、

前記第 1 のキャパシタおよび前記第 2 のキャパシタの各々に、当該 A / D 変換ステージに入力されたアナログ信号に応じた電荷を蓄積するステップを含み、

前記第 1 の変換操作は、

前記第 2 のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に当該 A / D 変換ステージにおける A / D 変換結果を示すデジタル信号に応じた変換アナログ信号を前記第 1 のキャパシタの前記他端に供給することによって、前記第 1 の変換値を前記演算増幅回路の前記出力に生成し前記第 1 および第 2 のキャパシタの前記電荷を再配置すると共に前記第 1 の変換値に対応する電荷を前記第 3 のキャパシタに蓄積するステップ

を含み、

前記第 2 の変換操作は、

前記第 2 の変換操作は、

10

20

30

40

50

前記第 1 および第 3 のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に当該 A / D 変換ステージにおける A / D 変換結果を示すデジタル信号に応じた変換アナログ信号を前記第 2 のキャパシタの前記他端に供給することによって、前記第 2 の変換値を前記演算増幅回路の前記出力に生成すると共に、前記第 1、第 2 および第 3 のキャパシタの前記電荷を再配置する第 3 のステップを含む、ことを特徴とする方法。

【請求項 36】

前記ステップ ( a ) ~ 前記ステップ ( c ) を順に繰り返すステップを更に備える、ことを特徴とする請求項 35 に記載された方法。

【請求項 37】

前記ステップ ( a ) ~ ( c ) に先立って、前記第 1 の A / D 変換ステージに第 1 の標本アナログ信号を受けて、前記第 1 の標本アナログ信号に前記サンプリング操作を施すステップと、

前記ステップ ( a ) ~ ( c ) に先立って、前記第 1 の A / D 変換ステージにおいてサンプリングされたアナログ信号に前記第 1 および第 2 の変換操作を施すと共に、前記第 2 の変換操作による変換値に対応するアナログ信号に前記第 2 の A / D 変換ステージにおいてサンプリング操作を施すステップと、

前記ステップ ( a ) ~ ( c ) に先立って、前記第 1 の A / D 変換ステージに第 2 の標本アナログ信号を受けて、前記第 2 の標本アナログ信号に前記サンプリング操作を施すと共に、前記第 2 の A / D 変換ステージにおいてサンプリングされたアナログ信号に前記第 1

の変換操作を施すステップと

【請求項 38】

演算増幅回路を含むサンプル/ホールド回路への信号のサンプリング動作を行った後に前記サンプル/ホールド回路を保持動作状態すると共に、保持した信号を前記第 1 および第 2 の標本アナログ信号の一方として発生するステップと、

前記演算増幅回路の入力と前記演算増幅回路の出力との間に接続されたスイッチを閉じて該閉じたスイッチを開いた後に前記サンプル/ホールド回路を保持動作状態にするると共に、保持した信号を前記第 1 および第 2 の標本アナログ信号の他方として発生するステップと

を備える、ことを特徴とする請求項 35 ~ 請求項 37 のいずれか一項に記載された方法。

【請求項 39】

アナログ信号に対応したデジタル信号を生成するための A / D 変換ステージにおける変換誤差を示す信号を生成する方法であって、前記 A / D 変換ステージは第 1 および第 2 のキャパシタと該第 1 および第 2 のキャパシタの一端に接続された反転入力を有する演算増幅回路とを含み、前記変換誤差は前記第 1 および第 2 のキャパシタのミスマッチに関連する誤差を含み、

当該方法は、

( a ) 前記演算増幅回路の出力と前記反転入力とを接続すると共に前記第 2 のキャパシタの他端を基準電位線に接続すると共に前記第 1 のキャパシタの他端に参照電圧を加えることによって、前記演算増幅回路の前記出力に第 1 の変換値を生成すると共に前記第 1 および第 2 のキャパシタに電荷を配置するステップと、

( b ) 前記演算増幅回路の出力と前記反転入力との間に前記第 1 のキャパシタを接続すると共に前記第 2 のキャパシタの他端に前記参照電圧を加えることによって、前記演算増幅回路の前記出力に第 2 の変換値を生成すると共に前記第 1 および第 2 のキャパシタに電荷を再配置するステップと

を含む、ことを特徴とする方法。

【請求項 40】

ループ状に接続された 4 個の A / D 変換ステージ S T G 1、S T G 2、S T G 3、S T G 4 を用いて、アナログ信号に対応したデジタル信号を生成する方法であって、前記 A /

10

20

30

40

50

D変換ステージの各々は第1および第2のキャパシタと該第1および第2のキャパシタの一端に接続された反転入力をもつ演算増幅回路とを含むと共に、当該A/D変換ステージにおけるデジタル値を示す信号を生成し、

当該方法は、

(a) 前記A/D変換ステージSTG1において、前記演算増幅回路の出力と前記反転入力とを接続し前記第2のキャパシタの他端を基準電位線に接続すると共に前記第1のキャパシタの他端に参照電圧を加えることによって、前記第1および第2のキャパシタに電荷を配置し、

さらに、前記A/D変換ステージSTG2内のアナログ信号に所定の変換操作を行って該アナログ信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記A/D変換ステージSTG3に提供して前記A/D変換ステージSTG3において所定のサンプリング操作を行うステップと、

(b) 前記ステップ(a)の後に、前記A/D変換ステージSTG1において、前記演算増幅回路の出力と前記反転入力との間に前記第1のキャパシタを接続すると共に、前記第2のキャパシタの他端に前記参照電圧を加えることによって、前記演算増幅回路の前記出力に変換値を生成すると共に、この変換値を前記A/D変換ステージSTG2に提供して前記A/D変換ステージSTG2において前記所定のサンプリング操作を行い、さらに、前記A/D変換ステージSTG3においてサンプリングされた信号に前記所定の変換操作を行って該サンプリングされた信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記A/D変換ステージSTG4に提供して前記A/D変換ステージSTG4において前記所定のサンプリング操作を行うステップと、

(c) 前記A/D変換ステージSTG2においてサンプリングされた信号に前記所定の変換操作を行って該サンプリングされた信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記A/D変換ステージSTG3に提供して前記A/D変換ステージSTG3において前記所定のサンプリング操作を行い、さらに、前記A/D変換ステージSTG4においてサンプリングされた信号に前記所定の変換操作を行って該サンプリングされた信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記A/D変換ステージSTG1に提供して前記A/D変換ステージSTG1において前記所定のサンプリング操作を行うステップと、

(d) 前記A/D変換ステージSTG3においてサンプリングされた信号に前記所定の変換操作を行って該サンプリングされた信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記A/D変換ステージSTG4に提供して前記A/D変換ステージSTG4において前記所定のサンプリング操作を行い、さらに、前記A/D変換ステージSTG1においてサンプリングされた信号に前記所定の変換操作を行って該サンプリングされた信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記A/D変換ステージSTG2に提供して前記A/D変換ステージSTG2において所定のサンプリング操作を行うステップとを備え、

前記所定のサンプリング操作は、

前記第1のキャパシタおよび前記第2のキャパシタに、入力アナログ信号に応じた電荷を蓄積するステップを含み、

前記所定の変換操作は、

前記第1のキャパシタを前記演算増幅回路の出力と前記演算増幅回路の反転入力との間に接続すると共に当該A/D変換ステージにおけるA/D変換結果を示すデジタル信号に応じた変換アナログ信号を前記第2のキャパシタの前記他端に供給することによって、前記演算増幅回路の前記出力に変換値を生成すると共に前記第1および第2のキャパシタの前記電荷を再配置するステップを含む、ことを特徴とする方法。

【請求項41】

前記A/D変換ステージSTG1～STG4の内のいずれかのA/D変換ステージの入力

にサンプル/ホールド回路が接続されているおり、

前記ステップ ( a ) における前記アナログ信号は、前記サンプル/ホールド回路から入力された標本アナログ信号に関係している、ことを特徴とする請求項 40 に記載された方法。

【請求項 42】

アナログ信号に対応したデジタル信号を生成するための A / D 変換ステージにおける変換誤差を示す信号を生成する方法であって、前記 A / D 変換ステージは第 1 および第 2 のキャパシタと該第 1 および第 2 のキャパシタの一端に接続された反転入力を有する演算増幅回路とを含み、該変換誤差は該演算増幅回路の利得に関連する誤差を含み、

当該方法は、

( a ) 前記第 2 のキャパシタの他端および前記第 1 のキャパシタの他端に参照電圧を加えると共に前記演算増幅回路の出力と前記反転入力とを接続することによって、前記演算増幅回路の前記出力に第 1 の変換値を生成すると共に前記第 1 および第 2 のキャパシタに電荷を配置するステップと、

( b ) 前記演算増幅回路の出力と前記反転入力との間に前記第 1 のキャパシタを接続すると共に前記第 2 のキャパシタの他端に前記参照電圧を加えることによって、前記演算増幅回路の前記出力に第 2 の変換値を生成すると共に前記第 1 および第 2 のキャパシタに電荷を再配置するステップと

を含む、ことを特徴とする方法。

【請求項 43】

ループ状に接続された 4 個の A / D 変換ステージ S T G 1、S T G 2、S T G 3、S T G 4 を用いて、アナログ信号に対応したデジタル信号を生成する方法であって、前記 A / D 変換ステージの各々は第 1 および第 2 のキャパシタと該第 1 および第 2 のキャパシタの一端に接続された反転入力を有する演算増幅回路とを含むと共に、当該 A / D 変換ステージにおけるデジタル値を示す信号を生成し、

当該方法は、

( a ) 前記 A / D 変換ステージ S T G 1 において、前記第 2 のキャパシタの他端および前記第 1 のキャパシタの他端に参照電圧を加えると共に前記演算増幅回路の出力と前記反転入力とを接続することによって、前記第 1 および第 2 のキャパシタに電荷を配置し、

さらに、前記 A / D 変換ステージ S T G 2 内のアナログ信号に所定の変換操作を行って該アナログ信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記 A / D 変換ステージ S T G 3 に提供して前記 A / D 変換ステージ S T G 3 において所定のサンプリング操作を行うステップと、

( b ) 前記ステップ ( a ) の後に、前記 A / D 変換ステージ S T G 1 において、前記演算増幅回路の出力と前記反転入力との間に前記第 1 のキャパシタを接続すると共に前記第 2 のキャパシタの他端に前記参照電圧を加えることによって、前記演算増幅回路の前記出力に変換値を生成すると共に、この変換値を前記 A / D 変換ステージ S T G 2 に提供して前記 A / D 変換ステージ S T G 2 において前記所定のサンプリング操作を行い、

さらに、前記 A / D 変換ステージ S T G 3 においてサンプリングされた信号に前記所定の変換操作を行って該サンプリングされた信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記 A / D 変換ステージ S T G 4 に提供して前記 A / D 変換ステージ S T G 4 において前記所定のサンプリング操作を行うステップと、

( c ) 前記 A / D 変換ステージ S T G 2 においてサンプリングされた信号に前記所定の変換操作を行って該サンプリングされた信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記 A / D 変換ステージ S T G 3 に提供して前記 A / D 変換ステージ S T G 3 において前記所定のサンプリング操作を行い、

さらに、前記 A / D 変換ステージ S T G 4 においてサンプリングされた信号に前記所定の変換操作を行って該サンプリングされた信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記 A / D 変換ステージ S T G 1 に提供して前記 A / D 変換ステージ S T G 1 において前記所定のサンプリング操作を行うステップと、

10

20

30

40

50

(d) 前記 A / D 変換ステージ S T G 3 においてサンプリングされた信号に前記所定の変換操作を行って該サンプリングされた信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記 A / D 変換ステージ S T G 4 に提供して前記 A / D 変換ステージ S T G 4 において前記所定のサンプリング操作を行い、  
さらに、前記 A / D 変換ステージ S T G 1 においてサンプリングされた信号に前記所定の変換操作を行って該サンプリングされた信号に対応する変換値を前記演算増幅回路の前記出力に生成すると共に、この変換値を前記 A / D 変換ステージ S T G 2 に提供して前記 A / D 変換ステージ S T G 2 において前記所定のサンプリング操作を行うステップとを備え、

前記所定のサンプリング操作は、

前記第 1 のキャパシタおよび前記第 2 のキャパシタに、入力アナログ信号に応じた電荷を蓄積するステップを含み、

前記所定の変換操作は、

前記第 1 のキャパシタを前記演算増幅回路の出力と前記演算増幅回路の反転入力との間に接続すると共に当該 A / D 変換ステージにおける A / D 変換結果を示すデジタル信号に応じた変換アナログ信号を前記第 2 のキャパシタの前記他端に供給することによって、前記演算増幅回路の前記出力に変換値を生成すると共に、前記第 1 および第 2 のキャパシタの前記電荷を再配置するステップを含む、ことを特徴とする方法。

【請求項 4 4】

前記 A / D 変換ステージ S T G 1 ~ S T G 4 の内のいずれか一つの A / D 変換ステージの入力にサンプル/ホールド回路が接続されており、

前記ステップ ( a ) における前記アナログ信号は、前記サンプル/ホールド回路から入力された標本アナログ信号に関係している、ことを特徴とする請求項 4 3 に記載された方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログデジタル変換器、A / D 変換ステージ、アナログ信号に対応したデジタル信号を生成する方法、および A / D 変換ステージにおける変換誤差を示す信号を生成する方法に関する。

【背景技術】

【0002】

非特許文献 1 には、パイプライン型アナログデジタル ( A / D ) 変換器が記載されている。また、非特許文献 2 ~ 5 および特許文献 1 ~ 4 には、巡回型アナログデジタル変換器が記載されている。巡回型アナログデジタル変換器の入力には、サンプル/ホールド ( S / H ) 回路が設けられている。巡回型アナログデジタル変換器では、直列に接続された 2 段の回路ブロックを含む。非特許文献 6 には、バックグラウンドキャリブレーションが記載されている。また、特許文献 5 には、容量のデジタル補正について記載されており、特許文献 6 にはパイプライン型 A / D 変換器が記載されている。

【非特許文献 1】Yun Chin, "Inherently linear capacitor averaging techniques for pipelined A/D conversion," IEEE Trans. Circuits and Systems-II, vol. 47, no. 3, pp. 229-232, 2000.

【非特許文献 2】P. Quinn, M. Pribytko, "Capacitor matching insensitive 12-bit 3.3MS/s algorithmic ADC in 0.25um CMOS," Proc. 2003 Custom Integrated Circuits Conf., pp.425-428, 2003.

【非特許文献 3】B. Ginetti, P. G. Jespers, A. Vandemeulebroecke, "A CMOS 13-b cyclic RSD A/D converter," IEEE J. Solid-State Circuits, vol. 27, no. 7, pp.957-965, 1992.

10

20

30

40

50



【非特許文献4】K. Nagaraj, "Efficient circuit configuration for algorithmic analog to digital converters," IEEE Trans. Circuits and Systems II, vol. 40, no. 12, pp. 777-785, 1993.

【非特許文献5】H. S. Lee, "A 12-b 600ks/s digitally self-calibrated pipelined algorithmic ADC," IEEE J. Solid-State Circuits, vol. 29, no. 4, pp. 509-515, 1994.

【特許文献1】U.S. Patent No. 5,027,116

【特許文献2】U.S. Patent No. 5,212,486

【非特許文献6】J. Ming, S. H. Lewis, "An 8b 80M Sample/s pipelined ADC with background calibration," IEEE Int. Solid-State Circuits Conf., pp. 42-43, 2000.

【特許文献3】U.S. Patent No. 5,027,116

【特許文献4】U.S. Patent No. 5,212,486

【特許文献5】U.S. Patent No. 5,510,789

【特許文献6】特開2006-33304号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

巡回型アナログデジタル変換器における各回路ブロックは、MDAC回路およびサブA/D変換回路を含む。一段目の回路ブロックの入力は、S/H回路の出力にスイッチを介して接続されている。二段目の回路ブロックの出力は、スイッチを介して一段目の回路ブロックの入力に接続されている。サブA/D変換回路は、その出力に対して、(0, 1)の2値のA/D変換結果または(-1, 0, +1)の3値のA/D変換結果(デジタル値)を生成する。MDAC回路は、入力信号を2倍に増幅すると共に、デジタル値に対応する参照電圧の「加算」、「減算」および「演算無し」のいずれかを行う。この動作は、各回路ブロックにおいて順次に行われ、各回路ブロックからの出力値は、ループ状の二段の回路ブロックを巡回する。この動作はクロックで制御される。

【0004】

この巡回型アナログデジタル変換器では、サンプル/ホールド(S/H)回路から受け取ったアナログ信号を各回路ブロックにおいて2値のA/D変換を行う場合には、1ビットのデジタル信号が得られる。また、各回路ブロックにおいて3値のA/D変換を行う場合は、1.5ビットのデジタル信号が得られる。2段の回路ブロックを用いてNクロック分の巡回動作を行うと、それぞれ、2Nビット(2値A/D変換)および2N+1ビット(3値A/D変換)のA/D変換が行える。例えば、一段当たり1ビットのA/D変換を行うと、6.5クロック分の巡回動作により、13ビットのA/D変換を行うことができる。また、一段当たり1.5ビットのA/D変換を行うと、6.5クロック分の巡回動作により、14ビットのA/D変換を行うことができる。

【0005】

発明者の知見によれば、巡回型のアナログデジタル変換器において、所定ビットのA/D変換を並列に行うことができれば、一サンプリング当たりA/D変換時間を短縮することができる。また、このような変換時間の短縮により、一サンプリング値当たりのA/D変換時間の短縮だけでなく、巡回型のアナログデジタル変換器のA/D変換の精度を向上できる。しかしながら、上記の特許文献および非特許文献に記載された巡回型A/D変換器では、オフセット電圧及びその変動についての対策は採られておらず、非常に安定した動作が必要とされる用途では、さらに高い変換精度が求められる。

【0006】

したがって、求められていることは、一サンプリング値当たりのA/D変換時間を短縮することである。

【0007】

そこで、本発明の目的は、上記の事項を鑑みて為されたものであり、一サンプリング当

たりに A / D 変換時間を短縮すること可能なアナログデジタル変換器を提供することを目的し、また、このアナログデジタル変換器のための A / D 変換ステージを提供することを目的し、さらに、このアナログデジタル変換器を用いて A / D 変換ステージおける変換誤差を示す信号を生成する方法を提供することを目的とし、加えて、一サンプリング当たり A / D 変換時間を短縮するために利用可能な、アナログ信号に対応したデジタル信号を生成する方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一側面に係るアナログデジタル変換器は、(a) 各々がステージ入力およびステージ出力を有しており直列に接続された第 1 ~ 第 N の A / D 変換ステージと、(b) アナログ信号を受けるアナログ入力と、(c) 前記第 1 の A / D 変換ステージの前記ステージ入力と前記アナログ入力との間に接続されており、第 1 および第 2 のサンプリング期間中にそれぞれ第 1 および第 2 の標本アナログ信号をサンプリングするための入力スイッチと、(d) 前記第 1 の A / D 変換ステージの前記ステージ入力と前記第 N の A / D 変換ステージの前記ステージ出力との間に接続されており、前記第 N の A / D 変換ステージから前記第 1 の A / D 変換ステージへの経路を前記第 1 および第 2 のサンプリング期間と異なる巡回期間中に提供するための巡回スイッチと、(e) 前記第 1 ~ 第 N の A / D 変換ステージの各々からの変換結果を受けて、アナログ / デジタル変換結果を示す A / D 変換デジタルコードを生成するデジタル演算回路とを備える。前記第 1 ~ 第 N の A / D 変換ステージの各々は、前記変換結果を示し所定のビット数からなるデジタル信号を前記ステージ入力からの信号に回答して生成するサブ A / D 変換回路と、前記デジタル信号に応じた制御信号を生成する制御回路と、前記制御信号に応じた所定の電圧を生成する D / A 変換器と、前記ステージ入力からの信号を受ける第 1 の入力、該信号および前記所定の電圧を受ける第 2 の入力、および前記ステージ出力に接続された出力を有するゲインステージとを含む。前記第 1 ~ 第 N の A / D 変換ステージの数 N は 3 または 4 である。

10

20

【0009】

このアナログデジタル変換器によれば、第 1 の標本アナログ信号が、第 1 のサンプリング期間中にサンプリングされて入力スイッチを介して第 1 の A / D 変換ステージに提供され、第 2 の標本アナログ信号が第 2 のサンプリング期間中にサンプリングされて入力スイッチを介して第 1 の A / D 変換ステージに提供され、第 1 ~ 第 N の A / D 変換ステージの各々は、第 1 および第 2 のサンプリング期間並びに巡回期間中に第 1 および第 2 の標本アナログ信号の各々のための演算値を生成する。これ故に、アナログデジタル変換器は、一サンプリング当たり A / D 変換時間を短縮可能である。

30

【0010】

本発明に係るアナログデジタル変換器では、前記第 1 ~ 第 N の A / D 変換ステージの数 N は 4 であることができる。前記ゲインステージは、第 1 および第 2 のキャパシタ並びに演算増幅回路を有する。前記ゲインステージは、前記ステージ入力からの電荷を前記第 1 および第 2 のキャパシタに格納し、前記第 1 および第 2 のキャパシタのいずれか一方に前記所定の電圧を受けることによって前記第 1 および第 2 のキャパシタに前記電荷の再配置を行うと共に前記演算増幅回路の出力に前記演算値を生成する。

40

【0011】

このアナログデジタル変換器によれば、4 段の A / D 変換ステージの各々において、第 1 および第 2 のキャパシタ並びに演算増幅回路を用いて一ステージ分の A / D 変換が行われる。

【0012】

本発明に係るアナログデジタル変換器では、前記ゲインステージは、第 1 および第 2 のキャパシタ並びに演算増幅回路を有する。前記ゲインステージは、前記ステージ入力からの電荷を前記第 1 および第 2 のキャパシタに格納し、また、前記ステージ入力からの電荷を前記第 1 および第 2 のキャパシタのいずれか一方に再び格納し、さらに、前記第 1 および第 2 のキャパシタのいずれか一方に前記所定の電圧を受けることによって前記第 1 お

50

よび第2のキャパシタ並びに前記演算増幅回路を用い前記電荷の再配置を行い、またさらに、前記第1および第2のキャパシタのいずれか他方に前記所定の電圧を受けることによって前記第1および第2のキャパシタにおいて前記再配置された電荷の再配置を行うと共に前記演算増幅回路の出力に前記演算値を生成する。

【0013】

このアナログデジタル変換器によれば、4段のA/D変換ステージの各々において、第1および第2のキャパシタのミスマッチを低減可能なA/D変換が行われる。

【0014】

本発明に係るアナログデジタル変換器では、各A/D変換ステージにおける前記ゲインステージは、前記第1のキャパシタおよび前記第2のキャパシタのキャパシタンスミスマッチを示すミスマッチ値を前記演算増幅回路の出力に生成し、前記第1～第4のA/D変換ステージの各々は、前記巡回期間中に、前記ミスマッチ値のための演算値を生成する。

10

【0015】

このアナログデジタル変換器によれば、A/D変換ステージの各々はミスマッチ値を生成すると共に、この値は、第1～第4のA/D変換ステージを巡回的に用いてA/D変換される。

【0016】

本発明に係るアナログデジタル変換器では、前記ゲインステージは、第1および第2のミスマッチ補正操作を有する。前記第1のミスマッチ補正操作において、前記演算増幅回路の入力および出力並びに前記第2のキャパシタを互いに接続して等電位化すると共に、前記D/A変換器から参照信号を前記第1のキャパシタに受けることによって前記第1のキャパシタに電荷を蓄積し、前記第2のミスマッチ補正操作において、前記D/A変換器から前記参照信号を前記第2のキャパシタに受けることによって前記第1および第2のキャパシタにおいて電荷の再配置を行い前記演算増幅回路の出力に前記ミスマッチ値を生成する。

20

【0017】

このアナログデジタル変換器によれば、第1および第2のミスマッチ補正操作によりミスマッチ値が生成される。

【0018】

本発明に係るアナログデジタル変換器では、各A/D変換ステージにおける前記ゲインステージは、前記演算増幅回路の有限利得を示す利得誤差値を前記演算増幅回路の出力に生成し、前記第1～第4のA/D変換ステージの各々は、前記巡回期間中に、前記利得誤差値のための演算値を生成する。

30

【0019】

このアナログデジタル変換器によれば、A/D変換ステージの各々は利得誤差値を生成すると共に、この値は、第1～第4のA/D変換ステージを巡回的に用いてA/D変換される。

【0020】

本発明に係るアナログデジタル変換器では、前記ゲインステージは、第1および第2の有限利得補正操作を有する。前記第1の有限利得補正操作において、前記演算増幅回路の入力および出力を接続して等電位化すると共に、前記D/A変換器から参照信号を前記第1および第2のキャパシタに受けることによって前記第1および第2のキャパシタに電荷を蓄積し、前記第2の有限利得補正操作において、前記演算増幅回路の前記入力および前記出力に前記第1のキャパシタを接続すると共に前記D/A変換器から前記参照信号を前記第2のキャパシタに受けることによって前記第1および第2のキャパシタにおいて電荷の再配置を行い前記演算増幅回路の前記出力に前記利得誤差値を生成する。

40

【0021】

このアナログデジタル変換器によれば、第1および第2の有限利得補正操作により利得誤差値が生成される。

50

## 【 0 0 2 2 】

本発明に係るアナログデジタル変換器では、前記第 1 ~ 第 4 の A / D 変換ステージの各々は、前記第 1 および第 2 のキャパシタは、前記アナログ信号のサンプリングのための第 1 の期間に前記ステージ入力に接続される。前記 D / A 変換器は、前記アナログ信号の処理のための第 2 の期間に前記所定の電圧を前記第 2 のキャパシタの一端に提供し、キャパシタ mismatches の補償用の信号を受けるための第 3 の期間に前記第 2 のキャパシタの前記一端に基準電位線に接続し、キャパシタ mismatches の補償用の信号を処理するための第 4 の期間、有限利得の補正用の信号を受けるための第 5 の期間および有限利得の補正用の信号を処理するための第 6 の期間に前記第 2 のキャパシタの前記一端に参照電圧を提供すると共に、前記第 5 の期間および前記第 3 の期間に前記第 1 のキャパシタの前記一端に前記参照電圧を提供する。前記ゲインステージは、前記第 1、第 3 および第 5 の期間に前記演算増幅回路の前記出力に前記反転入力を接続するためのフィードバックスイッチと、前記第 2、第 4 および第 6 の期間に前記第 1 のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第 1 のスイッチとを備える。

10

## 【 0 0 2 3 】

このアナログデジタル変換器では、各 A / D 変換ステージにおけるゲインステージは、第 1 および第 2 のキャパシタのキャパシタ mismatches を示す mismatches 値を演算増幅回路の出力に生成すると共に、演算増幅回路の有限利得を示す利得誤差値を演算増幅回路の出力に生成する。第 1 ~ 第 4 の A / D 変換ステージの各々は、巡回期間中に、mismatches 値のための演算値を生成すると共に、利得誤差値のための演算値を生成する。故に、A / D 変換ステージの各々は利得誤差値および mismatches 値の各々を生成すると共に、これらの値は、第 1 ~ 第 4 の A / D 変換ステージを巡回的に用いて個々に A / D 変換される。

20

## 【 0 0 2 4 】

本発明に係るアナログデジタル変換器では、前記第 N の A / D 変換ステージの段数 N は 3 であることができる。前記ゲインステージは、第 1 ~ 第 3 のキャパシタおよび演算増幅回路を有しており、前記ゲインステージは、前記ステージ入力からの電荷を前記第 1 および第 2 のキャパシタに格納し、また、前記第 1 のキャパシタに前記所定の電圧を受けることによって前記第 1 および第 2 のキャパシタに前記電荷の再配置を行って前記演算増幅回路の出力に演算結果を生成すると共に前記演算結果に対応する電荷を前記第 3 のキャパシタに格納し、さらに、前記第 2 のキャパシタに前記所定の電圧を受けることによって前記再配置された電荷および前記第 3 のキャパシタに格納された前記電荷の再配置を前記第 1 ~ 第 3 のキャパシタにおいて行うと共に前記演算増幅回路の出力に前記演算値を生成する。

30

## 【 0 0 2 5 】

このアナログデジタル変換器によれば、3 段の A / D 変換ステージの各々において第 1 ~ 第 3 のキャパシタ並びに演算増幅回路を用いて一ステージ分の A / D 変換が行われる。

## 【 0 0 2 6 】

本発明に係るアナログデジタル変換器は、( a ) 各々がステージ入力およびステージ出力を有しており直列に接続された第 1 ~ 第 4 の A / D 変換ステージと、( b ) アナログ信号を受けるアナログ入力と、( c ) 前記第 1 の A / D 変換ステージの前記ステージ入力と前記アナログ入力との間に接続されており、第 1 および第 2 のサンプリング期間中にそれぞれ第 1 および第 2 の標本アナログ信号をサンプリングするための入力スイッチと、( d ) 前記第 1 の A / D 変換ステージの前記ステージ入力と前記第 4 の A / D 変換ステージの前記ステージ出力との間に接続されており、前記第 4 の A / D 変換ステージから前記第 1 の A / D 変換ステージへの経路を前記第 1 および第 2 のサンプリング期間と異なる巡回期間中に提供するための巡回スイッチと、( e ) 前記第 1 ~ 第 4 の A / D 変換ステージの各々からの変換結果に応じたアナログ / デジタル変換結果を示す A / D 変換デジタルコードを生成するデジタル演算回路とを備える。前記第 1 ~ 第 4 の A / D

40

50

変換段の各々は、(a1)所定のビット数からなる変換結果を示すデジタル信号を前記ステージ入力からの信号にตอบสนองして生成するサブA/D変換回路と、(a2)前記デジタル信号に応じた制御信号を生成する制御回路と、(a3)前記ステージ入力からの信号を受ける第1の入力、前記制御信号を受ける第2の入力、および前記ステージ出力に接続された出力を有するゲインステージとを含む。前記ゲインステージは、一端および他端を有する第1のキャパシタと、一端および他端を有する第2のキャパシタと、前記第1のキャパシタの前記一端を第1の期間に前記ステージ入力に接続するための第1のスイッチと、前記第2のキャパシタの前記一端を前記第1の期間に前記ステージ入力に接続するための第2のスイッチと、前記第1の期間と異なる第2の期間に前記第1のキャパシタの前記他端および前記第2のキャパシタの前記他端に接続された反転入力と前記ステージ出力に接続された出力とを有する演算増幅回路と、前記第2の期間に前記第1のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第3のスイッチと、前記制御信号に応じた所定の電圧を前記第2の期間に前記第2のキャパシタの前記一端に提供するD/A変換器とを含む。

10

【0027】

このアナログデジタル変換器によれば、直列に接続された第1～第4のA/D変換ステージを巡回スイッチを介してループ状に接続するので、2つのサンプリング値に対してA/D変換を並列に行うことができる。

【0028】

本発明の一側面のアナログデジタル変換器は、以下の構成を有することができる。前記ゲインステージは、前記第1のキャパシタの前記他端と前記演算増幅回路の前記反転入力との間に接続されており、前記第1の期間と前記第2の期間との間の第3の期間に前記第1のキャパシタの前記他端を前記反転入力から切り離すための第4のスイッチと、前記第2のキャパシタの前記一端と前記演算増幅回路の前記出力との間に接続されており、前記第1～第3の期間と異なる第4の期間に前記第2のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第5のスイッチとを含む。前記D/A変換器は、前記制御信号に応じた所定の電圧を前記第4の期間に前記第1のキャパシタの前記一端に提供する。

20

【0029】

このアナログデジタル変換器によれば、ゲインステージ内の2つのキャパシタのばらつきに起因するA/D変換値の誤差を補正するためのデジタル値を提供することができる。

30

【0030】

本発明の一側面のアナログデジタル変換器は、以下の構成を有することができる。前記デジタル演算回路は、前記第1および第2の標本アナログ信号にそれぞれ対応しており前記第1～第4のA/D変換ステージからのデジタル信号からなる第1および第2のデータ群を格納するための第1～第4の記憶回路と、前記第1～第4の記憶回路に接続されており、前記第1のデータ群の前記デジタル信号を用いて前記第1の標本アナログ信号に対応する第1のデジタルコードを生成する第1の回路と、前記第1～第4の記憶回路に接続されており、前記第2のデータ群の前記デジタル信号を用いて前記第2の標本アナログ信号に対応する第2のデジタルコードを生成する第2の回路と、前記第1および第2のデジタルコードの一方を用いて前記第1および第2のデジタルコードの他方を補正して前記A/D変換デジタルコードを生成する補正回路とを含む。

40

【0031】

このアナログデジタル変換器によれば、第1～第4のA/D変換段からのデジタル信号から、該アナログデジタル変換器に起因するA/D変換の誤差を補正することができる。

【0032】

本発明の別の一側面のアナログデジタル変換器は、(a)各々がステージ入力およびステージ出力を有しており直列に接続された第1～第3のA/D変換ステージと、(b)

50

アナログ信号を受けるアナログ入力と、(c)前記第1のA/D変換ステージの前記ステージ入力と前記アナログ入力との間に接続されており、第1および第2のサンプリング期間中にそれぞれ第1および第2の標本アナログ信号をサンプリングするための入力スイッチと、(d)前記第1のA/D変換ステージの前記ステージ入力と前記第3のA/D変換ステージの前記ステージ出力との間に接続されており、前記第3のA/D変換ステージから前記第1のA/D変換ステージへの経路を前記第1および第2のサンプリング期間と異なる巡回期間中に提供するための巡回スイッチと、(e)前記第1～第3のA/D変換ステージの各々からの変換結果に応じたアナログ/デジタル変換結果を示すA/D変換デジタルコードを生成するデジタル演算回路とを備える。前記第1～第3のA/D変換ステージの各々は、所定のビット数からなり変換結果を示すデジタル信号を前記ステージ入力からの信号に应答して生成するサブA/D変換回路と、前記デジタル信号に応じた制御信号を生成する制御回路と、前記ステージ入力からの信号を受ける第1の入力、前記制御信号を受ける第2の入力、および前記ステージ出力に接続された出力を有するゲインステージとを含む。前記ゲインステージは、一端および他端を有する第1のキャパシタと、一端および他端を有する第2のキャパシタと、一端および他端を有する第3のキャパシタと、前記第1のキャパシタの前記一端を第1の期間に前記ステージ入力に接続するための第1のスイッチと、前記第2のキャパシタの前記一端を前記第1の期間に前記ステージ入力に接続するための第2のスイッチと、前記第1のキャパシタの前記他端および前記第2のキャパシタの前記他端に接続された反転入力と、前記第3のキャパシタの前記他端および前記ステージ出力に接続された出力とを有する演算増幅回路と、前記第2のキャパシタの前記一端と前記演算増幅回路の前記出力との間に接続されており、前記第1の期間と異なる第2の期間に前記第2のキャパシタの前記一端を前記演算増幅回路の前記出力に接続するための第3のスイッチと、前記第1のキャパシタの前記一端と前記演算増幅回路の前記出力との間に接続されており、前記第1および第2の期間と異なる第3の期間に前記第1のキャパシタの前記一端を前記出力に接続するための第4のスイッチと、前記制御信号に応じた所定の電圧を前記第2の期間に前記第1のキャパシタの前記一端に提供すると共に、前記制御信号に応じた所定の電圧を前記第3の期間に前記第2のキャパシタの前記一端に提供するD/A変換器と、前記第3のキャパシタの前記一端と前記演算増幅回路の前記反転入力との間に接続されており、前記第3の期間に前記第3のキャパシタの前記一端を前記演算増幅回路の前記反転入力に接続するための第5のスイッチと、前記第3のキャパシタの前記一端と基準電位線との間に接続されており、前記第1および第2の期間に前記第3のキャパシタの前記一端に前記基準電位を提供するための第6のスイッチとを含む。

#### 【0033】

このアナログデジタル変換器によれば、直列に接続された第1～第3のA/D変換ステージを巡回スイッチを介してループ状に接続するので、第1～第3のA/D変換ステージの3つのキャパシタのミスマッチを補償しながら、A/D変換を行うことができる。

#### 【0034】

本発明の別の側面のアナログデジタル変換器は、以下の構成を有することができる。前記デジタル演算回路は、前記第1および第2の標本アナログ信号にそれぞれ対応し前記第1～第3のA/D変換段からのデジタル信号からなる第1および第2のデータ群を格納するための第1～第3の記憶回路と、前記第1～第3の記憶回路に接続されており、前記第1のデータ群の前記デジタル信号を用いて前記第1の標本アナログ信号に対応する第1のデジタルコードを生成する第1の回路と、前記第1～第3の記憶回路に接続されており、前記第2のデータ群の前記デジタル信号を用いて前記第2の標本アナログ信号に対応する第2のデジタルコードを生成する第2の回路と、前記第1および第2のデジタルコードの一方を用いて前記第1および第2のデジタルコードの他方を補正して前記A/D変換デジタルコードを生成する補正回路とを含む。

#### 【0035】

このアナログデジタル変換器によれば、第1～第3のA/D変換段からのデジタル

信号から、該アナログデジタル変換器に起因する A / D 変換の誤差を補正することができる。

【 0 0 3 6 】

本発明の一側面および別の側面のアナログデジタル変換器は、以下の構成を有することができる。前記サブ A / D 変換回路は、前記ステージ入力からの信号を所定の基準信号と比較すると共に比較結果信号を提供するコンパレータを含む。

【 0 0 3 7 】

アナログデジタル変換器によれば、1ビットのデジタル値が得られる。また、コンパレータの数を増やせば、1ビットを越えるビット数のデジタル信号が得られる。

【 0 0 3 8 】

本発明の一側面および別の側面のアナログデジタル変換器は、以下の構成を有することができる。前記サブ A / D 変換回路は、前記ステージ入力からの信号を所定の2つの基準信号と比較することによって3値の冗長デジタル信号を生成する。

【 0 0 3 9 】

このアナログデジタル変換器によれば、入力アナログ信号を所定の2つの基準信号と比較するので、3値のデジタル信号が得られる

【 0 0 4 0 】

本発明の一側面および別の側面のアナログデジタル変換器は、以下の構成を有することができる。アナログデジタル変換器は、入力アナログ信号を受ける入力と前記アナログ入力に前記アナログ信号を提供する出力とを有するサンプル/ホールド回路を更に備える。前記サンプル/ホールド回路は、反転入力および非反転出力を有する演算増幅回路と、前記反転入力と前記非反転出力との間に接続された帰還スイッチとを含む。

【 0 0 4 1 】

このアナログデジタル変換器によれば、サンプル/ホールド回路の帰還スイッチを用いて、演算増幅回路のオフセット量に対応する信号を生成できる。

【 0 0 4 2 】

本発明の一側面および別の側面のアナログデジタル変換器は、以下の構成を有することができる。前記第1および第2の標本アナログ信号のいずれか一方は、前記入力アナログ信号に対応しており、前記サンプル/ホールド回路の前記帰還スイッチは、前記第1および第2のサンプリング期間のいずれか一方の全期間中に開かれる。

【 0 0 4 3 】

このアナログデジタル変換器によれば、サンプル/ホールド回路は、A / D 変換の対象となる入力アナログ信号を A / D 変換ステージに提供できる。

【 0 0 4 4 】

本発明の一側面および別の側面のアナログデジタル変換器は、以下の構成を有することができる。前記サンプル/ホールド回路の前記帰還スイッチは、前記第1および第2のサンプリング期間のいずれか他方の期間の一部において閉じられ、前記第1および第2の標本アナログ信号のいずれか他方は、前記サンプル/ホールド回路の前記帰還スイッチが開かれた後に提供される。

【 0 0 4 5 】

このアナログデジタル変換器によれば、サンプル/ホールド回路は、演算増幅回路のオフセット量に対応する補償信号を A / D 変換ステージに提供できる。サンプル/ホールド回路から提供される1および第2の標本アナログ信号の A / D 変換すると、これらの A / D 変換値 ( デジタル値 ) を用いて A / D 変換ステージにおける誤差を補正することができる。

【 0 0 4 6 】

本発明の一側面および別の側面のアナログデジタル変換器は、以下の構成を有することができる。前記サンプル/ホールド回路の前記演算増幅回路は、非反転入力および反転出力をさらに有しており、前記サンプル/ホールド回路は、前記演算増幅回路の前記非反転入力と前記演算増幅回路の前記反転出力との間に接続された別の帰還スイッチを含む。

10

20

30

40

50

## 【 0 0 4 7 】

このアナログデジタル変換器によれば、全差動構成のサンプル/ホールド回路が提供される。

## 【 0 0 4 8 】

本発明の更なる別の側面は、ゲインステージを用いて、アナログ信号に対応したデジタル信号を生成する方法である。前記ゲインステージは第1および第2のキャパシタ並びに演算増幅回路を含む。当該方法は、(a)所定の数の値を取るデジタル値を有しており第1および第2の入力アナログ信号のいずれか一方に応じたデジタル信号を生成するステップと、(b)前記第1のキャパシタおよび前記第2のキャパシタに、前記第1の入力アナログ信号に応じた電荷を蓄積するステップと、(c)前記第1および第2のキャパシタに前記電荷を蓄積した後に、前記第1のキャパシタおよび前記第2のキャパシタのいずれか一方の前記電荷を保持すると共に、前記第1のキャパシタおよび前記第2のキャパシタのいずれか他方に前記第2の入力アナログ信号に応じた電荷をサンプリングするステップと、(d)前記第1および第2のキャパシタへのサンプリングの後に、前記第1のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に前記第2のキャパシタの前記他端に該デジタル信号に応じた変換アナログ信号を供給することによって、第1の変換値を前記演算増幅回路の前記出力に生成すると共に前記第1および第2のキャパシタの前記電荷を再配置するステップと、(e)前記第1および第2のキャパシタへのサンプリングの後に、前記第2のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に前記第1のキャパシタの前記他端に該デジタル信号に応じた変換アナログ信号を供給することによって、第2の変換値を前記演算増幅回路の前記出力に生成すると共に前記第1および第2のキャパシタの前記電荷を再配置するステップとを備える。

10

20

## 【 0 0 4 9 】

この方法によれば、第1および第2の入力アナログ信号が前段のゲインステージからの2つの信号であるとき、引き続きステップ(d)およびステップ(e)において、前段のゲインステージからの2つの信号を平均化すると共に第1のキャパシタと第2のキャパシタとの間のミスマッチを平均化した2つ変換値が生成される。

## 【 0 0 5 0 】

また、第2の入力アナログ信号に応じた電荷を第1および第2のキャパシタに前記電荷を蓄積すると共に、この後に第1のキャパシタおよび第2のキャパシタのいずれか他方に第2の入力アナログ信号に応じた電荷をサンプリングすると、第2の入力アナログ信号が第1の入力アナログ信号と実質的に同じとき、引き続きステップ(d)およびステップ(e)において、第1のキャパシタおよび第2のキャパシタのミスマッチに応じた2つ変換値が生成される。

30

## 【 0 0 5 1 】

本発明のまた更なる別の側面は、第1～第4のA/D変換ステージを用いて、アナログ信号に対応したデジタル信号を生成する方法である。前記第1～第4のA/D変換ステージの各々は第1および第2のキャパシタ並びに演算増幅回路を含む。当該方法は、(a)前記第1のA/D変換ステージにおいてサンプリングされたアナログ信号に所定の交換操作を施して第1の変換結果を生成し前記第1の変換結果に対応するアナログ信号に前記第2のA/D変換ステージにおいて所定のサンプリング操作を施すと共に、前記第3のA/D変換ステージにおいてサンプリングされたアナログ信号に前記所定の交換操作を施して第2の変換結果を生成し前記第2の変換結果に対応したアナログ信号に前記第4のA/D変換ステージにおいて前記所定のサンプリング操作を施すステップと、(b)前記第4のA/D変換ステージにおいてサンプリングされたアナログ信号に前記所定の交換操作を施して第3の変換結果を生成し前記第3の変換結果に対応するアナログ信号に前記第1のA/D変換ステージにおいて前記所定のサンプリング操作を施すと共に、前記第2のA/D変換ステージにおいてサンプリングされたアナログ信号に前記所定の交換操作を施して第4の変換結果を生成し前記第4の変換結果に対応するアナログ信号に前記第3のA/D

40

50



変換ステージにおいて前記所定のサンプリング操作を施すステップと、(c)前記ステップ(a)および前記ステップ(b)を繰り返すステップとを備える。前記所定のサンプリング操作は、前記第1のキャパシタおよび前記第2のキャパシタに、入力アナログ信号に応じた電荷を蓄積するステップを含む。前記所定の変換操作は、前記第1のキャパシタを前記演算増幅回路の出力と前記演算増幅回路の反転入力との間に接続すると共に当該A/D変換ステージにおけるA/D変換結果を示すデジタル信号に応じた変換アナログ信号を前記第2のキャパシタの前記他端に供給することによって、変換値を前記演算増幅回路の前記出力に生成すると共に、前記第1および第2のキャパシタの前記電荷を再配置するステップを含む。

【0052】

この方法によれば、第1～第4のA/D変換ステージにいずれもサンプリング操作および変換操作のいずれかを行っているので、第1～第4のA/D変換ステージの動作に無駄がない。故に、2つの信号が並列してA/D変換される。

【0053】

本発明のまた更なる側面の方法は、以下の構成を有することができる。この方法は、前記ステップ(a)および(b)に先立って、前記第1のA/D変換ステージに第1の標本アナログ信号を受けて、前記第1の標本アナログ信号に前記所定のサンプリング操作を施すステップと、前記第1のA/D変換ステージにおいてサンプリングされたアナログ信号に前記所定の変換操作を施して第5の変換結果を生成し前記第5の変換結果に対応するアナログ信号に前記第2のA/D変換ステージにおいて前記所定のサンプリング操作を施すステップと、前記第1のA/D変換ステージに第2の標本アナログ信号を受けて、前記第2の標本アナログ信号に前記所定のサンプリング操作を施すと共に、前記第2のA/D変換ステージにおいてサンプリングされたアナログ信号に前記所定の変換操作を施して第6の変換結果を生成し前記第6の変換結果に対応するアナログ信号に前記第3のA/D変換ステージにおいて前記所定のサンプリング操作を施すステップとを備える。

【0054】

この方法によれば、第1の標本アナログ信号および第2の標本アナログ信号を順に第1のA/D変換ステージに提供することによって、第1～第4のA/D変換ステージにいずれもサンプリング操作および変換操作のいずれかを行う手順につなげることができる。

【0055】

本発明のまた更なる側面の方法は、以下の構成を有することができる。この方法は、演算増幅回路を含むサンプル/ホールド回路への信号のサンプリング動作を行った後に前記サンプル/ホールド回路を保持動作状態すると共に、保持した信号を前記第1および第2の標本アナログ信号の一方として提供するステップと、前記演算増幅回路の入力と前記演算増幅回路の出力との間に接続されたスイッチを閉じて該閉じたスイッチを開いた後に前記サンプル/ホールド回路を保持動作状態にすると共に、保持した信号を前記第1および第2の標本アナログ信号の他方として提供するステップとを備える。

【0056】

この方法によれば、サンプル/ホールド回路の演算増幅回路のオフセットを生成することができる。

【0057】

本発明の更なるまた別の側面は、第1～第4のA/D変換ステージを用いて、アナログ信号に対応したデジタル信号を生成する方法である。前記第1～第4のA/D変換ステージの各々は第1および第2のキャパシタ並びに演算増幅回路を含む。当該方法は、(a)前記第1のA/D変換ステージにおいてサンプリングされたアナログ信号に第1の変換操作を施して第1の変換結果を生成し前記第1の変換結果に対応するアナログ信号に前記第2のA/D変換ステージにおいて第1のサンプリング操作を施すと共に、前記第3のA/D変換ステージにおいてサンプリングされたアナログ信号に前記第1の変換操作を施して第2の変換結果を生成し前記第2の変換結果に対応したアナログ信号に前記第4のA/D変換ステージにおいて前記第1のサンプリング操作を施すステップと、(b)前記第1

10

20

30

40

50

の A / D 変換ステージにおいて前記第 1 の変換操作の後に第 2 の変換操作を行って第 3 の変換結果を生成し前記第 3 の変換結果に対応するアナログ信号に前記第 2 の A / D 変換ステージにおいて第 2 のサンプリング操作を施すと共に、前記第 3 の A / D 変換ステージにおいて前記第 1 の変換操作の後に前記第 2 の変換操作を行って第 4 の変換結果を生成し前記第 4 の変換結果に対応したアナログ信号に前記第 4 の A / D 変換ステージにおいて前記第 2 のサンプリング操作を施すステップと、( c ) 前記第 2 の A / D 変換ステージにおいてサンプリングされたアナログ信号に前記第 1 の変換操作を施して第 5 の変換結果を生成し前記第 5 の変換結果に対応するアナログ信号に前記第 3 の A / D 変換ステージにおいて前記第 1 のサンプリング操作を施すと共に、前記第 4 の A / D 変換ステージにおいて前記第 1 の変換操作を施して第 6 の変換結果を生成し前記第 6 の変換結果に対応するアナログ信号に前記第 1 の A / D 変換ステージにおいて前記第 1 のサンプリング操作を施すステップと、( d ) 前記第 2 の A / D 変換ステージにおいて前記第 1 の変換操作の後に前記第 2 の変換操作を行って第 7 の変換結果を生成し前記第 7 の変換結果に対応するアナログ信号に前記第 3 A / D 変換ステージにおいて前記第 2 のサンプリング操作を施すと共に、前記第 4 の A / D 変換ステージにおいて前記第 1 の変換操作の後の前記第 2 の変換操作を施して第 8 の変換結果を生成し前記第 8 の変換結果に対応したアナログ信号に前記第 1 の A / D 変換ステージにおいて前記第 2 のサンプリング操作を施すステップとを備える。前記第 1 のサンプリング操作は、前記第 1 のキャパシタおよび前記第 2 のキャパシタに、第 1 の入力アナログ信号に応じた電荷を蓄積するステップを含む。前記第 2 のサンプリング操作は、前記第 1 および第 2 のキャパシタの前記電荷の再配置に先立って、前記第 1 のキャパシタおよび前記第 2 のキャパシタのいずれか一方の前記電荷を保持すると共に、前記第 1 のキャパシタおよび前記第 2 のキャパシタのいずれか他方に第 2 のアナログ信号に応じた電荷のサンプリングを行うステップを含む。前記第 1 の変換操作は、前記第 1 のキャパシタを前記演算増幅回路の前記出力と前記演算増幅回路の反転入力との間に接続すると共に当該 A / D 変換ステージにおける A / D 変換結果を示すデジタル信号に応じた変換アナログ信号を前記第 2 のキャパシタの前記他端に供給することによって、次段の A / D 変換ステージのための第 1 の入力アナログ信号に対応した第 1 の変換値を前記演算増幅回路の前記出力に生成すると共に、前記第 1 および第 2 のキャパシタの前記電荷を再配置するステップを含む。前記第 2 の変換操作は、前記第 2 のキャパシタを前記演算増幅回路の前記出力と前記演算増幅回路の前記反転入力との間に接続すると共に当該 A / D 変換ステージにおける A / D 変換結果を示すデジタル信号に応じた変換アナログ信号を前記第 1 のキャパシタの前記他端に供給することによって、次段の A / D 変換ステージのための第 2 の入力アナログ信号に対応した第 2 の変換値を前記演算増幅回路の前記出力に生成すると共に、前記第 1 および第 2 のキャパシタの前記電荷を再配置するステップを含む。

【 0 0 5 8 】

この方法によれば、第 1 ~ 第 4 の A / D 変換ステージにいずれも第 1 および第 2 サンプリング操作並びに第 1 および第 2 の変換操作のいずれかを行っているので、第 1 ~ 第 4 の A / D 変換ステージの動作に無駄がない。また、2 つの信号が並列して A / D 変換される。さらに、各 A / D 変換ステージのキャパシタのミスマッチを補償を行うと共に A / D 変換を行うことができる。

【 0 0 5 9 】

本発明の更なるまた別の側面は、以下の構成を備えることができる。この方法は、前記ステップ ( a ) ~ 前記ステップ ( d ) を順に繰り返すステップを更に備える。

【 0 0 6 0 】

この方法によれば、各 A / D 変換ステージのキャパシタのミスマッチを補償を行うと共に、繰り返しにより所望のビット数の A / D 変換を行うことができる。

【 0 0 6 1 】

本発明の更なるまた別の側面は、以下の構成を備えることができる。この方法は、前記ステップ ( a ) ~ ( d ) に先立って、前記第 1 の A / D 変換ステージに第 1 の標本アナログ信号を受けて、前記第 1 の標本アナログ信号に前記第 1 及び第 2 のサンプリング操作を

順に施すステップと、前記第1のA/D変換ステージにおいてサンプリングされたアナログ信号に第1の変換操作を施して第9の変換結果を生成し前記第9の変換結果に対応するアナログ信号に前記第2のA/D変換ステージにおいて第1のサンプリング操作を施すステップと、前記第1のA/D変換ステージにおいて前記第1の変換操作の後に第2の変換操作を施して第10の変換結果を生成し前記第10の変換結果に対応するアナログ信号に前記第2のA/D変換ステージにおいて第2のサンプリング操作を施すステップと、前記第1のA/D変換ステージに第2の標本アナログ信号を受けて、前記第2の標本アナログ信号に前記第1のサンプリング操作を施すと共に、前記第2のA/D変換ステージにおいてサンプリングされたアナログ信号に前記第1の変換操作を施して第11の変換結果を生成し前記第11の変換結果に対応するアナログ信号に前記第3のA/D変換ステージにおいて第1のサンプリング操作を施すステップと、前記第1のA/D変換ステージにおいて前記第2の標本アナログ信号に前記第2のサンプリング操作を施すと共に、前記第2のA/D変換ステージにおいて前記第1の変換操作の後に前記第2の変換操作を施して第12の変換結果を生成し前記第12の変換結果に対応するアナログ信号に前記第3のA/D変換ステージにおいて第2のサンプリング操作を施すステップとを備える。

10

**【0062】**

この方法によれば、第1の標本アナログ信号および第2の標本アナログ信号を順に第1のA/D変換ステージに提供することによって、第1～第4のA/D変換ステージにいずれもサンプリング操作および変換操作のいずれかを行う手順につなげることができる。

20

**【0063】**

本発明の更なるまた別の側面は、以下の構成を備えることができる。この方法は、演算増幅回路を含むサンプル/ホールド回路への信号のサンプリング動作を行った後に前記サンプル/ホールド回路を保持動作状態すると共に、前記第1および第2の標本アナログ信号の一方を発生するステップと、前記演算増幅回路の入力と出力との間に接続されたスイッチを閉じて該閉じたスイッチを開いた後に前記サンプル/ホールド回路を保持動作状態にすると共に、前記第1および第2の標本アナログ信号の他方を発生するステップとを備える。

**【0064】**

この方法によれば、サンプル/ホールド回路の演算増幅回路のオフセットを生成することができる。

30

**【0065】**

本発明のまた更なる別の側面は、第1～第3のA/D変換ステージを用いて、アナログ信号に対応したデジタル信号を生成する方法である。前記第1～第3のA/D変換ステージの各々は、演算増幅回路と、該演算増幅回路の反転入力に接続された一端を有する第1および第2のキャパシタと、該演算増幅回路の出力に接続された一端を有する第3のキャパシタとを含む。当該方法は、(a)前記第1のA/D変換ステージにおいてサンプリングされたアナログ信号に第1の変換操作を施して前記第1のA/D変換ステージのための第1の変換値を生成すると共に、前記第2のA/D変換ステージにおいて前記第1の変換操作の後に第2の変換操作を施して前記第2のA/D変換ステージのための第2の変換値を生成し前記第3のA/D変換ステージにおいて前記第2の変換値に対応したアナログ信号にサンプリング操作を施すステップと、(b)前記第1のA/D変換ステージにおいて前記第1の変換操作の後に前記第2の変換操作を施して前記第1のA/D変換ステージのための第2の変換値を生成し前記第2の変換値に対応したアナログ信号に前記第2のA/D変換ステージにおいて前記サンプリング操作を施すと共に、前記第3のA/D変換ステージにおいてサンプリングされたアナログ信号に前記第1の変換操作を施して前記第3のA/D変換ステージのための第1の変換値を生成するステップと、(c)前記第2のA/D変換ステージにおいてサンプリングされたアナログ信号に前記第1の変換操作を施して前記第2のA/D変換ステージのための第1の変換値を生成すると共に、前記第3のA/D変換ステージにおいて前記第2の変換操作を施して前記第3のA/D変換ステージにおいて第2の変換値を生成し前記第2の変換値に対応したアナログ信号に前記第1のA/D

40

50

D変換ステージにおいて前記サンプリング操作を施すステップとを備える。前記サンプリング操作は、前記第1のキャパシタおよび前記第2のキャパシタの各々に、当該A/D変換ステージに入力されたアナログ信号に応じた電荷を蓄積するステップを含む。前記第1の変換操作は、前記第2のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に当該A/D変換ステージにおけるA/D変換結果を示すデジタル信号に応じた変換アナログ信号を前記第1のキャパシタの前記他端に供給することによって、前記第1の変換値を前記演算増幅回路の前記出力に生成し前記第1および第2のキャパシタの前記電荷を再配置すると共に前記第1の変換値に対応する電荷を前記第3のキャパシタに蓄積するステップを含む。前記第2の変換操作は、前記第1および第3のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に当該A/D変換ステージにおけるA/D変換結果を示すデジタル信号に応じた変換アナログ信号を前記第2のキャパシタの前記他端に供給することによって、前記第2の変換値を前記演算増幅回路の前記出力に生成すると共に、前記第1、第2および第3のキャパシタの前記電荷を再配置する第3のステップを含む。

10

20

30

40

50

**【0066】**

この方法によれば、第1～第3のA/D変換ステージにいずれもサンプリング操作並びに第1および第2の変換操作のいずれかを行っているので、第1～第3のA/D変換ステージの動作に無駄がない。また、2つの信号が並列してA/D変換される。さらに、各A/D変換ステージのキャパシタのミスマッチを補償を行うと共にA/D変換を行うことができる。

**【0067】**

本発明の更なるまた別の側面は、以下の構成を備えることができる。この方法は、前記ステップ(a)～前記ステップ(c)を順に繰り返すステップを更に備える。

**【0068】**

この方法によれば、各A/D変換ステージのキャパシタのミスマッチを補償を行うと共に、繰り返しにより所望のビット数のA/D変換を行うことができる。

**【0069】**

本発明の更なるまた別の側面は、以下の構成を備えることができる。この方法は、前記ステップ(a)～(c)に先立って、前記第1のA/D変換ステージに第1の標本アナログ信号を受けて、前記第1の標本アナログ信号に前記サンプリング操作を施すステップと、前記ステップ(a)～(c)に先立って、前記第1のA/D変換ステージにおいてサンプリングされたアナログ信号に前記第1および第2の変換操作を施すと共に、前記第2の変換操作による変換値に対応するアナログ信号に前記第2のA/D変換ステージにおいてサンプリング操作を施すステップと、前記ステップ(a)～(c)に先立って、前記第1のA/D変換ステージに第2の標本アナログ信号を受けて、前記第2の標本アナログ信号に前記サンプリング操作を施すと共に、前記第2のA/D変換ステージにおいてサンプリングされたアナログ信号に前記第1の変換操作を施すステップとを更に備える。

**【0070】**

この方法によれば、第1の標本アナログ信号および第2の標本アナログ信号を順に第1のA/D変換ステージに提供することによって、第1～第4のA/D変換ステージにいずれもサンプリング操作および変換操作のいずれかを行う手順につなげることができる。

**【0071】**

本発明の更なるまた別の側面は、以下の構成を備えることができる。この方法は、演算増幅回路を含むサンプル/ホールド回路への信号のサンプリング動作を行った後に前記サンプル/ホールド回路を保持動作状態すると共に、保持した信号を前記第1および第2の標本アナログ信号の一方として発生するステップと、前記演算増幅回路の入力と出力との間に接続されたスイッチを閉じて該閉じたスイッチを開いた後に前記サンプル/ホールド回路を保持動作状態にすると共に、保持した信号を前記第1および第2の標本アナログ信号の他方として発生するステップとを備える。

**【0072】**

この方法によれば、サンプル/ホールド回路の演算増幅回路のオフセットを生成することができる。

【0073】

本発明に係るA/D変換ステージは、(a)ステージ入力、(b)ステージ出力、(c)所定のビット数からなる変換結果を示すデジタル信号をステージ入力からのアナログ信号に 응답して生成するサブA/D変換回路、(d)デジタル信号に応じた制御信号を生成する制御回路、(e)ステージ入力からのアナログ信号を受ける第1の入力、制御信号を受ける第2の入力、およびステージ出力に接続された出力を有するゲインステージを含む。ゲインステージは、(e1)一端および他端を有する第1のキャパシタ、(e2)一端および他端を有する第2のキャパシタ、(e3)アナログ信号のサンプリングのための第1の期間に第1のキャパシタの一端をステージ入力に接続するための第1のサンプリングスイッチ、(e4)第1の期間に第2のキャパシタの一端をステージ入力に接続するための第2のサンプリングスイッチ、(e5)第1のキャパシタの他端および第2のキャパシタの他端に接続された反転入力とステージ出力に接続された出力とを有する演算増幅回路、(e6)第1のキャパシタの一端および第2のキャパシタの一端にそれぞれ接続された第1および第2の出力を有しており、アナログ信号の処理のための第2の期間に制御信号に応じた所定の電圧を第2のキャパシタの一端に提供し、キャパシタミスマッチの補償用の信号を受けるための第3の期間に第2のキャパシタの一端に基準電位線に接続し、キャパシタミスマッチの補償用の信号を処理するための第4の期間、有限利得の補正用の信号を受けるための第5の期間及び有限利得の補正用の信号を処理するための第6の期間に第2のキャパシタの一端に参照電圧を提供すると共に、第5の期間及び第3の期間に第1のキャパシタの一端に参照電圧を提供するD/A変換器と、(e7)第1、第3及び第5の期間に演算増幅回路の出力に反転入力に接続するためのフィードバックスイッチと、(e8)第2、第4及び第6の期間に第1のキャパシタの一端を演算増幅回路の出力に接続するための第1のスイッチとを備える。

10

20

【0074】

このA/D変換ステージによれば、サブA/D変換回路により当該A/D変換ステージにおけるデジタル値を生成することができ、また第1及び第2の期間を利用してA/D変換ステージの動作が行われる。第3及び第4の期間を利用して、A/D変換ステージの2つのキャパシタのミスマッチに起因する誤差を示す信号を生成できる。第5及び第6の期間を利用して、A/D変換ステージの演算増幅回路の利得が有限であることに起因する誤差を示す信号を生成できる。

30

【0075】

本発明に係るA/D変換ステージは、(a)ステージ入力、(b)ステージ出力、(c)所定のビット数からなり変換結果を示すデジタル信号をステージ入力からのアナログ信号に 응답して生成するサブA/D変換回路、(d)デジタル信号に応じた制御信号を生成する制御回路、(e)ステージ入力からのアナログ信号を受ける第1の入力、制御信号を受ける第2の入力、およびステージ出力に接続された出力を有するゲインステージを含む。ゲインステージは、(e1)一端および他端を有する第1のキャパシタ、(e2)一端及び他端を有する第2のキャパシタ、(e3)アナログ信号のサンプリングのための第1の期間に第1のキャパシタの一端をステージ入力に接続するための第1のサンプリングスイッチ、(e4)第1の期間に第2のキャパシタの一端をステージ入力に接続するための第2のサンプリングスイッチ、(e5)第1のキャパシタの他端および第2のキャパシタの他端に接続された反転入力とステージ出力に接続された出力とを有する演算増幅回路、(e6)第1のキャパシタの一端および第2のキャパシタの一端にそれぞれ接続された第1及び第2の出力を有しており、アナログ信号の処理のための第2の期間に制御信号に応じた所定の電圧を第2のキャパシタの一端に提供し、キャパシタミスマッチの補償用の信号を受けるための第3の期間に第2のキャパシタの一端に基準電位線に接続し、第3の期間に第1のキャパシタの一端に参照電圧を提供すると共に、キャパシタミスマッチの補償用の信号を処理するための第4の期間に第2のキャパシタの一端に参照電圧を提供す

40

50

る D / A 変換器、( e 7 ) 第 1 および第 3 の期間に演算増幅回路の出力に反転入力を接続するためのフィードバックスイッチ、( e 8 ) 第 2 および第 4 の期間に第 1 のキャパシタの一端を演算増幅回路の出力に接続するための第 1 のスイッチを備える。

【 0 0 7 6 】

この A / D 変換ステージによれば、サブ A / D 変換回路により当該 A / D 変換ステージにおけるデジタル値を生成でき、また第 1 及び第 2 の期間を利用して A / D 変換ステージの動作が行われる。第 3 及び第 4 の期間を利用して、A / D 変換ステージのキャパシタ mismatch に起因する誤差を示す信号を生成できる。

【 0 0 7 7 】

また、本発明に係る A / D 変換ステージは、( a ) ステージ入力、( b ) ステージ出力、( c ) 所定のビット数からなり変換結果を示すデジタル信号をステージ入力からの信号に応答して生成するサブ A / D 変換回路、( d ) デジタル信号に応じた制御信号を生成する制御回路、( e ) ステージ入力からのアナログ信号を受ける第 1 の入力、制御信号を受ける第 2 の入力、およびステージ出力に接続された出力を有するゲインステージを含む。ゲインステージは、( e 1 ) 一端および他端を有する第 1 のキャパシタ、( e 2 ) 一端および他端を有する第 2 のキャパシタ、( e 3 ) アナログ信号のサンプリングのための第 1 の期間に第 1 のキャパシタの一端をステージ入力に接続するための第 1 のサンプリングスイッチ、( e 4 ) 第 2 のキャパシタの一端を第 1 の期間にステージ入力に接続するための第 2 のサンプリングスイッチ、( e 5 ) 第 1 のキャパシタの他端および第 2 のキャパシタの他端に接続された反転入力とステージ出力に接続された出力とを有する演算増幅回路、( e 6 ) 第 1 及び第 2 のキャパシタの一端にそれぞれ接続された第 1 および第 2 の出力を有しており、アナログ信号の処理のための第 2 の期間に制御信号に応じた所定の電圧を第 2 のキャパシタの一端に提供し、有限利得の補償のための信号を受けるための第 3 の期間および有限利得の補償のための信号を処理するための第 4 の期間に第 2 のキャパシタの一端に参照信号を提供すると共に、第 3 の期間に第 1 のキャパシタの一端に参照信号を提供する D / A 変換器、( e 7 ) 第 1 及び第 3 の期間に演算増幅回路の出力に反転入力を接続するためのフィードバックスイッチ、( e 8 ) 第 2 及び第 4 の期間に第 1 のキャパシタの一端を演算増幅回路の出力に接続するための第 1 のスイッチを備える。

【 0 0 7 8 】

この A / D 変換ステージによれば、サブ A / D 変換回路により当該 A / D 変換ステージにおけるデジタル値を生成でき、第 1 及び第 2 の期間を利用して A / D 変換ステージの動作が行われる。第 3 及び第 4 の期間を利用して演算増幅回路の利得が有限であることに起因する誤差を示す信号を生成できる。

【 0 0 7 9 】

本発明の別の側面に係るアナログデジタル変換器は、( a ) 各々がステージ入力およびステージ出力を有しており直列に接続された第 1 ~ 第 4 の A / D 変換ステージ、( b ) アナログ信号を受けるアナログ入力、( c ) 第 1 の A / D 変換ステージのステージ入力とアナログ入力との間に接続されており、第 1 および第 2 のサンプリング期間中にそれぞれ第 1 および第 2 の標本アナログ信号をサンプリングするための入力スイッチ、( d ) 第 1 の A / D 変換ステージのステージ入力と第 4 の A / D 変換ステージのステージ出力との間に接続されており、第 4 の A / D 変換ステージから第 1 の A / D 変換ステージへの経路を第 1 および第 2 のサンプリング期間と異なる巡回期間中に提供するための巡回スイッチ、( e ) 第 1 ~ 第 4 の A / D 変換ステージの各々からの変換結果に応じたアナログ / デジタル変換結果を示す A / D 変換デジタルコードを生成するデジタル誤差補正回路を備える。第 1 ~ 第 4 の A / D 変換ステージの各々は、上記のいずれか一項に記載された A / D 変換ステージである。

【 0 0 8 0 】

このアナログデジタル変換器によれば、2 つのアナログ信号を並列して A / D 変換できる。上記の A / D 変換ステージを用いるとき、A / D 変換ステージの 2 つのキャパシタの mismatch に起因する誤差を示す信号を生成すると共に、この信号の A / D 変換を 1 つ

10

20

30

40

50

のアナログ信号の A / D 変換と並列して実行できる。上記の A / D 変換ステージを用いるとき、A / D 変換ステージの演算増幅回路の有限利得に起因する誤差を示す信号を生成すると共に、この信号の A / D 変換を 1 つのアナログ信号の A / D 変換と並列して実行できる。

【 0 0 8 1 】

本発明に係るアナログデジタル変換器は、入力アナログ信号を受ける入力とアナログ入力にアナログ信号を提供する出力とを有する S / H 回路を更に備える。サンプル / ホールド回路は、反転入力及び非反転出力を有する演算増幅回路と、反転入力と非反転出力との間に接続された帰還スイッチとを含む。

【 0 0 8 2 】

このアナログデジタル変換器によれば、帰還スイッチを用いて S / H 回路のオフセットに係る信号を生成できる。

【 0 0 8 3 】

本発明に係るアナログデジタル変換器では、第 1 および第 2 の標本アナログ信号のいずれか一方は入力アナログ信号に対応し、S / H 回路の帰還スイッチは第 1 及び第 2 のサンプリング期間のいずれか一方の全期間中に開かれる。

【 0 0 8 4 】

このアナログデジタル変換器によれば、S / H 回路は、A / D 変換の対象となる入力アナログ信号を A / D 変換ステージに提供できる。

【 0 0 8 5 】

本発明に係るアナログデジタル変換器は、以下の構成を含むことができる。S / H 回路の帰還スイッチは、第 1 及び第 2 のサンプリング期間のいずれか他方の期間の一部において閉じられ、第 1 及び第 2 の標本アナログ信号のいずれか他方は、S / H 回路の帰還スイッチが開かれた後に提供される。このアナログデジタル変換器によれば、S / H 回路は、演算増幅回路のオフセット量に対応する補償信号を A / D 変換ステージに提供できる。

【 0 0 8 6 】

本発明に係るアナログデジタル変換器は、以下の構成を含むことができる。デジタル誤差補正回路は、S / H 回路のオフセット、S / H 回路の帰還スイッチによるノイズ、第 1 ~ 第 4 の A / D 変換ステージにおけるキャパシタスマッチ、および第 1 ~ 第 4 の A / D 変換ステージにおけるゲインステージの有限利得、の少なくとも一つに起因する誤差を表す補正デジタルコードを生成すると共に、第 1 ~ 第 4 の A / D 変換ステージからのデジタル信号から生成されアナログ信号に対応するデジタルコードを補正デジタルコードを用いて補正する。

【 0 0 8 7 】

このアナログデジタル変換器によれば、A / D 変換ステージおよび S / H 回路に起因する A / D 変換の誤差を示すデジタル値を生成して、このデジタル値を用いて A / D 変換値を補償できる。

【 0 0 8 8 】

本発明に係るアナログデジタル変換器は、以下の構成を含むことができる。サブ A / D 変換回路は、ステージ入力からの信号を所定の基準信号と比較すると共に比較結果信号を提供するコンパレータを含む。

【 0 0 8 9 】

アナログデジタル変換器によれば、1 ビットのデジタル値が得られる。また、コンパレータの数を増やせば、1 ビットを越えるビット数のデジタル信号が得られる。

【 0 0 9 0 】

本発明に係るアナログデジタル変換器は、以下の構成を含むことができる。サブ A / D 変換回路は、ステージ入力からの信号を所定の 2 つの基準信号と比較することによって 3 値の冗長デジタル信号を生成する。

【 0 0 9 1 】

このアナログデジタル変換器によれば、入力アナログ信号を所定の2つの基準信号と比較するので、3値のデジタル信号が得られる。

【0092】

本発明の更なる別の側面は、アナログ信号に対応したデジタル信号を生成するためのA/D変換ステージにおける変換誤差を示す信号を生成する方法である。A/D変換ステージは第1及び第2のキャパシタと該第1および第2のキャパシタの一端に接続された反転入力を有する演算増幅回路とを含み、変換誤差は第1および第2のキャパシタのミスマッチに関連する誤差を含む。当該方法は、(a)演算増幅回路の出力と反転入力とを接続すると共に第2のキャパシタの他端を基準電位線に接続すると共に第1のキャパシタの他端に参照電圧を加えることによって、演算増幅回路の出力に第1の変換値を生成すると共に第1および第2のキャパシタに電荷を配置するステップ、(b)演算増幅回路の出力と反転入力との間に第1のキャパシタを接続すると共に第2のキャパシタの他端に参照電圧を加えることによって、演算増幅回路の出力に第2の変換値を生成すると共に第1及び第2のキャパシタに電荷を再配置するステップを含む。

10

【0093】

この方法によれば、これらの2つのステップによって生成される変換値には、第1および第2のキャパシタのミスマッチに起因する誤差が含まれている。

【0094】

このA/D変換ステージにおける変換誤差を示す信号を生成する方法は、アナログ信号に対応したデジタル信号を生成する方法において使用される。本発明に係る発明は、ループ状に接続されたA/D変換ステージSTG1~STG4を用いて、アナログ信号に対応したデジタル信号を生成する方法である。A/D変換ステージの各々は第1および第2のキャパシタと該第1および第2のキャパシタの一端に接続された反転入力を有する演算増幅回路とを含むと共に、当該A/D変換ステージにおけるデジタル値を示す信号を生成する。当該方法は、(a)A/D変換ステージSTG1において、演算増幅回路の出力と反転入力とを接続し第2のキャパシタの他端を基準電位線に接続すると共に第1のキャパシタの他端に参照電圧を加えることによって、第1および第2のキャパシタに電荷を配置し、さらに、A/D変換ステージSTG2内のアナログ信号に所定の変換操作を行って該アナログ信号に対応する変換値を演算増幅回路の出力に生成すると共に、この変換値をA/D変換ステージSTG3に提供してA/D変換ステージSTG3において所定のサンプリング操作を行うステップと、(b)ステップaの後に、A/D変換ステージSTG1において、演算増幅回路の出力と反転入力との間に第1のキャパシタを接続すると共に、第2のキャパシタの他端に参照電圧を加えることによって、演算増幅回路の出力に変換値を生成すると共に、この変換値をA/D変換ステージSTG2に提供してA/D変換ステージSTG2において所定のサンプリング操作を行い、さらに、A/D変換ステージSTG3においてサンプリングされた信号に所定の変換操作を行って該サンプリングされた信号に対応する変換値を演算増幅回路の出力に生成すると共に、この変換値をA/D変換ステージSTG4に提供してA/D変換ステージSTG4において所定のサンプリング操作を行うステップと、(c)A/D変換ステージSTG2においてサンプリングされた信号に所定の変換操作を行って該サンプリングされた信号に対応する変換値を演算増幅回路の出力に生成すると共に、この変換値をA/D変換ステージSTG3に提供してA/D変換ステージSTG3において所定のサンプリング操作を行い、さらに、A/D変換ステージSTG4においてサンプリングされた信号に所定の変換操作を行って該サンプリングされた信号に対応する変換値を演算増幅回路の出力に生成すると共に、この変換値をA/D変換ステージSTG1に提供してA/D変換ステージSTG1において所定のサンプリング操作を行うステップと、(d)A/D変換ステージSTG3においてサンプリングされた信号に所定の変換操作を行って該サンプリングされた信号に対応する変換値を演算増幅回路の出力に生成すると共に、この変換値をA/D変換ステージSTG4に提供してA/D変換ステージSTG4において所定のサンプリング操作を行い、さらに、A/D変換ステージSTG1においてサンプリングされた信号に所定の変換操作を行って該サンプリング

20

30

40

50



された信号に対応する変換値を演算増幅回路の出力に生成すると共に、この変換値を A / D 変換ステージ S T G 2 に提供して A / D 変換ステージ S T G 2 において所定のサンプリング操作を行うステップとを備える。所定のサンプリング操作は、第 1 のキャパシタおよび第 2 のキャパシタに、入力アナログ信号に応じた電荷を蓄積するステップを含む。所定の演算増幅回路は、第 1 のキャパシタを演算増幅回路の出力と演算増幅回路の反転入力との間に接続すると共に当該 A / D 変換ステージにおける A / D 変換結果を示すデジタル信号に応じた変換アナログ信号を第 2 のキャパシタの他端に供給することによって、演算増幅回路の出力に変換値を生成すると共に第 1 および第 2 のキャパシタの電荷を再配置するステップを含む。

【 0 0 9 5 】

この方法によれば、第 1 および第 2 のキャパシタのミスマッチに関連する誤差を含む信号の A / D 変換を入力アナログ信号の A / D 変換と並列して実行できる。

【 0 0 9 6 】

本発明に係る方法では、A / D 変換ステージ S T G 1 ~ S T G 4 の内のいずれかの A / D 変換ステージの入力に S / H 回路が接続されており、ステップ ( a ) におけるアナログ信号は、S / H 回路からの標本アナログ信号に係している。

【 0 0 9 7 】

本発明のまた更なる別の側面は、アナログ信号に対応したデジタル信号を生成するための A / D 変換ステージにおける変換誤差を示す信号を生成する方法である。A / D 変換ステージは第 1 及び第 2 のキャパシタと該第 1 および第 2 のキャパシタの一端に接続された反転入力を有する演算増幅回路とを含み、該変換誤差は該演算増幅回路の利得に関連する誤差を含む。当該方法は、( a ) 第 2 のキャパシタの他端および第 1 のキャパシタの他端に参照電圧を加えると共に演算増幅回路の出力と反転入力とを接続することによって、演算増幅回路の出力に第 1 の変換値を生成すると共に第 1 および第 2 のキャパシタに電荷を配置するステップ、( b ) 演算増幅回路の出力と反転入力との間に第 1 のキャパシタを接続すると共に第 2 のキャパシタの他端に参照電圧を加えることによって、演算増幅回路の出力に第 2 の変換値を生成すると共に第 1 および第 2 のキャパシタに電荷を再配置するステップを含む。

【 0 0 9 8 】

この方法によれば、これらの 2 つのステップによって生成される変換値には、変換増幅器の有限利得に起因する誤差が含まれており、この誤差は、第 2 の変換値を示す電圧と参照電圧との差として提供される。

【 0 0 9 9 】

この A / D 変換ステージにおける変換誤差を示す信号を生成する方法は、アナログ信号に対応したデジタル信号を生成する方法において使用される。本発明に係る発明は、アナログ信号に対応したデジタル信号を生成する方法であって、ループ状に接続された 4 個の A / D 変換ステージ S T G 1、S T G 2、S T G 3、S T G 4 を用いて、アナログ信号に対応したデジタル信号を生成する。A / D 変換ステージの各々は第 1 及び第 2 のキャパシタと該第 1 及び第 2 のキャパシタの一端に接続された反転入力を有する演算増幅回路とを含むと共に、当該 A / D 変換ステージにおけるデジタル値を示す信号を生成する。当該方法は、( a ) A / D 変換ステージ S T G 1 において、第 1 及び第 2 のキャパシタの他端に参照電圧を加えると共に演算増幅回路の出力と反転入力とを接続することによって、第 1 および第 2 のキャパシタに電荷を配置し、さらに、A / D 変換ステージ S T G 2 内のアナログ信号に所定の演算増幅回路を行って該アナログ信号に対応する変換値を演算増幅回路の出力に生成すると共に、この変換値を A / D 変換ステージ S T G 3 に提供して A / D 変換ステージ S T G 3 において所定のサンプリング操作を行うステップと、( b ) ステップ a の後に、A / D 変換ステージ S T G 1 において、演算増幅回路の出力と反転入力との間に第 1 のキャパシタを接続すると共に第 2 のキャパシタの他端に参照電圧を加えることによって、演算増幅回路の出力に変換値を生成すると共に、この変換値を A / D 変換ステージ S T G 2 に提供して A / D 変換ステージ S T G 2 において所定のサンプリング操作を

10

20

30

40

50

行い、さらに、A/D変換ステージSTG3においてサンプリングされた信号に所定の  
 変換操作を行って該サンプリングされた信号に対応する変換値を演算増幅回路の出力に生成  
 すると共に、この変換値をA/D変換ステージSTG4に提供してA/D変換ステージS  
 TG4において所定のサンプリング操作を行うステップと、(c)A/D変換ステージS  
 TG2においてサンプリングされた信号に所定の変換操作を行って該サンプリングされた  
 信号に対応する変換値を演算増幅回路の出力に生成すると共に、この変換値をA/D変換  
 ステージSTG3に提供してA/D変換ステージSTG3において所定のサンプリング操  
 作を行い、さらに、A/D変換ステージSTG4においてサンプリングされた信号に所定  
 の変換操作を行って該サンプリングされた信号に対応する変換値を演算増幅回路の出力に  
 生成すると共に、この変換値をA/D変換ステージSTG1に提供してA/D変換ステー  
 ジSTG1において所定のサンプリング操作を行うステップと、(d)A/D変換ステー  
 ジSTG3においてサンプリングされた信号に所定の変換操作を行って該サンプリングさ  
 れた信号に対応する変換値を演算増幅回路の出力に生成すると共に、この変換値をA/D  
 変換ステージSTG4に提供してA/D変換ステージSTG4において所定のサンプリ  
 ング操作を行い、さらに、A/D変換ステージSTG1においてサンプリングされた信号に  
 所定の変換操作を行って該サンプリングされた信号に対応する変換値を演算増幅回路の出力  
 に生成すると共に、この変換値をA/D変換ステージSTG2に提供してA/D変換ス  
 テージSTG2において所定のサンプリング操作を行うステップとを備える。所定のサン  
 プリング操作は、第1および第2のキャパシタに、入力アナログ信号に応じた電荷を蓄積  
 するステップを含む。所定の変換操作は、第1のキャパシタを演算増幅回路の出力と演算  
 増幅回路の反転入力との間に接続すると共に当該A/D変換ステージにおけるA/D変換  
 結果を示すデジタル信号に応じた変換アナログ信号を第2のキャパシタの他端に供給す  
 ることによって、演算増幅回路の出力に変換値を生成すると共に、第1及び第2のキャパ  
 シタの電荷を再配置するステップを含む。

【0100】

この方法によれば、演算増幅回路の有限利得に関連する誤差を含む信号のA/D変換を  
 入力アナログ信号のA/D変換と並列して行うことができる。

【0101】

本発明に係る方法では、A/D変換ステージSTG1～STG4の内のいずれか一つの  
 A/D変換ステージの入力にサンプル/ホールド回路が接続されており、ステップ(a)  
 におけるアナログ信号は、サンプル/ホールド回路から入力された標本アナログ信号に関  
 係している。

【発明の効果】

【0102】

以上説明したように、本発明の一側面および別の側面によれば、一サンプリング値当た  
 りにA/D変換時間を短縮すること可能なアナログデジタル変換器が提供される。また  
 、本発明のさらに別の側面、また別の側面、また更なる別の側面および更なるまた別の側  
 面によれば、一サンプリング値当たりにA/D変換時間を短縮するために利用可能な、ア  
 ナログ信号に対応したデジタル信号を生成する方法が提供される。さらに、本発明によ  
 れば、このアナログデジタル変換器のためのA/D変換ステージが提供される。またさ  
 らに、このアナログデジタル変換器を用いてA/D変換ステージにおける変換誤差を示す  
 信号を生成する方法が提供される。

【図面の簡単な説明】

【0103】

本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進めら  
 れる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

【図1】図1は、本実施の形態に係るアナログデジタル変換器を示すブロック図である。

【図2】図2は、アナログデジタル変換器のA/D変換ステージを示す回路図である。

【図3】図3は、図2に示されたA/D変換ステージのためのタイミングチャートを示す

図面である。

【図 4】図 4 は、D / A 変換回路の変換特性を示す図面である。

【図 5】図 5 は、A / D 変換ステージの動作を説明するための図面である。

【図 6】図 6 は、アナログデジタル変換器を用いて A / D 変換デジタルコードを生成する手順を示す図面である。

【図 7】図 7 は、アナログデジタル変換器のための変換回路を示す回路図である。

【図 8】図 8 は S / H 回路の一例を示す回路図である。

【図 9】図 9 は、図 8 に示された S / H 回路のためのタイミングチャートを示す図面である。

【図 10】図 10 は、補正を行うことが可能なアナログデジタル変換器を示すブロック図である。 10

【図 11】図 11 は、A / D 変換ステージの一変形例を示す回路図である。

【図 12】図 12 は、図 11 に示された A / D 変換ステージのためのタイミングチャートを示す図面である。

【図 13】図 13 は、A / D 変換ステージの動作を説明するための図面である。

【図 14】図 14 は、アナログデジタル変換器を用いて A / D 変換デジタルコードを生成する手順を示す図面である。

【図 15】図 15 は、本実施の形態に係るアナログデジタル変換器を示すブロック図である。

【図 16】図 16 は、アナログデジタル変換器の A / D 変換ステージを示す回路図である。 20

【図 17】図 17 は、図 16 に示された A / D 変換ステージのためのタイミングチャートを示す図面である。

【図 18】図 18 は、A / D 変換ステージの動作を説明するための図面である。

【図 19】図 19 は、アナログデジタル変換器を用いて A / D 変換デジタルコードを生成する手順を示す図面である。

【図 20】図 20 は、補正を行うことが可能なアナログデジタル変換器を示すブロック図である。

【図 21】図 21 は、本実施の形態に係る A / D 変換器を示すブロック図である。

【図 22】図 22 は、A / D 変換器の A / D 変換ステージを示す回路図である。 30

【図 23】図 23 は、図 22 に示された A / D 変換ステージのためのタイミングチャートを示す図面である。

【図 24】図 24 は、アナログ信号に対応したデジタル信号を生成するステップを示す図面である。

【図 25】図 25 は、アナログ信号に対応したデジタル信号を生成するための A / D 変換ステージにおける変換誤差（キャパシタのミスマッチの影響）を示す信号を生成するステップを示す図面である。

【図 26】図 26 は、アナログ信号に対応したデジタル信号を生成するための A / D 変換ステージにおける変換誤差（演算増幅回路の有限利得の影響）を示す信号を生成する図面である。 40

【図 27】図 27 は、図 8 の S / H 回路のためのタイミングチャートである。

【図 28】図 28 は、誤差補正可能な A / D 変換器を示すブロック図である。

【図 29】図 29 は、A / D 変換ステージにおけるキャパシタのミスマッチを補正するための補正値を生成するためのステップを示す図面である。

【図 30】図 30 は、A / D 変換ステージにおけるキャパシタのミスマッチを補正するための補正値を生成するためのステップを示す図面である。

【図 31】図 31 は、A / D 変換ステージにおけるキャパシタのミスマッチを補正するための補正値を生成するためのステップを示す図面である。

【図 32】図 32 は、A / D 変換ステージにおける演算増幅回路の有限利得誤差を補正するための補正値を生成するためのステップを示す図面である。 50

【図 3 3】図 3 3 は、A / D 変換ステージにおける演算増幅回路の有限利得誤差を補正するための補正値を生成するためのステップを示す図面である。

【図 3 4】図 3 4 は、A / D 変換ステージにおける演算増幅回路の有限利得誤差を補正するための補正値を生成するためのステップを示す図面である。

【図 3 5】図 3 5 は、補正値を求めるフローチャートである。

【符号の説明】

【0104】

11、11a、11b ... アナログデジタル変換器、12 ... A / D 変換ステージ、13 ... 入力、15 ... ゲインステージ、16 ... ゲインステージ、17 ... 第 1 のサンプリングスイッチ、19 ... 第 2 のサンプリングスイッチ、21 ... 演算増幅回路、23 ... フィードバックスイッチ、25 ... 第 1 のキャパシタ、27 ... 第 2 のキャパシタ、29、31、32、34、35、37 ... スイッチ、33 ... 第 3 のキャパシタ、39 ... 接地線、41 ... サブ A / D 変換回路、42 ... D / A 変換回路、43 ... 論理回路、44 ... D / A 変換回路、45 ... D / A 変換回路、46 ... D / A 変換器、47 ... 第 1 の電圧源、49 ... 第 2 の電圧源、51a、51b、51c、51d、51e、51f ... スイッチ、52a、52b、52c、52d、52e ... スイッチ、53 ... 論理回路、59a ~ 59d ... 第 1 ~ 第 4 のスイッチ、101 ... 第 1 の A / D 変換ステージ、103 ... 第 2 の A / D 変換ステージ、105 ... 第 3 の A / D 変換ステージ、107 ... 第 4 の A / D 変換ステージ、109 ... アナログ入力、111 ... 入力スイッチ、113 ... 巡回スイッチ、115 ... デジタル演算回路、117 ... サンプル / ホールド (S / H) 回路、118 ... デジタル出力、119a ... ステージ入力、119b ... ステージ出力、131 ... 第 1 の A / D 変換ステージ、133 ... 第 2 の A / D 変換ステージ、135 ... 第 3 の A / D 変換ステージ、147 ... ステージ入力、149 ... ステージ出力、145 ... デジタル演算回路、 $T_{S1}$ 、 $T_{S2}$  ... 第 1 および第 2 のサンプリング期間、 $T_{FB}$  ... 巡回期間、 $D_1$ 、 $D_0$  ... デジタル信号、 $V_{DIGITAL}$  ... A / D 変換デジタルコード、 $V_{DIG}$  ... デジタル信号、 $V_{SWCONT0}$  ... 制御信号、 $DO$ 、 $DP$ 、 $DN$ 、 $DO1$ 、 $DP1$ 、 $DN1$ 、 $DO2$ 、 $DP2$ 、 $DN2$  ... 制御信号、 $V_i$  ... 入力アナログ信号、 $V_{A/D}$  ... 変換アナログ信号、 $V_{C1}$  ... 補正のための信号、 $V_{C2}$  ... 補正用の信号、 $T_1$  ... 第 1 の期間、 $T_2$  ... 第 2 の期間、 $T_3$  ... 第 3 の期間、 $T_4$  ... 第 4 の期間、 $T_5$  ... 第 5 の期間、 $T_6$  ... 第 6 の期間、A ... サンプリング操作、B ... 変換操作、M1 ... 第 1 のミスマッチ補正操作、M2 ... 第 2 のミスマッチ補正操作、G1 ... 第 1 の有限利得補正操作、G2 ... 第 2 の有限利得補正操作、 $A_{in}$  ... 入力アナログ信号、 $V_{OFFSET}$  ... 演算増幅回路のオフセットに関連する量、 $V_{CI}$  ... 帰還スイッチの開閉の際のノイズ、92 ... 演算増幅回路、93 ... 帰還スイッチ、109 ... アナログ入力、111 ... 入力スイッチ、113 ... 巡回スイッチ、116 ... デジタル誤差補正回路、117 ... サンプル / ホールド (S / H) 回路、118 ... デジタル出力、119a ... ステージ入力、119b ... ステージ出力、123、125、127、129 ... 第 1 ~ 第 4 の記憶回路、131 ... 第 1 の回路、133 ... 第 2 の回路、136 ... 補正値生成回路、151 ... 第 1 の A / D 変換ステージ、153 ... 第 2 の A / D 変換ステージ、155 ... 第 3 の A / D 変換ステージ、157 ... 第 4 の A / D 変換ステージ、 $D_S$ 、 $D_R$  ... デジタルコード、119、121 ... 記憶素子、b11 ~ b18 ... デジタル信号、a11 ~ a18、a21 ~ a28、a31 ~ a38、a41 ~ a48、51a ~ 518、61a ~ 618 ... デジタル値、 $S_{M1}$ 、 $S_{M2}$ 、 $S_{M3}$ 、 $S_{M4}$  ... キャパシタミスマッチ用の手順、m11 ~ m18、m21 ~ m28、m31 ~ m38、m41 ~ m48 ... 補正用デジタル値、 $S_{G1}$ 、 $S_{G2}$ 、 $S_{G3}$ 、 $S_{G4}$  ... 有限利得補正用の手順、g11 ~ g18、g21 ~ g28、g31 ~ g38、g41 ~ g48 ... デジタル値

【発明を実施するための最良の形態】

【0105】

本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続き、添付図面を参照しながら、本発明のアナログデジタル変換器、A / D 変換ステージ、アナログ信号に対応したデジタル信号を生

成する方法に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

#### 【0106】

(第1の実施の形態)

図1は、本実施の形態に係るアナログデジタル変換器を示すブロック図である。アナログデジタル変換器11は、第1のA/D変換ステージ101と、第2のA/D変換ステージ103と、第3のA/D変換ステージ105と、第4のA/D変換ステージ107と、アナログ入力109と、入力スイッチ111と、巡回スイッチ113と、デジタル演算回路115とを備える。第1～第4のA/D変換ステージ101、103、105、107の各々は直列に接続されており、またデジタル出力118、ステージ入力119aおよびステージ出力119bを有する。第1～第4のA/D変換ステージ101、103、105、107はクロック信号に同期して動作する。アナログ入力109はアナログ信号を受ける。

10

#### 【0107】

入力スイッチ111は、第1のA/D変換ステージ101のステージ入力119aとアナログ入力109との間に接続されており、また第1および第2のサンプリング期間 $T_{S1}$ 、 $T_{S2}$ 中にそれぞれ第1の標本アナログ信号Sおよび第2の標本アナログ信号Rをサンプリングする。巡回スイッチ113は、第1のA/D変換ステージ101のステージ入力119aと第4のA/D変換ステージ107のステージ出力119bとの間に接続されており、また第4のA/D変換ステージ107から第1のA/D変換ステージ101への経路を第1および第2のサンプリング期間 $T_{S1}$ 、 $T_{S2}$ と異なる巡回期間 $T_{FB}$ 中に提供する。デジタル演算回路115は、第1～第4のA/D変換ステージ101、103、105、107の各々からの変換結果の信号 $V_{STAGE1}$ 、 $V_{STAGE2}$ 、 $V_{STAGE3}$ 、 $V_{STAGE4}$ に応じたアナログ/デジタル変換結果を示すA/D変換デジタルコード $V_{DIGITAL}$ を生成する。また、デジタル演算回路115は、第1～第4のA/D変換ステージ101、103、105、107にそれぞれ接続された入力115a、115b、115c、115dと、A/D変換デジタルコード $V_{DIGITAL}$ を提供する出力115eを有する。第1および第2のサンプリング期間 $T_{S1}$ 、 $T_{S2}$ を含む期間では、入力スイッチ111がクロック $\phi_S$ に应答して閉じられると共に、巡回スイッチ113が開かれる。また、巡回期間 $T_{FB}$ では、入力スイッチ111がクロック $\phi_S$ に应答して開かれると共に、巡回スイッチ113が閉じられる。アナログデジタル変換器11は、受けたアナログ入力 $A_{in}$ を保持するサンプル/ホールド(S/H)回路117を更に備え、S/H回路117は、A/D変換器においてA/D変換されるアナログ信号を順次にサンプリングして、入力スイッチ111を介して第1のA/D変換ステージ101のステージ入力119aに提供する。S/H回路117は、入力アナログ信号 $A_{in}$ を受ける入力117aと、アナログ信号S、Rを提供する出力と117bを有する。クロック発生器40は図1～図3に記載されたクロック信号を提供する。

20

30

#### 【0108】

引き続き説明から理解されるように、このアナログデジタル変換器11によれば、直列に接続された第1～第4のA/D変換ステージ101、103、105、107を巡回スイッチ113を介してループ状に接続するので、2つのサンプリング値に対して並列にA/D変換を行うことができる。

40

#### 【0109】

図2は、アナログデジタル変換器のA/D変換ステージを示す回路図である。図3は、図2に示されたA/D変換ステージのためのタイミングチャートを示す図面である。第1～第4のA/D変換ステージのためのA/D変換ステージ12は、入力13と、ゲインステージ15と、第1のサンプリングスイッチ17と、第2のサンプリングスイッチ19とを備える。

#### 【0110】

ゲインステージ15は、第1の入力15a及び第2の入力15bを含む。第1の入力1

50

5 a は、入力アナログ信号  $V_i$  及び変換アナログ信号  $V_{A/D}$  のいずれか一方のアナログ信号を受けるために設けられている。第 2 の入力 15 b は、入力アナログ信号  $V_i$  及び変換アナログ信号  $V_{A/D}$  のいずれか一方のアナログ信号を受けるために設けられている。第 1 のサンプリングスイッチ 17 は、第 1 の入力 15 a と入力 13 との間に接続されており、また第 1 の期間  $T_1$  に入力アナログ信号  $V_i$  のサンプリングを行うために設けられている。第 2 のサンプリングスイッチ 19 は、第 2 の入力 15 b と入力 13 との間に接続されており、また第 1 の期間  $T_1$  に入力アナログ信号  $V_i$  のサンプリングを行うために設けられている。

【0111】

ゲインステージ 15 は、演算増幅回路 21 と、フィードバックスイッチ 23 と、第 1 のキャパシタ 25 と、第 2 のキャパシタ 27 と、第 1 のスイッチ 32 とを含む。演算増幅回路 21 は、反転入力 21 a と、非反転入力 21 b と、出力 21 c とを含む。

10

【0112】

フィードバックスイッチ 23 は、演算増幅回路 21 の反転入力 21 a と演算増幅回路 21 の出力 21 c との間に接続されており、第 1 の期間  $T_1$  に演算増幅回路 21 の出力 21 c を演算増幅回路 21 の反転入力 21 a に接続する。第 1 のキャパシタ 25 は、第 1 の入力 15 a に接続された一端 25 a と反転入力 21 a に接続された他端 25 b とを有する。第 2 のキャパシタ 27 は、第 2 の入力 15 b に接続された一端 27 a と反転入力 21 a に接続された他端 27 b とを有する。第 1 のスイッチ 32 は、第 1 のキャパシタ 25 の一端 25 a と演算増幅回路 21 の出力 21 c との間に接続されており、また第 1 の期間  $T_1$  と異なる第 2 の期間  $T_2$  に第 1 のキャパシタ 25 を演算増幅回路 21 の出力 21 c と反転入力 21 a との間に接続するために設けられている。ゲインステージ 15 の出力 15 c は、演算増幅回路 21 の出力 21 c に接続されている。演算増幅回路 21 の非反転入力 21 b は、基準電位線（例えば、接地線 39）に接続されている。

20

【0113】

図 2 に示されるように、A/D 変換ステージ 12 は、サブ A/D 変換回路 41 と、論理回路 43 と、D/A 変換回路 45 とを備えることができる。サブ A/D 変換回路 41 は、入力 13 に接続されており、また入力アナログ信号  $V_i$  に応じてデジタル信号  $V_{DIG}$  を生成する。デジタル信号  $V_{DIG}$  は、所定の数の値を取り、例えば 2 値（「0」、「1」）または 3 値（「-1」、「0」、「+1」）を有することが好ましい。論理回路 43 は、サブ A/D 変換回路 41 に接続されており、またデジタル信号  $V_{DIG}$  に応じて制御信号  $V_{SWCNT0}$  を生成する。D/A 変換回路 45 は、論理回路 43 に接続されており、変換アナログ信号  $V_{A/D}$  を提供するための出力 45 a を有する。変換アナログ信号  $V_{A/D}$  は、制御信号  $V_{SWCNT0}$  に応じて生成される。制御信号  $V_{SWCNT0}$  は、第 2 の期間  $T_2$  に変換アナログ信号  $V_{A/D}$  をゲインステージ 15 に提供するために用いられる。

30

【0114】

サブ A/D 変換回路 41 は、例えば 1 つのコンパレータを含むことができる。コンパレータは、入力アナログ信号を所定の基準信号と比較すると共に、比較結果を示す信号を提供する。この変換回路を用いて、1 ビットのデジタル値が得られる。コンパレータの数を増やせば、1 ビットを越えるビット数のデジタル信号が得られる。サブ A/D 変換回路 41 は、例えば 2 つのコンパレータを含むことができる。コンパレータは、それぞれ、入力アナログ信号を所定のそれぞれの基準信号  $V_{REF1}$ 、 $V_{REF2}$  と比較すると共に、図 1 に示されるように、比較結果信号  $D_0$ 、 $D_1$  を提供する。基準信号  $V_{REF1}$  は、図 3 に示されるように、例えば  $-V_{ref}/4$  であることができ、また基準信号  $V_{REF2}$  は、例えば  $+V_{ref}/4$  であることができる。

40

【0115】

入力アナログ信号 $V_i$ の範囲	デジタル信号
(1) $-V_{ref}/4 > V_i$ 、	-1 ( $D_1 = 0$ 、 $D_0 = 0$ )
(2) $V_{ref}/4 > V_i > -V_{ref}/4$ 、	0 ( $D_1 = 0$ 、 $D_0 = 1$ )

50

(3)  $V_i > +V_{ref}/4$ 、  $+1 (D_1 = 1, D_0 = 1)$   
 となる。サブA/D変換回路が入力アナログ信号を所定の2つの基準信号と比較することによって3値の冗長デジタル信号を生成することができる。この変換回路によれば、入力アナログ信号を所定の2つの基準信号と比較するので、3値のデジタル信号が得られる。サブA/D変換回路41は、図3に示されるように、例えば第1の期間 $T_1$ 中に活性化されることが好ましい。

【0116】

また、D/A変換器45は、制御信号  $D_0$ 、 $D_P$ 、 $D_N$  に応じた所定の電圧を第2の期間 $T_2$ に第2のキャパシタ27の一端27aに提供する。D/A変換回路45は、第1の電圧源47および第2の電圧源49を含む。第1の電圧源47は電圧 $V_{RP}$ を提供する。第2の電圧源49は電圧 $V_{RN}$ を提供する。第1の電圧源47の出力47aは、第1のスイッチ59aおよび出力45aを介して第2の入力15bに接続されており、また第2の電圧源49の出力49aは、第2のスイッチ59bおよび出力3aを介して第2の入力15bに接続されている。出力47aは、第3のスイッチ59cを介して接地線に接続されている。図3に示されるように、論理回路53は、第1～第3のスイッチ59a～59cをそれぞれ制御するための制御信号  $D_0$ 、 $D_P$ 、 $D_N$  を生成する。デジタル信号 $D_1$ 、 $D_0$ の値は、制御信号  $D_0$ 、 $D_P$ 、 $D_N$  のうちのいずれがアクティブになるかを決定する。

10

【0117】

D/A変換回路45は、論理回路43からの制御信号に応答して、例えば図4に示されるように、

20

- (1) 条件 ( $-V_{ref}/4 > V_i$ ) が満たされるとき、 $V_{A/D} = V_{ref}$ を提供する。
- (2) 条件 ( $V_{ref}/4 > V_i > -V_{ref}/4$ ) が満たされるとき、 $V_{A/D} = 0$ を提供する。
- (3) 条件 ( $V_i > +V_{ref}/4$ ) が満たされるとき、 $V_{A/D} = -V_{ref}$ を提供する。

【0118】

これらの3領域に対して3値のA/D変換を行って「-1」、「0」、「+1」のデジタルコードを割り当てる。最初のコードは最上位桁になる。図4に示された特性に従って下記の演算が行われる。

30

$$V_{OUT} = 2 \times V_{in} - D \times V_{ref}$$

すなわち、この演算は、上位桁から順にA/D変換し、ゲインステージの入力を2倍して、ゲインステージのA/D変換値によって、

- (1) 一定値 $V_{ref}$ の減算、
- (2) 一定値 $V_{ref}$ の加算、
- (3) ゼロを与える

のいずれかを行うことにより、ゲインステージの出力が必ず $-V_{ref} \sim +V_{ref}$ の範囲におさめる。

【0119】

40

このように3値でA/D変換を行うことによって、デジタル値には冗長性が生じる。この冗長性により、サブA/D回路内の比較器に対する精度要求が大きく緩和される一方で、高精度なA/D変換が可能となる。2進数の各桁は「0」と「1」の2値を取るが、ゲインステージ毎のデジタル信号は「-1」、「0」、「+1」の3値を取るので、一ゲインステージあたり1.5ビットのA/D変換を行っていると考えられる。

【0120】

図5は、A/D変換ステージの動作を説明するための図面である。A/D変換ステージの動作は、図5を参照しながら行われた説明から理解される。引き続いて説明される、アナログ信号に対応したデジタル信号を生成する方法は、直列に接続される4個のA/D変換ステージを用いて行われる。これらのA/D変換ステージの各々は第1および第2の

50

キャパシタ並びに演算増幅回路を含む。第1～第4のA/D変換ステージは、例えば第1～第4のA/D変換ステージ101、103、105、107を用いて構成されることができる。

#### 【0121】

A/D変換ステージの動作は、サンプリング操作Aと、変換操作Bとを含む。

・サンプリング操作A：

第1のキャパシタ25および第2のキャパシタ27に、入力アナログ信号 $V_i$ に応じた電荷 $Q_1 = C_1 \times V_i$ 、 $Q_2 = C_2 \times V_i$ を蓄積する。

・変換操作B：

第1のキャパシタ25を演算増幅回路21の出力21cと反転入力21aとの間に接続すると共に当該A/D変換ステージにおけるA/D変換結果を示すデジタル信号に応じた変換アナログ信号 $V_{A/D}$ をD/A変換器DACSWを用いて第2のキャパシタ27の他端27bに供給することによって、変換値 $V_{OUT}$ を演算増幅回路21の出力21cに生成すると共に第1および第2のキャパシタ25、27の電荷を再配置する。第1のキャパシタ25の電荷は、 $C_1 \times V_{OUT}$ である。第2のキャパシタ27から第1のキャパシタ25に電荷 $Q = C_2 \times V_i - D \times V_{ref} \times C_2$ が移動する。これによって、第1のキャパシタ25に蓄積された電荷は電荷保存則により $C_1 \times V_i + Q$ であり、一方、この電荷は $C_1 \times V_{OUT}$ に等しい。したがって、

$$C_1 \times V_{OUT} = C_1 \times V_i + Q = C_1 \times V_i + C_2 \times V_i - D \times V_{ref} \times C_2$$

$$V_{OUT} = (1 + C_2 / C_1) \times V_i - D \times V_{ref} \times C_2 / C_1$$

である。

#### 【0122】

図6は、アナログデジタル変換器11を用いてA/D変換デジタルコードを生成する手順を示す図面である。引き続き説明では、アナログ信号のサンプリングから順に説明する。図6には、ステップS1～S15が示されている。

・ステップS1：第1のA/D変換ステージStage1に第1の標本アナログ信号Sを受けて、第1の標本アナログ信号Sにサンプリング操作Aを施す。第1のA/D変換ステージStage1はデジタル信号1aを生成する。

・ステップS2：第1のA/D変換ステージStage1においてサンプリングされたアナログ信号に変換操作Bを施して第1の変換結果D1を生成し、この第1の変換結果D1に対応するアナログ信号A1に第2のA/D変換ステージStage2においてサンプリング操作Aを施す。第1のA/D変換ステージStage1はデジタル信号2aを生成する。

・ステップS3：第1のA/D変換ステージStage1に第2の標本アナログ信号Rを受けて、第2の標本アナログ信号Rにサンプリング操作Aを施すと共に、第2のA/D変換ステージStage2においてサンプリングされたアナログ信号A2に変換操作Bを施して第2の変換結果D2を生成し、この第2の変換結果D2に対応するアナログ信号に第3のA/D変換ステージStage2においてサンプリング操作Aを施す。第2のA/D変換ステージStage2はデジタル信号1bを生成する。第1のA/D変換ステージStage1はデジタル信号3aを生成する。

#### 【0123】

これらのステップにより、アナログ信号が2つの標本アナログ信号としてA/D変換ステージに取り込まれた。第1の標本アナログ信号Sおよび第2の標本アナログ信号Rを順に第1のA/D変換ステージStage1に提供することによって、引き続き説明されるように、第1～第4のA/D変換ステージのいずれもがサンプリング操作Aおよび変換操作Bのいずれかを行う手順につなげることができる。

・ステップS4：第1のA/D変換ステージStage1においてサンプリングされたアナログ信号Rに変換操作Bを施して第3の変換結果D3を生成し第3の変換結果D3に対応するアナログ信号A3に第2のA/D変換ステージStage2においてサンプリング操作Aを施すと共に、第3のA/D変換ステージStage3においてサンプリングされ

10

20

30

40

50



たアナログ信号に変換操作 B を施して第 4 の変換結果 D 4 を生成し第 4 の変換結果 D 4 に対応したアナログ信号 A 4 に第 4 の A / D 変換ステージ S t a g e 4 においてサンプリング操作 A を施す。第 2 の A / D 変換ステージ S t a g e 2 はデジタル信号 2 b を生成する。第 1 の A / D 変換ステージ S t a g e 1 はデジタル信号 4 a を生成する。

・ステップ S 5 : 第 4 の A / D 変換ステージ S t a g e 4 においてサンプリングされたアナログ信号に変換操作 B を施して第 5 の変換結果 D 5 を生成し第 5 の変換結果 D 5 に対応するアナログ信号 A 5 に第 1 の A / D 変換ステージ S t a g e 1 においてサンプリング操作 A を施すと共に、第 2 の A / D 変換ステージ S t a g e 2 においてサンプリングされたアナログ信号に変換操作 B を施して第 6 の変換結果を生成し第 6 の変換結果に対応するアナログ信号 A 6 に第 3 の A / D 変換ステージ S t a g e 3 においてサンプリング操作 A を施す。第 1 の A / D 変換ステージ S t a g e 1 はデジタル信号 5 a を生成する。第 2 の A / D 変換ステージ S t a g e 2 はデジタル信号 3 b を生成する。

【 0 1 2 4 】

これらのステップによれば、第 1 ~ 第 4 の A / D 変換ステージにいずれもサンプリング操作 A および変換操作 B のいずれかを行っているので、第 1 ~ 第 4 の A / D 変換ステージの動作に無駄がない。また、2 つの信号が並列して A / D 変換されている。

【 0 1 2 5 】

図 6 に示されるように、ステップ S 4 および S 5 と同様に、ステップ S 6 および S 7、ステップ S 8 および S 9、ステップ S 10 および S 11 が繰り返される。図 6 に示されるように、ステップ S 1 ~ S 13 の各々からデジタル信号 1 a ~ 13 a が提供される。ステップ S 3 ~ S 15 の各々からデジタル信号 1 b ~ 13 b が提供される。デジタル信号 1 a ~ 13 a、1 b ~ 13 b は、第 1 ~ 第 4 の A / D 変換ステージ内の A / D 変換回路により生成される。これらのデジタル信号は、デジタル演算回路 115 内の記憶素子 119、121 に格納される。

【 0 1 2 6 】

図 5 において示された手順は、全差動回路における一方の入力アナログ信号のためのステップを記述しており、これ故に、2 つのステップは、シングルエンド回路だけでなく、全差動回路にも適用されることが理解される。つまり、図 2 において示されたゲインステージ 15 は、シングルエンド回路の構造を有するけれども、本実施の形態に、全差動構造を有するゲインステージを用いることができる。

【 0 1 2 7 】

図 7 は、アナログデジタル変換器のための変換回路を示す回路図である。図 7 に示されるように、この変換回路は全差動構成である。A / D 変換ステージ 61 は、入力 13 と、第 1 のサンプリングスイッチ 17 と、第 2 のサンプリングスイッチ 19 を含み、またゲインステージ 15 に替えてゲインステージ 65 とを備える。ゲインステージ 65 は、第 1 の入力 65 a、第 2 の入力 65 b、出力 65 c、第 1 の相補入力 65 d、第 2 の相補入力 65 e、および相補出力 65 f を含む。第 1 の入力 65 a は、入力アナログ信号  $V_{i p}$  及び変換アナログ信号  $V_{A / D}$  のいずれか一方のアナログ信号を受けるために設けられている。第 2 の入力 65 b は、入力アナログ信号  $V_{i p}$  及び変換アナログ信号  $V_{A / D}$  のいずれか一方のアナログ信号を受けるために設けられている。第 1 の相補入力 65 d は、入力アナログ相補信号  $V_{i n}$  及び変換アナログ相補信号  $V_{A / D}$  のいずれか一方のアナログ相補信号を受けるために設けられている。第 2 の相補入力 65 e は、入力アナログ相補信号  $V_{i n}$  及び変換アナログ相補信号  $V_{A / D}$  のいずれか一方のアナログ相補信号を受けるために設けられている。

【 0 1 2 8 】

第 1 のサンプリングスイッチ 17 は、第 1 の入力 65 a と入力 13 との間に接続されており、また第 1 の期間  $T_1$  に入力アナログ信号  $V_{i p}$  のサンプリングを行うために設けられている。第 2 のサンプリングスイッチ 19 は、第 2 の入力 65 b と入力 13 との間に接続されており、また第 1 の期間  $T_1$  に入力アナログ信号  $V_{i p}$  のサンプリングを行うために設けられている。

10

20

30

40

50

## 【0129】

この変換回路61は、さらに、相補入力63と、第3のサンプリングスイッチ67と、第4のサンプリングスイッチ69とを備えることができる。第3のサンプリングスイッチ67は、ゲインステージ65の第1の相補入力65dと相補入力63との間に接続されており、また第1の期間 $T_1$ に入力アナログ相補信号 $V_{in}$ のサンプリングを行うために設けられている。第4のサンプリングスイッチ69は、第2の相補入力65eと相補入力63との間に接続されており、また第1の期間 $T_1$ に入力アナログ相補信号 $V_{in}$ のサンプリングを行うために設けられている。

## 【0130】

ゲインステージ65は、演算増幅回路21と、フィードバックスイッチ23と、第1のキャパシタ25と、第2のキャパシタ27と、第1のスイッチ32とに加えて、フィードバックスイッチ73と、第3のキャパシタ75と、第4のキャパシタ77と、第2のスイッチ82とを含む。第3のキャパシタ75は、第1の相補入力65dに接続された一端75aと非反転入力21bに接続された他端75bとを有する。第4のキャパシタ77は、第2の相補入力65eに接続された一端77aと非反転入力21bに接続された他端77bとを有する。フィードバックスイッチ73は、演算増幅回路21の相補出力21dと非反転入力21bとの間に接続されている。

## 【0131】

サブA/D変換回路90は、例えば全差動構成の2つのコンパレータ90a、90bを含む。コンパレータ90aは変換結果 $D_0$ を生成する。コンパレータ90bは変換結果 $D_1$ を生成する。これらの変換結果は、デジタル信号として論理回路43に提供されると共に、変換回路61のデジタル出力に提供される。論理回路43は、デジタル信号( $D_0$ 、 $D_1$ )に応じた制御信号 $D_0$ 、 $D_P$ 、 $D_N$ を生成する。

## 【0132】

D/A変換回路89は、論理回路43からの制御信号に応答して、

(1) 条件( $-V_{ref}/4 > V_i$ )を満たすとき、

$V_{A/D}(N) = V_{A/D}(P) = V_{ref}$ を提供する。

(2) 条件( $V_{ref}/4 > V_i > -V_{ref}/4$ )を満たすとき、

第1の入力65aと第1の相補入力65dとを接続すると共に、第2の入力65bと第2の相補入力65eとを接続する。

(3) 条件( $V_i > +V_{ref}/4$ )が満たされるとき、

$V_{A/D}(N) = V_{A/D}(P) = -V_{ref}$ を提供する。ここで、 $V_i = V_{ip} - V_{in}$ である。以上説明したように、この変換回路61によれば、全差動構成のゲインステージ65が提供される。

## 【0133】

再び図1を参照すると、アナログデジタル変換器11は、S/H回路117を含んでいる。図8はS/H回路の一例を示す回路図である。図9は、図8に示されたS/H回路のためのタイミングチャートを示す図面である。S/H回路117は、入力アナログ信号 $A_{in}$ を受ける入力91aと、アナログ入力109にアナログ信号 $V_i$ を提供する出力91bとを有する。S/H回路117は、演算増幅回路92と帰還スイッチ93とを含むことができる。演算増幅回路92は反転入力92aおよび非反転出力92bを有する。後ほど説明されるように、帰還スイッチ93aは、反転入力92aと非反転出力92bとの間に接続されている。帰還スイッチ93aを用いて、演算増幅回路92のオフセット量に対応する信号を生成できる。S/H回路117では、キャパシタ $C_{s1}$ は、第1のスイッチ94aを介してサンプル入力91aと反転入力92aとの間に接続されている。キャパシタ $C_{s2}$ は、非反転出力92bと反転入力92aとの間に接続されている。第1のスイッチ94aは、サンプリングのための期間に閉じられると共に、A/D変換のための期間に開かれる。

## 【0134】

S/H回路117の帰還スイッチ93aは、第1および第2のサンプリング期間のいずれ

れか一方の全期間中に開かれる。この期間に、入力アナログ信号  $A_{in}$  が第1および第2の標本アナログ信号のいずれか一方として生成される。この信号は、A/D変換の対象となるアナログ信号としてA/D変換ステージに提供できる。

【0135】

全差動構成のS/H回路117では、帰還スイッチ93bとを含むことができる。演算増幅回路92は非反転入力92cおよび反転出力92dを有する。帰還スイッチ93bは、非反転入力92cと反転出力92dとの間に接続されている。帰還スイッチ93a、93bを用いて、演算増幅回路92のオフセット量に対応する信号を生成できる。S/H回路117では、キャパシタ $C_{S3}$ は、第1のスイッチ94bを介してサンプル入力91cと非反転入力92cとの間に接続されている。キャパシタ $C_{S4}$ は、非反転出力92cと反転入力92dとの間に接続されている。第2のスイッチ94bは、サンプリング期間に閉じられると共に、A/D変換のための期間に開かれる。キャパシタ $C_{S1}$ の一端とキャパシタ $C_{S3}$ の一端との間には、スイッチ94cが接続されている。入力91aおよびサンプル入力91cには、それぞれ、キャパシタ $C_{i1}$ および $C_{i2}$ が接続されている。

10

【0136】

また、S/H回路117の帰還スイッチ93aは、第1および第2のサンプリング期間のいずれか他方の期間の一部において閉じられ、第1および第2の標本アナログ信号のいずれか他方は、サンプル/ホールド回路117の帰還スイッチ93a、93bが開かれた後に保持される。このように帰還スイッチ93a、93bを操作すると、演算増幅回路92のオフセット量を含む信号をA/D変換ステージに提供できる。

20

【0137】

例えば、図9に示されるように、最初のサンプリング期間 $T_{S1}$ に、入力91aに受けた信号 $A_{in}$ が保持される。シングルエンド型のS/H回路では、演算増幅回路92の非反転入力92aが接地されている。S/H回路は、このとき、出力値 $V_{SHO1}$ を提供する。

$$V_{SHO1} = V_{OP} - V_{ON} = (A_{IN} - A_{ref}) \times C_{S1} / C_{S2} + V_{OFFSET} + V_{CI}$$

と表される。

【0138】

次のサンプリング期間 $T_{S2}$ の前半ではクロック信号 $s_2$ にตอบสนองしてスイッチ93a、93bを閉じると共に、サンプリング期間 $T_{S2}$ の後にS/H回路は、このとき、出力 $V_{SHO2}$ を提供する。出力値 $V_{SHO2}$ には、S/H回路に入力されたアナログ信号を含まない。これ故に、出力値 $V_{SHO2}$ には、演算増幅回路92のオフセットに関連する量 $V_{OFFSET}$ と、スイッチ93aの開閉の際のノイズ $V_{CI}$ （例えば、スイッチ93aがMOSアナログスイッチの場合には、MOSアナログスイッチが開くとき、チャネル電荷によりノイズが発生する）と、その他のノイズとが含まれる。

30

$$= V_{OP} - V_{ON} = V_{OFFSET} + V_{CI}$$

と表される。

【0139】

これらの2つの信号、出力値 $V_{SHO1}$ および出力値 $V_{SHO2}$ は、図6に示される信号「S」および「R」として利用される。信号「S」および「R」がA/D変換されると、それぞれの変換値 $D_S$ 、 $D_R$ は、次のように表される。

40

$$D_S = D \left( (A_{IN} - A_{ref}) \times C_{S1} / C_{S2} + V_{OFFSET} + V_{CI} \right) + D(V_{OS, ADC})$$

$$= D \left( (A_{IN} - A_{ref}) \times C_{S1} / C_{S2} \right) + D(V_{OFFSET}) + D(V_{CI}) + D(V_{OS, ADC})$$

$$D_R = D(V_{OFFSET} + V_{CI}) = D(V_{OFFSET}) + D(V_{CI}) + D(V_{OS, ADC})$$

ここで、Dは、A/D変換を示すオペレータである。これらの信号「S」および「R」にA/D変換を施す。また、 $V_{OS, ADC}$ は、A/D変換ステージのゲインステージにお

50

いて発生するオフセットの項を示す。それぞれの変換値  $D_S$ 、 $D_R$  には、 $A/D$  変換ステージの入力信号  $V_{SHO1}$ 、 $V_{SHO2}$  に含まれていない項  $D(V_{OS, ADC})$  が含まれている。したがって、本実施の形態では、 $A/D$  変換ステージのゲインステージにおいて発生するオフセットも補正される。

#### 【0140】

図10は、補正を行うことが可能なアナログデジタル変換器を示すブロック図である。デジタル演算回路115は、第1～第4の記憶回路123、125、127、129と、第1の回路131と、第2の回路133と、補正回路135とを含む。第1～第4の記憶回路123、125、127、129の各々は、第1および第2のサンプル信号  $S$ 、 $R$  にそれぞれ対応しており第1～第4の  $A/D$  変換ステージ101、103、105、017からのデジタル信号からなる第1のデータ群 ( $DA1 \sim DA13$ ) および第2のデータ群 ( $DB1 \sim DB13$ ) を格納する。第1の回路131は、第1～第4の記憶回路123、125、127、129に接続されており、第1のデータ群 ( $DA1 \sim DA13$ ) のデジタル信号を用いて第1の標本アナログ信号  $S$  に対応する第1のデジタルコード  $D_S$  (例えば14ビット) を生成する。第2の回路133は、第1～第4の記憶回路123、125、127、129に接続されており、第2のデータ群 ( $DB1 \sim DB13$ ) のデジタル信号を用いて第2の標本アナログ信号  $R$  に対応する第2のデジタルコード  $D_R$  (例えば14ビット) を生成する。補正回路135は、第1および第2のデジタルコードの一方  $D_S$ 、 $D_R$  を用いて第1および第2のデジタルコード  $D_S$ 、 $D_R$  の他方を補正して  $A/D$  変換デジタルコード (例えば14ビット) を生成する。  $A/D$  変換デジタルコードは、 $S/H$  回路117のオフセットがキャンセルされ、また、チャージインジェクションの影響が除かれて、この結果、向上された精度の  $A/D$  変換値が得られる。

10

20

#### 【0141】

(第2の実施の形態)

図11は、 $A/D$  変換ステージの別の例を示す回路図である。第1～第4の  $A/D$  変換ステージのための  $A/D$  変換ステージ12aは、入力13と、ゲインステージ16と、第1のサンプリングスイッチ17と、第2のサンプリングスイッチ19とを備える。クロック発生器40aは図11～図12に記載されたクロック信号を提供する。  $A/D$  変換ステージ12aは、図1に示されたアナログデジタル変換器のために用いることができ、引き続き説明から理解されるように、ゲインステージ内のキャパシタのミスマッチを補償できると共に、 $S/H$  回路のオフセットおよびチャージインジェクションの影響を補償できる。

30

#### 【0142】

ゲインステージ16は、第1の入力16aおよび第2の入力16bを含む。第1の入力16aは、入力アナログ信号  $V_i$  及び変換アナログ信号  $V_{A/D}$  のいずれか一方のアナログ信号を受けのために設けられている。第2の入力16bは、入力アナログ信号  $V_i$  及び変換アナログ信号  $V_{A/D}$  のいずれか一方のアナログ信号を受けのために設けられている。ゲインステージ16は、演算増幅回路21と、フィードバックスイッチ23と、第1のキャパシタ25と、第2のキャパシタ27と、第1のスイッチ29と、第2のスイッチ31と、第3のスイッチ34とを備える。

40

#### 【0143】

第2のスイッチ31は、第1のキャパシタ25の一端25aと演算増幅回路21の出力21cとの間に接続されており、また第1の期間  $T_1$  と異なる第2の期間  $T_2$  に第1のキャパシタ25を演算増幅回路21の出力21cと反転入力21aとの間に接続するために設けられている。ゲインステージ16の出力16cは、演算増幅回路21の出力21cに接続されている。第3のスイッチ34は、第1のキャパシタ25の他端25bと演算増幅回路21の反転入力21aとの間に接続されており、第1の期間  $T_1$  と第2の期間  $T_2$  との間の第3の期間  $T_3$  に第1のキャパシタ25の他端25bを反転入力21aから切り離すための設けられている。フィードバックスイッチ23は、第1の期間  $T_1$  および第2の期間  $T_2$  に演算増幅回路21の出力21cを演算増幅回路21の反転入力21aに接続す

50

る。第1のスイッチ29は、第2のキャパシタ27の一端27aと演算増幅回路21の出力21cとの間に接続されており、また第1の期間 $T_1$ 、第2の期間 $T_2$ 、第3の期間 $T_3$ と異なる第4の期間 $T_4$ に第2のキャパシタ27を演算増幅回路21の反転入力21aと出力21cとの間に接続するために設けられている。

【0144】

また、D/A変換器46は、制御信号 $D_0$ 、 $D_P$ 、 $D_N$ に応じた所定の電圧を第2の期間 $T_2$ に第2のキャパシタ27の一端27aに提供すると共に、制御信号 $D_0$ 、 $D_P$ 、 $D_N$ に応じた所定の電圧を第4の期間 $T_4$ に第1のキャパシタ25の一端25aに提供する。D/A変換器46は、ゲインステージ16の入力16a、16bにそれぞれ接続された出力46a、46bを有する。第1の電圧源47は電圧 $V_{RP}$ を提供する。第2の電圧源49は電圧 $V_{RN}$ を提供する。第1の電圧源47の出力47aは、スイッチ52aを介してノード $N_1$ に接続されており、第2の電圧源49の出力49aは、スイッチ52bを介してノード $N_1$ に接続されている。また、ノード $N_1$ は、スイッチ52cを介して基準電位線（例えば、接地線39）に接続されている。ノード $N_1$ は、出力46aにスイッチ52dを介して接続されており、また出力46bにスイッチ52eを介して接続されている。

10

【0145】

論理回路43は、第1～第3のスイッチ52a～52cをそれぞれ制御するための制御信号 $D_0$ 、 $D_P$ 、 $D_N$ を生成する。デジタル信号 $D_1$ 、 $D_0$ の値は、制御信号 $D_0$ 、 $D_P$ 、 $D_N$ のうちのいずれがアクティブになるかを決定する。これらの3領域に対して3値のA/D変換を行って「-1」、「0」、「+1」のデジタルコードを割り当てる。最初のコードは最上位桁(MSB)になる。

20

【0146】

好適な実施例では、第1のキャパシタ25の容量値 $C_1$ は第2のキャパシタ27の容量値 $C_2$ と等しい。しかしながら、様々な要因による誤差のために、第1のキャパシタ25の容量値 $C_1$ は、第2のキャパシタ27の容量値 $C_2$ と一致しない。つまり、第1のキャパシタ25の容量値 $C_1$ と第2のキャパシタ27の容量値 $C_2$ の間にはミスマッチが存在する。より高精度のアナログデジタル変換を行うために、このミスマッチを補償することが求められる。

【0147】

引き続き、図12および図13を参照しながら、A/D変換ステージの動作およびミスマッチの補償を説明する。ミスマッチの補償は、ゲインステージ11を用いて、アナログ信号に対応したデジタル信号を生成する過程において実現される。

30

【0148】

図13は、A/D変換ステージの動作を説明するための図面である。A/D変換ステージの動作は4つのステップを含む。

【0149】

第1のサンプリング操作A1（期間 $T_1$ ）：

第1のサンプリング操作は、クロック $1_d$ 、 $1_1$ 、 $2_A$ 、 $2_B$ にตอบสนองして、第1および第2のキャパシタ25、27の一端を入力13に接続すると共に、第1および第2のキャパシタ25、27の他端を演算増幅回路21の反転入力21aに接続する。第1のキャパシタ25および第2のキャパシタ27に、第1の入力アナログ信号 $V_{S1}$ に応じた電荷を蓄積する。

40

また、サブA/D変換回路41は、入力アナログ信号に対応したデジタル信号 $V_{DI}$ を生成する。デジタル信号 $V_{DIG}$ は、所定のビット数からなるデジタル値（例えば $D_1$ 、 $D_0$ ）を有する。

第1のキャパシタ25および第2のキャパシタ27の各々に、入力アナログ信号 $V_{S1}$ に応じた電荷を蓄積する。第1のキャパシタ25には電荷 $Q_1 = C_1 \times V_{S1}$ が蓄積されると共に、第2のキャパシタ27には電荷 $Q_2 = C_2 \times V_{S1}$ が蓄積される。演算増幅回路21の出力21cは反転入力21aと接続されており、出力21cおよび反転入力21

50

a は共に、非反転入力 2 1 b の電位と同じ値である。

【0150】

第2のサンプリング操作 A 2 ( 期間 T<sub>3</sub> ) :

第2のサンプリング操作は、クロック 1 1 に応答して、第1のキャパシタ 2 5 および第2のキャパシタ 2 7 のいずれか一方 ( 本実施例では第1のキャパシタ 2 5 ) を演算増幅回路 2 1 の反転入力 2 1 a から切り離す。これによって第1のキャパシタ 2 5 の電荷を保持すると共に、第1のキャパシタ 2 5 および第2のキャパシタ 2 7 のいずれか他方に第2のアナログ信号 V<sub>S2</sub> に応じた電荷を蓄積する。

第2のキャパシタ 2 7 に、入力アナログ信号 V<sub>S2</sub> に応じた電荷を蓄積する。第1のキャパシタ 2 5 には電荷 Q<sub>1</sub> = C<sub>1</sub> × V<sub>S1</sub> が保持されていると共に、第2のキャパシタ 2 7 には電荷 Q<sub>2</sub> = C<sub>2</sub> × V<sub>S2</sub> が蓄積される。演算増幅回路 2 1 の出力 2 1 c は反転入力 2 1 a と接続されており、出力 2 1 c および反転入力 2 1 a は共に、非反転入力 2 1 b の電位と同じ値である。

10

【0151】

第1の変換操作 B ( 期間 T<sub>2</sub> ) :

第1の変換操作は、クロック 1 d、 1 1、 2 A、 2 B に応答して、第1のキャパシタ 2 5 を演算増幅回路 2 1 の出力 2 1 c と反転入力 2 1 a との間に接続すると共に、当該 A / D 変換ステージにおける A / D 変換結果を示すデジタル信号に応じた変換アナログ信号 V<sub>A/D</sub> を第2のキャパシタ 2 7 の他端 2 7 b に供給する。これによって、第1の変換値 V<sub>OUT1</sub> ( 次段の A / D 変換ステージのための第1の入力アナログ信号に対応した ) を演算増幅回路 2 1 の出力 2 1 c に生成すると共に、第1および第2のキャパシタ 2 5、2 7 の電荷を再配置する。

20

【0152】

変換アナログ信号 V<sub>A/D</sub> の印加により、第2のキャパシタ 2 7 から第1のキャパシタ 2 5 へ電荷 Q<sub>1</sub> = C<sub>2</sub> × V<sub>S2</sub> - C<sub>2</sub> × D × V<sub>ref</sub> が移動する ( D の値は変換アナログ信号 V<sub>A/D</sub> の値に応じて「+1」、「0」、「-1」を取る )。第1のキャパシタ 2 5 には、サンプリング電荷 C<sub>1</sub> × V<sub>S1</sub> と移動電荷 Q<sub>1</sub> とが蓄積される。演算増幅回路 2 1 の非反転入力 2 1 b は接地線に接続されているので、第1のキャパシタ 2 5 には電荷 V<sub>OUT1</sub> × C<sub>1</sub> が蓄積される。この電荷 V<sub>OUT1</sub> × C<sub>1</sub> は、電荷の保存則より C<sub>1</sub> × V<sub>S1</sub> + C<sub>2</sub> × V<sub>S2</sub> - C<sub>2</sub> × D × V<sub>ref</sub> に等しい。故に、

30

$$C_1 \times V_{OUT1} = (C_1 \times V_{S1} + C_2 \times V_{S2} - C_2 \times D \times V_{ref})$$

$$V_{OUT1} = (C_1 \times V_{S1} + C_2 \times V_{S2} - C_2 \times D \times V_{ref}) / C_1$$

$$= (1 + C_2 / C_1) \times V_i - D \times V_{ref} \times C_2 / C_1 + (1 - C_2 / C_1) \times V$$

となる。

$$V_{S1} = V_i + V, V_{S2} = V_i - V \text{ とすると、 } V_i = (V_{S1} + V_{S2}) / 2$$

が成り立つ。 C = C<sub>2</sub> - C<sub>1</sub> とすると、

$$V_{OUT1} = (2 + C / C_1) \times V_i - (1 + C / C_1) \times D \times V_{ref} + C / C_1 \times V$$

となるが、キャパシタミスマッチにより生じる C / C<sub>1</sub>、 V は小さいので、第3の項を無視することができる。この結果、

40

式 ( 1 ) :

$$V_{OUT1} = (2 + C / C_1) \times V_i - (1 + C / C_1) \times D \times V_{ref}$$

となる。

【0153】

第2の変換操作 C ( 期間 T<sub>4</sub> ) :

第2の変換操作は、クロック 1 d、 1 1、 2 A、 2 B に応答して、第2のキャパシタ 2 7 を演算増幅回路 2 1 の出力 2 1 c と反転入力 2 1 a との間に接続すると共に、当該 A / D 変換ステージにおける A / D 変換結果を示すデジタル信号に応じた変換アナログ信号 V<sub>A/D</sub> を第1のキャパシタ 2 5 の他端 2 5 b に供給する。これによって、第2の変換値 V<sub>OUT2</sub> ( 次段の A / D 変換ステージのための第2の入力アナログ信号に対応し

50

た)を演算増幅回路21の出力21cに生成すると共に、第1および第2のキャパシタ25、27の電荷を再配置する。

【0154】

変換アナログ信号 $V_{A/D}$ の印加により、第1のキャパシタ25から第2のキャパシタ27へ電荷 $Q_2 = C_1 \times V_{OUT1} - C_1 \times D \times V_{ref}$ が移動する(Dの値は変換アナログ信号 $V_{A/D}$ の値に応じて「+1」、「0」、「-1」を取る)。第2のキャパシタ27には、再配置された電荷 $C_2 \times V_{OUT1}$ と移動電荷 $Q_2$ とが蓄積される。演算増幅回路21の非反転入力21bは接地線に接続されているので、第1のキャパシタ25には電荷 $V_{ref} \times D \times C_1$ が蓄積されると共に、第2のキャパシタ27には電荷 $V_{OUT2} \times C_2$ が蓄積される。この電荷 $V_{OUT2} \times C_2$ は、電荷の保存則より $C_2 \times D \times V_{ref} + C_1 \times V_{OUT1} - C_1 \times D \times V_{ref}$ に等しい。故に、

$$V_{OUT2} \times C_2 = C_2 \times D \times V_{ref} + C_1 \times V_{OUT1} - C_1 \times D \times V_{ref}$$

$$= C_1 \times V_{S1} + C_2 \times V_{S2} - C_1 \times D \times V_{ref}$$

$$V_{OUT2} = (C_1 \times V_{S1} + C_2 \times V_{S2} - C_1 \times D \times V_{ref}) / C_2$$

$$= (1 + C_1 / C_2) \times V_i - D \times V_{ref} \times C_1 / C_2 + (1 - C_1 / C_2) \times V$$

ここで、 $V_{S1} = V_i + V$ 、 $V_{S2} = V_i - V$ とする。

となる。ここで、 $C = C_1 - C_2$ とおくと、

$$V_{OUT2} = (1 + C_1 / (C_1 + C)) \times V_i - (1 - C_1 / (C_1 + C)) \times D \times V_{ref} + V \times C / (C_1 + C)$$

キャパシタミスマッチで生じる $C / C_1$ 、 $V$ は、小さいので、2次以上の項を無視すると以下のように近似できる。

式(2)：

$$V_{OUT2} = (2 - C / C_1) \times V_i - (1 - C / C_1) \times D \times V_{ref}$$

となる。

【0155】

以上の演算は、1つ前のゲインステージにおいても、同じ動作が行われるので1つ前のゲインステージでは、

$$V^{(-1)}_{OUT1} = (2 + C / C_1) \times V^{(-1)}_i - (1 + C / C_1) \times D \times V_{ref}$$

$$V^{(-1)}_{OUT2} = (2 - C / C_1) \times V^{(-1)}_i - (1 - C / C_1) \times D \times V_{ref}$$

なる処理がなされる。ここで、 $V^{(-1)}_{OUT1}$ 、 $V^{(-1)}_{OUT2}$ は、1つ前のゲインステージでの $V_{OUT1}$ 、 $V_{OUT2}$ に対応する出力値であり、 $V^{(-1)}_i$ は、1つ前のゲインステージでの $V_i$ に対応する入力である。また、

$$V^{(-1)}_{OUT1} = V_{S1}, V^{(-1)}_{OUT2} = V_{S2}$$

である。従って、入力 $V_i$ は、

$$V_i = (V_{S1} + V_{S2}) / 2 = (V^{(-1)}_{OUT1} + V^{(-1)}_{OUT2}) / 2$$

$$= 2 \times V^{(-1)}_i - D \times V_{ref}$$

となつて、前のゲインステージでのミスマッチがキャンセルされた入力に対応することがわかる。この動作をすべてのゲインステージで行えば、すべてのステージにおけるキャパシタミスマッチがキャンセルされる。

【0156】

これらのステップA1、A2、B、Cは、図14に示されたアナログデジタル変換器において用いられる。図14は、アナログデジタル変換器11を用いてA/D変換デジタルコードを生成する手順を示す図面である。引き続き説明では、アナログ信号のサンプリングから順に説明する。図14には、ステップS1~S21が示されている。

【0157】

・ステップS1：

第1のA/D変換ステージStage1に第1の標本アナログ信号 $V_{S1}$ を受けて、第1の標本アナログ信号 $V_{S1}$ に第1のサンプリング操作A1を施す。好適な実施例では、第

10

20

30

40

50

1のA/D変換ステージStage 1は、第1の標本アナログ信号 $V_{S1}$ に対応するデジタル信号1aを生成する。

【0158】

・ステップS2：

第1のA/D変換ステージStage 1に第1の標本アナログ信号 $V_{S1}$ を受けて、第1の標本アナログ信号 $V_{S1}$ に第2のサンプリング操作A2を施す。

【0159】

・ステップS3：

第1のA/D変換ステージStage 1においてサンプリングされたアナログ信号に第1の変換操作Bを施して第1の変換結果D1を生成し第1の変換結果D1に対応するアナログ信号A1に第2のA/D変換ステージStage 2において第1のサンプリング操作A1を施す。好適な例では、第2のA/D変換ステージStage 2は、アナログ信号 $A_{S1}$ に対応するデジタル信号2aを生成する。

10

【0160】

・ステップS4：

第1のA/D変換ステージStage 1において第1の変換操作Bの後に第2の変換操作Cを施して第2の変換結果D2を生成し第2の変換結果D2に対応するアナログ信号に第2のA/D変換ステージStage 2において第2のサンプリング操作A2を施す。

【0161】

・ステップS5：

第1のA/D変換ステージStage 1に第2の標本アナログ信号 $V_{S2}$ を受けて、第2の標本アナログ信号 $V_{S2}$ に第1のサンプリング操作A1を施すと共に、第2のA/D変換ステージStage 2においてサンプリングされたアナログ信号に第1の変換操作Bを施して第3の変換結果D3を生成し第3の変換結果D3に対応するアナログ信号に第3のA/D変換ステージStage 3において第1のサンプリング操作A1を施す。第1のA/D変換ステージStage 1は、第2の標本アナログ信号 $V_{S2}$ に対応するデジタル信号1bを生成する。好適な例では、第3のA/D変換ステージStage 3は、デジタル信号3aを生成する。

20

【0162】

・ステップS6：

第1のA/D変換ステージStage 6において第2の標本アナログ信号 $V_{S2}$ に第2のサンプリング操作A2を施すと共に、第2のA/D変換ステージStage 2において第1の変換操作Bの後に第2の変換操作Cを施して第4の変換結果D4を生成し第4の変換結果D4に対応するアナログ信号に第3のA/D変換ステージStage 3において第2のサンプリング操作A2を施す。

30

【0163】

・ステップS7：

第1のA/D変換ステージStage 1においてサンプリングされたアナログ信号に第1の変換操作Bを施して第5の変換結果D5を生成し第5の変換結果D5に対応するアナログ信号に第2のA/D変換ステージStage 2において第1のサンプリング操作A1を施すと共に、第3のA/D変換ステージStage 3においてサンプリングされたアナログ信号に第1の変換操作Bを施して第6の変換結果D6を生成し第6の変換結果D6に対応したアナログ信号に第4のA/D変換ステージStage 4において第1のサンプリング操作A1を施す。好適な例では、第2のA/D変換ステージStage 2はデジタル信号4bを生成すると共に、第4のA/D変換ステージStage 4はデジタル信号4aを生成する。

40

【0164】

・ステップS8：

第1のA/D変換ステージStage 1において第1の変換操作Bの後に第2の変換操作Cを行って第7の変換結果D7を生成し第7の変換結果D7に対応するアナログ信号に第

50



2のA/D変換ステージStage 2において第2のサンプリング操作A2を施すと共に、第3のA/D変換ステージStage 3において第1の変換操作Bの後に第2の変換操作Cを行って第8の変換結果D8を生成し第4の変換結果D8に対応したアナログ信号に第4のA/D変換ステージStage 4において第2のサンプリング操作A2を施す。

【0165】

・ステップS9：

第2のA/D変換ステージStage 2においてサンプリングされたアナログ信号に第1の変換操作Bを施して第9の変換結果D9を生成し第9の変換結果D9に対応するアナログ信号に第3のA/D変換ステージStage 3において第1のサンプリング操作A1を施すと共に、第4のA/D変換ステージStage 4において第1の変換操作Bを施して第10の変換結果D10を生成し第10の変換結果D10に対応するアナログ信号に第1のA/D変換ステージStage 1において第1のサンプリング操作A1を施す。好適な例では、第1のA/D変換ステージStage 1はデジタル信号5aを生成すると共に、第3のA/D変換ステージStage 3はデジタル信号3bを生成する。

10

【0166】

・ステップS10：

第2のA/D変換ステージStage 2において第1の変換操作Bの後に第2の変換操作Cを行って第11の変換結果D11を生成し第11の変換結果D11に対応するアナログ信号に第3のA/D変換ステージStage 3において第2のサンプリング操作A2を施すと共に、第4のA/D変換ステージStage 4において第1の変換操作の後に第2の変換操作Cを施して第12の変換結果D12を生成し第12の変換結果D12に対応したアナログ信号に第1のA/D変換ステージStage 1において第2のサンプリング操作A2を施す。

20

【0167】

これらの後に、必要に応じて、ステップS7～ステップS10を順に繰り返すことができる。ステップの繰り返しに回答して、A/D変換ステージからデジタル信号が提供される。この手順は、全差動回路における一方の入力アナログ信号のためのステップを記述しており、これ故に、3つのステップは、シングルエンド回路だけでなく、全差動回路にも適用されることが理解される。

【0168】

図13に示されるように、シングルエンド回路を用いて表された4つの動作からなる。操作A1は、キャパシタ25(C1)に入力信号のサンプリングする動作であり、操作A2は、キャパシタ27(C2)に入力信号のサンプリングする動作である。操作Bは、キャパシタ27をDACSWに接続すると共に、キャパシタ25を帰還容量として演算増幅回路に接続して信号を増幅する動作である。操作Cは、キャパシタ25をDACSWに接続すると共に、キャパシタ27を帰還容量として演算増幅回路に接続して信号を増幅する動作である。操作A1では、前ステージのB操作の結果がサンプリングされる。操作A2では、前ステージのC操作の結果がサンプリングされる。このサンプリングにより、前ステージのB操作の結果および前ステージのC操作の結果の平均値がサンプリングされる。

30

【0169】

最重要ビット(MSB)のA/D変換では、第1のA/D変換ステージのサンプリング操作A1、A2において同じアナログ値がサンプリングされるので、上記の式において $V = 0$ である。

40

$$V^{(1)}_{OUT1} = (2 + C/C_1) \times V_i - (1 + C/C_1) \times D \times V_{ref}$$

$$= (2 \times V_i - D \times V_{ref}) + (1 - D \times V_{ref}) \times C/C_1$$

また、 $C/C_1$ が1に比べて十分に小さいとして

$$V^{(1)}_{OUT2} = (2 - C/C_1) \times V_i - (1 - C/C_1) \times D \times V_{ref}$$

$$= (2 \times V_i - D \times V_{ref}) - (1 - D \times V_{ref}) \times C/C_1$$

である。これらの式は、近似的に

$$V^{(1)}_{OUT1} = V^{(1)}_i - V^{(1)}$$

50

$$V^{(1)}_{OUT2} = V^{(1)}_i + V^{(1)}$$

と書くことができる。但し、 $V^{(1)}_i = 2 \times V_i - D \times V_{ref}$ 、 $V^{(1)} = (V_i - D \times V_{ref}) \times C / C_1$

とおく。第1の変換操作Bにより、 $V^{(1)}_{OUT1}$ が期間 $T_2$ に生成される。また、第2の変換操作Cにより、 $V^{(1)}_{OUT2}$ が期間 $T_3$ に生成される。

#### 【0170】

これらの変換結果をステップ3、4において第2のA/D変換ステージに提供する。次の最重要ビット(MSB-1)のA/D変換のために、ステップ4、5において変換操作を施すと、既に説明したように、式(1)および式(2)に示されるように、4つの操作A1、A2、B、Dにより、ゲインステージに含まれる2つのキャパシタのミスマッチが補償される。この動作をすべてのゲインステージで行えば、前のゲインステージでのミスマッチがキャンセルされる。

10

#### 【0171】

巡回型A/D変換では、最上位桁から値を決定しながら入力信号を2倍する動作を繰り返すので、下位の桁の値を求める演算の際には、誤差の影響が小さくなる。上位桁を決定する際のA/D変換においてキャパシタミスマッチを補正する処理を行うことが好ましい。例えば、図14のステップS13以降のステップに示されるように、A/D変換の後半の下位桁のための処理においては、操作A1およびBだけによる動作とし、所定ビット分のA/D変換を高速に行うことができる。例えば、14ビットのA/D変換のために操作A1、A2、B、Cの全てを行うとき、15クロックのタイミングが必要である。しかしながら、図14に示されるように、低位側のビットのためのA/D変換に操作A1およびBだけ行くと、14ビットのA/D変換を10.5クロックのタイミングで行うことができる。

20

#### 【0172】

本実施の形態でも、図10に示されるようなデジタル演算回路を用いてA/D変換デジタルコードを生成することができる。

#### 【0173】

(第3の実施の形態)

図15は、本実施の形態に係るアナログデジタル変換器を示すブロック図である。アナログデジタル変換器11aは、第1のA/D変換ステージ131と、第2のA/D変換ステージ133と、第3のA/D変換ステージ135と、アナログ入力109と、入力スイッチ111と、巡回スイッチ113と、デジタル演算回路145とを備える。第1～第3のA/D変換ステージ131、133、135の各々は直列に接続されており、またステージ入力137およびステージ出力139を有する。アナログ入力109はアナログ信号を受ける。入力スイッチ111は、第1のA/D変換ステージ131のステージ入力147とアナログ入力109との間に接続されており、また第1および第2のサンプリング期間 $T_{S1}$ 、 $T_{S2}$ 中にそれぞれ第1の標本アナログ信号 $V_{S1}$ および第2の標本アナログ信号 $V_{S2}$ をサンプリングする。

30

#### 【0174】

巡回スイッチ113は、第1のA/D変換ステージ131のステージ入力147と第3のA/D変換ステージ135のステージ出力149との間に接続されており、また第1および第2のサンプリング期間 $T_{S1}$ 、 $T_{S2}$ と異なる巡回期間 $T_{FB}$ 中に第3のA/D変換ステージ135から第1のA/D変換ステージ131への経路を提供する。デジタル演算回路145は、第1～第3のA/D変換ステージ131、133、135の各々からの変換結果の信号 $V_{STAGE1}$ 、 $V_{STAGE2}$ 、 $V_{STAGE3}$ に応じたアナログ/デジタル変換結果を示すA/D変換デジタルコード $V_{DIGITAL}$ を生成する。また、デジタル演算回路115は、第1～第3のA/D変換ステージ131、133、135にそれぞれ接続された入力145a、145b、145cと、A/D変換デジタルコード $V_{DIGITAL}$ を提供する出力145eを有する。第1および第2のサンプリング期間 $T_{S1}$ 、 $T_{S2}$ では、入力スイッチ111がクロック $\phi_s$ に应答して閉じられると

40

50

共に、巡回スイッチ 113 が開かれる。また、巡回期間  $T_{FB}$  では、入力スイッチ 111 がクロック  $\phi_s$  に応答して開かれると共に、巡回スイッチ 113 が閉じられる。アナログデジタル変換器 11a は、受けたアナログ入力  $A_{in}$  を保持するサンプル/ホールド回路 117 を更に備える。

【0175】

引き続き説明から理解されるように、このアナログデジタル変換器 11a によれば、直列に接続された第 1～第 3 の A/D 変換ステージ 131、133、135 を巡回スイッチ 113 を介してループ状に接続するので、2 つのサンプリング値に対して並列に A/D 変換を行うことができる。クロック発生器 40 は図 16 および図 17 に記載されたクロック信号を提供する。

10

【0176】

図 16 は、アナログデジタル変換器の A/D 変換ステージを示す回路図である。図 17 は、図 16 に示された A/D 変換ステージのためのタイミングチャートを示す図面である。第 1～第 3 の A/D 変換ステージのための A/D 変換ステージ 12b は、入力 13 と、ゲインステージ 15 と、第 1 のサンプリングスイッチ 17 と、第 2 のサンプリングスイッチ 19 とを備える。クロック発生器 40 は図 16 および図 17 に記載されたクロック信号を提供する。

【0177】

ゲインステージ 15 は、第 1 の入力 15a および第 2 の入力 15b を含む。第 1 の入力 15a は、入力アナログ信号  $V_i$  及び変換アナログ信号  $V_{A/D}$  のいずれか一方のアナログ信号を受けのために設けられている。第 2 の入力 15b は、入力アナログ信号  $V_i$  及び変換アナログ信号  $V_{A/D}$  のいずれか一方のアナログ信号を受けのために設けられている。第 1 のサンプリングスイッチ 17 は、第 1 の入力 15a と入力 13 との間に接続されており、また第 1 の期間  $T_1$  に入力アナログ信号  $V_i$  のサンプリングを行うために設けられている。第 2 のサンプリングスイッチ 19 は、第 2 の入力 15b と入力 13 との間に接続されており、また第 1 の期間  $T_1$  に入力アナログ信号  $V_i$  のサンプリングを行うために設けられている。ゲインステージ 15 は、演算増幅回路 21 と、フィードバックスイッチ 23 と、第 1 のキャパシタ 25 と、第 2 のキャパシタ 27 と、第 1 のスイッチ 29 と、第 2 のスイッチ 31 と、第 3 のキャパシタ 33 と、第 3 のスイッチ 35 と、第 4 のスイッチ 37 とを含む。演算増幅回路 21 は、反転入力 21a と、非反転入力 21b と、出力 21c とを含む。フィードバックスイッチ 23 は、演算増幅回路 21 の反転入力 21a と演算増幅回路 21 の出力 21c との間に接続されており、第 1 の期間  $T_1$  に演算増幅回路 21 の出力 21c を演算増幅回路 21 の反転入力 21a に接続する。第 1 のキャパシタ 25 は、第 1 の入力 15a に接続された一端 25a と反転入力 21a に接続された他端 25b とを有する。第 2 のキャパシタ 27 は、第 2 の入力 15b に接続された一端 27a と反転入力 21a に接続された他端 27b とを有する。第 1 のスイッチ 29 は、第 2 のキャパシタ 27 の一端 27a と演算増幅回路 21 の出力 21c との間に接続されており、また第 1 の期間  $T_1$  と異なる第 2 の期間  $T_2$  に第 2 のキャパシタ 27 を演算増幅回路 21 の反転入力 21a と出力 21c との間に接続するために設けられている。第 2 のスイッチ 31 は、第 1 のキャパシタ 25 の一端 25a と演算増幅回路 21 の出力 21c との間に接続されており、また第 1 の期間  $T_1$  および第 2 の期間  $T_2$  と異なる第 3 の期間  $T_3$  に第 1 のキャパシタ 25 を演算増幅回路 21 の出力 21c と反転入力 21a との間に接続するために設けられている。第 3 のキャパシタ 33 は、演算増幅回路 21 の出力 21c に接続された一端 33a と他端 33b とを有する。第 3 のスイッチ 35 は、第 3 のキャパシタ 33 の他端 33b と反転入力 21a との間に接続されており、また第 3 の期間  $T_3$  に第 3 のキャパシタ 33 を演算増幅回路 21 の出力 21c と反転入力 21a との間に接続するために設けられている。第 4 のスイッチ 37 は、第 3 のキャパシタ 33 の他端 33b と、接地線といった基準電位線 39 との間に接続されており、また第 1 の期間  $T_1$  および第 2 の期間  $T_2$  に第 3 のキャパシタ 33 の他端 33b に基準電位を提供するために設けられている。ゲインステージ 15 の出力 15c は、演算増幅回路 21 の出力 21c に接続されている。

20

30

40

50

## 【0178】

このA/D変換ステージ12bによれば、入力アナログ信号 $V_i$ に応じた電荷を第1および第2のキャパシタ25、27に第1の期間 $T_1$ に蓄積できる。第2のキャパシタ27を演算増幅回路21の反転入力21aと出力21cとの間に接続すると共に、第1のキャパシタ25を第1の入力15aと演算増幅回路21の反転入力21cとの間に接続して、演算増幅回路21の出力21cに第1の変換値を第2の期間 $T_2$ に発生できる。また、第2の期間 $T_2$ には、この第1の変換値に対応する電荷を第3のキャパシタ33に蓄積できる。さらに、第1および第3のキャパシタ25、33を演算増幅回路21の反転入力21aと出力21cとの間に接続すると共に、第2のキャパシタ27を第2の入力15bと演算増幅回路21の出力21cとの間に接続して、演算増幅回路21の出力21cに第2の変換値を第3の期間 $T_3$ に発生できる。第2の変換値の発生においては、第3のキャパシタ33に蓄積された電荷も考慮されるので、第1～第3のキャパシタ25、27、33のミスマッチが補償される。したがって、3つの期間 $T_1$ 、 $T_2$ 、 $T_3$ を用いて、第1～第3のキャパシタ25、27、33のミスマッチの補償およびアナログ信号をデジタル信号へ変換することができる。

10

## 【0179】

図16に示されるように、A/D変換ステージ12bは、サブA/D変換回路41と、論理回路53と、D/A変換回路44とを備えることができる。サブA/D変換回路41は、入力13に接続されており、また入力アナログ信号 $V_i$ に応じてデジタル信号 $V_{DIG}$ を生成する。デジタル信号 $V_{DIG}$ は、所定の数の値を取り、例えば2値(「0」、「1」)または3値(「-1」、「0」、「+1」)を有することが好ましい。論理回路53は、サブA/D変換回路41に接続されており、またデジタル信号 $V_{DIG}$ に応じて制御信号 $V_{SWCNT}$ を生成する。D/A変換回路44は、論理回路53に接続されており、変換アナログ信号 $V_{A/D}$ を提供するための出力44a、44bを有する。変換アナログ信号 $V_{A/D}$ は、制御信号 $V_{SWCNT}$ に応じて生成される。制御信号 $V_{SWCNT}$ は、第2の期間 $T_2$ および第3の期間 $T_3$ に変換アナログ信号 $V_{A/D}$ をゲインステージ15に提供するために用いられる。

20

## 【0180】

サブA/D変換回路41は、図17に示されるように、例えば第1の期間 $T_1$ に活性化されることが好ましい。また、第1の期間 $T_1$ に替えて又は第1の期間 $T_1$ に加えて、第3の期間 $T_3$ に、サブA/D変換回路41を活性化するようにしてよい。

30

## 【0181】

また、第1の電圧源47の出力47aは、第1のスイッチ51aおよび第1の出力44aを介して第1の入力15aに接続されており、また第2のスイッチ51bおよび第2の出力44bを介して第2の入力15bに接続されている。第2の電圧源49の出力49aは、第3のスイッチ51cおよび第1の出力45aを介して第1の入力15aに接続されており、また第4のスイッチ51dおよび第2の出力44bを介して第2の入力15bに接続されている。また、第1の出力44aは第5のスイッチ51eの一端に接続されており、第5のスイッチ51eの他端は接地線に接続される。第2の出力44bは第6のスイッチ51fの一端に接続されており、第6のスイッチ51fの他端は接地線に接続される。図1に示されるように、論理回路53は、第1～第6のスイッチ51a～15fをそれぞれ制御するための制御信号 $D_{O1}$ 、 $D_{P1}$ 、 $D_{N1}$ 、 $D_{O2}$ 、 $D_{P2}$ 、 $D_{N2}$ を生成する。図17に示されるように、制御信号 $D_{O2}$ 、 $D_{P2}$ 、 $D_{N2}$ は第2の期間 $T_2$ に提供される。デジタル信号 $D_1$ 、 $D_0$ の値は、制御信号 $D_{O2}$ 、 $D_{P2}$ 、 $D_{N2}$ のうちのいずれがアクティブになるかを決定する。また、制御信号 $D_{O1}$ 、 $D_{P1}$ 、 $D_{N1}$ は第3の期間 $T_3$ に提供される。デジタル信号 $D_1$ 、 $D_0$ の値は、制御信号 $D_{O1}$ 、 $D_{P1}$ 、 $D_{N1}$ のうちのいずれがアクティブになるかを決定する。

40

## 【0182】

D/A変換回路44は、D/A変換回路45、46と同様に、論理回路53からの制御

50

信号にตอบสนองして動作する。3領域に対して3値のA/D変換を行って「-1」、「0」、「+1」のデジタルコードを割り当てる。最初のコードは最上位桁になる。図3に示された特性に従って下記の演算が行われる。

$$V_{OUT} = 2 \times V_{IN} - D \times V_{REF}$$

すなわち、この演算は、上位桁から順にA/D変換し、ゲインステージの入力を2倍して、ゲインステージのA/D変換値によって、

- (1) 一定値  $V_{REF}$  の減算、
- (2) 一定値  $V_{REF}$  の加算、
- (3) ゼロを与える

のいずれかを行うことにより、ゲインステージの出力を必ず  $-V_{REF} \sim +V_{REF}$  の範囲におさめる。

#### 【0183】

好適な実施例では、第1のキャパシタ25の容量値  $C_1$  は第2のキャパシタ27の容量値  $C_2$  と等しい。しかしながら、様々な要因による誤差のために、第1のキャパシタ25の容量値  $C_1$  は、第2のキャパシタ27の容量値  $C_2$  と一致しない。つまり、第1のキャパシタ25の容量値  $C_1$  と第2のキャパシタ27の容量値  $C_2$  との間にはミスマッチが存在する。より高精度のアナログデジタル変換を行うために、このミスマッチを補償することが求められる。

#### 【0184】

引き続き、図17および図18を参照しながら、変換回路の動作およびミスマッチの補償を説明する。ミスマッチの補償は、ゲインステージ11を用いて、アナログ信号に対応したデジタル信号を生成する過程において実現される。

#### 【0185】

サンプリング操作A:

まず、図18の(A)部に示されるように、クロック  $\phi_1$ 、 $\phi_2$ 、 $\phi_0$  にตอบสนองして、第1のキャパシタ25および第2のキャパシタ27が入力13に接続される。クロック  $\phi_0$  にตอบสนองして、演算増幅回路21の反転入力21aを出力21cに接続する。クロック  $\phi_2$ 、 $\phi_3$  にตอบสนองして、第3のキャパシタ33を演算増幅回路21の出力21cと接地線との間に接続する。アナログ信号  $V_i$  に対応したデジタル信号  $V_{DIGN}$  を生成する。デジタル信号  $V_{DIGN}$  は、所定のビット数からなるデジタル値(例えば  $D_1$ 、 $D_0$ )を有する。また、第1のキャパシタ25および第2のキャパシタ27の各々に、入力アナログ信号  $V_i$  に応じた電荷を蓄積する。第1のキャパシタ25には電荷  $Q_1 = C_1 \times V_i$  が蓄積されると共に、第2のキャパシタ27には電荷  $Q_2 = C_2 \times V_i$  が蓄積される。演算増幅回路21の出力21cは反転入力21aと接続されており、出力21cおよび反転入力21aは共に、非反転入力21bの電位と同じ値である。

#### 【0186】

第1の変換操作B:

クロック  $\phi_0$  にตอบสนองして、第1のキャパシタ25および第2のキャパシタ27を入力13から切り離す。クロック  $\phi_1$  にตอบสนองして、第1のキャパシタ25の他端を変換増幅器21の出力21cに接続する。クロック  $\phi_2$ 、 $\phi_3$  にตอบสนองして、第3のキャパシタ33を演算増幅回路21の出力21cと接地線との間に接続する。クロック  $\phi_0$  にตอบสนองして、演算増幅回路21の反転入力21aを出力21cから切り離す。図18の(B)部に示されるように、第2のキャパシタ27を演算増幅回路21の出力21cと反転入力21aとの間に接続すると共に該デジタル信号  $V_{DIGN}$  に応じた変換アナログ信号  $V_{A/D}$  を第1のキャパシタ25の他端25bに供給する。これによって、入力アナログ信号  $V_i$  に関連した第1の変換値  $V_{OUT1}$  を演算増幅回路21の出力21cに生成し、第1および第2のキャパシタ25、27の電荷を再配置する。

#### 【0187】

変換アナログ信号  $V_{A/D}$  の印加により、第1のキャパシタ25から第2のキャパシタ27へ電荷  $Q_1 = C_1 \times V_i - C_1 \times D \times V_{REF}$  が移動する(Dの値は変換アナログ

10

20

30

40

50

信号  $V_{A/D}$  の値に応じて「+1」、「0」、「-1」を取る)。第2のキャパシタ27には、サンプリング電荷  $C_2 \times V_i$  と移動電荷  $Q_1$  とが蓄積される。演算増幅回路21の非反転入力21bは接地線に接続されているので、第2のキャパシタ27には電荷  $V_{OUT1} \times C_2$  が蓄積される。この電荷  $V_{OUT1} \times C_2$  は、電荷の保存則より  $C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref}$  に等しい。故に、

$$V_{OUT1} = (C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref}) / C_2$$

$$= (1 + C_1 / C_2) \times V_i - D \times V_{ref} \times C_1 / C_2$$

となる。また、第3のキャパシタ33には、電荷  $V_{OUT1} \times C_3$  が蓄積される。

【0188】

第2の変換操作C：

クロック<sub>1</sub>に回答して、第2のキャパシタ27を変転増幅器21の出力21cから切り離す。クロック<sub>2</sub>に回答して、第1のキャパシタ25の他端を演算増幅回路21の出力21cに接続する。クロック<sub>2</sub>、<sub>3</sub>に回答して、第3のキャパシタ33の他端を変転増幅器21の出力21cに接続する。図18の(C)部に示されるように、第1および第3のキャパシタ25、33を演算増幅回路21の出力21cと反転入力21aとの間に接続すると共に第2のキャパシタ25の他端25bに変換アナログ信号  $V_{A/D}$  を供給することにより、第2の変換値  $V_{OUT2}$  を演算増幅回路21の出力21cに生成する。第2の変換値  $V_{OUT2}$  は、入力アナログ信号  $V_i$  に関連している。第1および第3のキャパシタ25、33には電荷  $(C_1 + C_3) \times V_{OUT2}$  が蓄積される。

【0189】

クロック<sub>0</sub>に回答して、アナログ信号  $V_i$  に対応したデジタル信号  $V_{DIGN}$  を出力する。上記の説明より、第2のキャパシタ27には電荷  $V_{OUT1} \times C_2 (= C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref})$  が蓄積されており、変換アナログ信号  $V_{A/D}$  の印加によって、第2のキャパシタ27から第1および第3のキャパシタ25、33へ電荷  $Q_2 = V_{OUT1} \times C_2 - C_2 \times D \times V_{ref} = C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref} - C_2 \times D \times V_{ref}$  が移動する(Dの値は変換アナログ信号  $V_{A/D}$  の値に応じて「+1」、「0」、「-1」を取る)。この移動の結果、第1および第3のキャパシタ25、33の全電荷は、以下の3つの電荷：

移動電荷： $C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref} - C_2 \times D \times V_{ref}$

第3のキャパシタの電荷： $C_3 \times V_{OUT1}$

第2のキャパシタの電荷： $C_1 \times D \times V_{ref}$

の和で表され、つまり、

$$C_2 \times V_i + C_1 \times V_i - C_2 \times D \times V_{ref} + C_3 \times V_{OUT1}$$

である。一方、第1および第3のキャパシタ25、33の全電荷は、

$$(C_1 + C_3) \times V_{OUT2}$$

であり、電荷保存則により、両者は等しいので、

$$(C_1 + C_3) \times V_{OUT2} = C_2 \times V_i + C_1 \times V_i - C_2 \times D \times V_{ref} + C_3 \times V_{OUT1}$$

となる。この式に、

$$V_{OUT1} = (1 + C_1 / C_2) \times V_i - D \times V_{ref} \times C_1 / C_2$$

を代入すると、

$$(C_1 + C_3) \times V_{OUT2} = (C_1 + C_2 + (1 + C_1 / C_2) \times C_3) \times V_i - (C_2 + C_3 \times C_1 / C_2) \times D \times V_{ref}$$

と表され、第2の変換値は

$$V_{OUT2} = V_i \times (C_1 + C_2) \times (1 + C_3 / C_2) / (C_1 + C_3) - D \times V_{ref} \times (C_2 + C_3 \times C_1 / C_2)$$

と表される。この式を、 $C_3 = C_3 - C_1$ 、 $C_2 = C_2 - C_1$  を用いて書き換えると

、

$$V_{OUT2} = V_i \times (2 + (C_2 - C_3) \times C_2 / (2 \times C_1 + C_3)) / (C_1 + C_2) - D \times V_{ref} \times (1 + C_2 \times (4 \times C_2 - 3 \times C_3) / 2) / (2$$

10

20

30

40

50

$$\times C_1 + C_3) / (C_1 + C_2))$$

で表される。誤差の項は

$$(C_2 - C_3) \times C_2 / (2 \times C_1 + C_3) / (C_1 + C_2)$$

である。例えば  $C_2 / C_1 = 0.01$ 、 $C_3 / C_1 = 0.01$  であるとする、誤差の項の寄与は  $0.0001$  程度になる。つまり、容量値のばらつきが  $1\%$  程度であっても、本実施の形態に係る変換回路を用いると、容量値のばらつきの寄与が  $0.01\%$  程度にまで小さくでき、この結果、この変換回路を用いると、 $13$  ビット精度から  $14$  ビット精度のアナログデジタル変換器が実現できる。

#### 【0190】

キャパシタの容量値のミスマッチを補償しない構成の A/D 変換ステージの動作は、図 18 の (A) 部および (B) 部を参照しながら行われた説明から理解される。つまり、

$$V_{OUT1} = (1 + C_2 / C_1) \times V_i - D \times V_{ref} \times C_2 / C_1$$

である。 $C_2 = C_2 - C_1$  とすると、

$$V_{OUT1} = (2 + C_2 / C_1) \times V_i - D \times V_{ref} \times (1 + C_2 / C_1)$$

と書き換えられる。 $C_2 / C_1 = 0.01$  であるとする、誤差の項の寄与は  $1\%$  となる。

#### 【0191】

以上説明したように、本実施の形態によれば、最小  $1.5$  クロック動作でキャパシタのミスマッチを補償することが可能な変換回路が提供される。

#### 【0192】

この手順は、全差動回路における一方の入力アナログ信号のためのステップを記述しており、これ故に、3つのステップは、シングルエンド回路だけでなく、全差動回路にも適用されることが理解される。

#### 【0193】

これらの各ステップ A、B、C は、図 19 に示されたアナログデジタル変換器において用いられる。図 19 は、アナログデジタル変換器 11a を用いて A/D 変換デジタルコードを生成する手順を示す図面である。引き続き説明では、アナログ信号のサンプリングから順に説明する。図 19 には、ステップ S1 ~ S28 が示されている。

#### 【0194】

##### ・ステップ S1

第 1 の A/D 変換ステージ 131 に第 1 の標本アナログ信号  $V_{S1}$  を受けて、第 1 の標本アナログ信号  $V_{S1}$  にサンプリング操作 A を施す。好適な実施例では、第 1 の A/D 変換ステージ Stage 1 は、第 1 の標本アナログ信号  $V_{S1}$  に対応するデジタル信号 1a を生成する。

#### 【0195】

##### ・ステップ S2

第 1 の A/D 変換ステージ 131 においてサンプリングされたアナログ信号に第 1 の変換操作 B を施す。

#### 【0196】

##### ・ステップ S3

第 1 の変換操作による第 1 の変換値に第 2 の変換操作 C を施すと共に、第 2 の変換操作 C による第 2 の変換値に対応するアナログ信号に第 2 の A/D 変換ステージ 133 においてサンプリング操作を施す。好適な実施例では、第 2 の A/D 変換ステージ 133 はデジタル信号 2a を生成する。

#### 【0197】

##### ・ステップ S4

第 1 の A/D 変換ステージ 131 に第 2 の標本アナログ信号 R を受けて、第 2 の標本アナログ信号 R にサンプリング操作 A を施すと共に、第 2 の A/D 変換ステージ 133 においてサンプリングされたアナログ信号に第 1 の変換操作 B を施す。好適な実施例では、第 1 の A/D 変換ステージ 131 は、第 2 の標本アナログ信号 R に対応するデジタル信号 1

10

20

30

40

50

bを生成する。

【0198】

・ステップS5

第1のA/D変換ステージ131においてサンプリングされたアナログ信号に第1の変換操作Bを施して第1のA/D変換ステージ131のための第1の変換値を生成すると共に、第2のA/D変換ステージ133において第1の変換操作Bの後に第2の変換操作Cを施して第2のA/D変換ステージ133のための第2の変換値を生成し第3のA/D変換ステージ135において第2の変換値に対応したアナログ信号にサンプリング操作Aを施す。好適な実施例では、第3のA/D変換ステージ135はデジタル信号3aを生成する。

10

【0199】

・ステップS6

第1のA/D変換ステージ131において第1の変換操作Bの後に第2の変換操作Cを施して第1のA/D変換ステージ131のための第2の変換値を生成し第2の変換値に対応したアナログ信号に第2のA/D変換ステージ135においてサンプリング操作Aを施す。好適な実施例では、第2のA/D変換ステージ133はデジタル信号2bを生成する。さらに、第3のA/D変換ステージ135においてサンプリングされたアナログ信号に第1の変換操作Bを施して第3のA/D変換ステージ135のための第1の変換値を生成する。

20

【0200】

・ステップS7

第2のA/D変換ステージ135においてサンプリングされたアナログ信号に第1の変換操作Bを施して第2のA/D変換ステージ133のための第1の変換値を生成すると共に、第3のA/D変換ステージ135において第2の変換操作Bを施して第3のA/D変換ステージ135において第2の変換値を生成し第2の変換値に対応したアナログ信号に第1のA/D変換ステージ131においてサンプリング操作Aを施す。好適な実施例では、第1のA/D変換ステージ131はデジタル信号4aを生成する。

【0201】

・ステップS8～S21

引き続き、ステップS5、S5、S7を順に繰り返すことによって、残りのデジタル信号5a～13a、3b～13bを生成する。このA/D変換器11aによれば、各A/D変換ステージのキャパシタのミスマッチを補償を行うと共に、繰り返しにより所望のビット数のA/D変換を行うことができる。

30

【0202】

第1の実施の形態と同様に、A/D変換器11aは、S/H回路117を備える。このため、S/H回路117のオフセットの影響を低減することができる。例えば、図9に示されるように、最初のサンプリング期間 $T_{S1}$ に、入力91aに受けた信号 $A_{in}$ が保持される。シングルエンド型のS/H回路では、演算増幅回路92の非反転入力92aが接地されている。S/H回路は、このとき、出力値 $V_{SHO1}$ を提供する。

$$\begin{aligned} V_{SHO1} &= V_{OP} - V_{ON} \\ &= (A_{IN} - A_{ref}) \times C_{S1} / C_{S2} + V_{OFFSET} + V_{CI} \end{aligned}$$

40

【0203】

次のサンプリング期間 $T_{S2}$ の前半ではクロック信号 $S_2$ にตอบสนองしてスイッチ93aを閉じると共に、サンプリング期間 $T_{S2}$ の後S/H回路は、このとき、出力 $V_{SHO2}$ を提供する。出力値 $V_{SHO2}$ には、S/H回路に入力されたアナログ信号を含まない。これ故に、出力値 $V_{SHO2}$ は、

$$V_{SHO2} = V_{OP} - V_{ON} = V_{OFFSET} + V_{CI}$$

と表される。これらの2つの信号、つまり、出力値 $V_{SHO1}$ および出力値 $V_{SHO2}$ は、図19に示される信号「S」および「R」として利用される。信号「S」および「R」

50



が A / D 変換される。

【 0 2 0 4 】

図 2 0 は、補正を行うことが可能なアナログデジタル変換器を示すブロック図である。デジタル演算回路 1 4 5 は、第 1 ~ 第 3 の記憶回路 1 4 7、1 4 9、1 5 0 と、第 1 の回路 1 5 2 と、第 2 の回路 1 5 4 と、補正回路 1 5 6 とを含む。第 1 ~ 第 3 の記憶回路 1 4 7、1 4 9、1 5 0 の各々は、第 1 および第 2 のサンプル信号 S、R にそれぞれ対応しており第 1 ~ 第 3 の A / D 変換ステージ 1 3 1、1 3 3、1 3 5、1 3 7 からのデジタル信号からなる第 1 のデータ群 ( D A 1 ~ D A 1 3 ) および第 2 のデータ群 ( D B 1 ~ D B 1 3 ) を格納する。第 1 の回路 1 5 2 は、第 1 ~ 第 3 の記憶回路 1 4 7、1 4 9、1 5 0 に接続されており、第 1 のデータ群 ( D A 1 ~ D A 1 3 ) のデジタル信号を用いて第 1 の標本アナログ信号 S に対応する第 1 のデジタルコード D<sub>S</sub> (例えば 1 4 ビット) を生成する。第 2 の回路 1 5 4 は、第 1 ~ 第 3 の記憶回路 1 4 7、1 4 9、1 5 0 に接続されており、第 2 のデータ群 ( D B 1 ~ D B 1 3 ) のデジタル信号を用いて第 2 の標本アナログ信号 R に対応する第 2 のデジタルコード D<sub>R</sub> (例えば 1 4 ビット) を生成する。補正回路 1 5 6 は、第 1 および第 2 のデジタルコードの一方 D<sub>S</sub>、D<sub>R</sub> を用いて第 1 および第 2 のデジタルコード D<sub>S</sub>、D<sub>R</sub> の他方を補正して A / D 変換デジタルコード (例えば 1 4 ビット) を生成する。A / D 変換デジタルコードは、S / H 回路 1 1 7 のオフセットがキャンセルされ、向上された精度の A / D 変換値が得られる。

10

【 0 2 0 5 】

この A / D 変換器 1 1 a によれば、S / H 回路の演算増幅回路のオフセットを生成することができる。

20

【 0 2 0 6 】

以上説明したように、本発明の実施の形態によれば、回路素子に関連する誤差を補償を簡易な構成で提供できる A / D 変換ステージが提供される。また、本発明の実施の形態によれば、この A / D 変換ステージを含むアナログデジタル変換器が提供される。さらに、本発明の実施の形態によれば、A / D 変換ステージにおける変換誤差を示す信号を生成する方法およびアナログ信号に対応したデジタル信号を生成する方法が提供される。例えば、本実施の形態は、S / H 回路を入力にもつ A / D 変換器について説明したが、本発明は、S / H 段を設けない場合にも適用できる。また、本実施の形態は、シングルエンド回路を用いて構成された回路に全差動構成の回路を用いることができる。また、全差動構成の回路を用いて構成された回路にシングルエンド回路を用いることができる。

30

【 0 2 0 7 】

( 第 4 の実施の形態 )

引き続き、添付図面を参照しながら、本発明の第 4 の実施の形態に係る A / D 変換ステージ、アナログデジタル変換器、A / D 変換ステージにおける変換誤差を示す信号を生成する方法、およびアナログ信号に対応したデジタル信号を生成する方法に係る実施の形態を説明する。

【 0 2 0 8 】

図 2 1 は、本実施形態に係るアナログデジタル変換器を示すブロック図である。アナログデジタル変換器 1 1 b は、第 1 の A / D 変換ステージ 1 5 1、第 2 の A / D 変換ステージ 1 5 3、第 3 の A / D 変換ステージ 1 5 5、第 4 の A / D 変換ステージ 1 5 7、アナログ入力 1 0 9、入力スイッチ 1 1 1、巡回スイッチ 1 1 3、及びデジタル誤差補正回路 1 1 6 を備える。第 1 ~ 第 4 の A / D 変換ステージ 1 5 1、1 5 3、1 5 5、1 5 7 の各々は直列に接続されており、またデジタル出力 1 1 8、ステージ入力 1 1 9 a およびステージ出力 1 1 9 b を有する。第 1 ~ 第 4 の A / D 変換ステージ 1 5 1、1 5 3、1 5 5、1 5 7 はクロック信号に同期して動作する。アナログ入力 1 0 9 はアナログ信号を受ける。

40

【 0 2 0 9 】

入力スイッチ 1 1 1 は、第 1 の A / D 変換ステージ 1 5 1 のステージ入力 1 1 9 a とアナログ入力 1 0 9 との間に接続されており、また第 1 および第 2 のサンプリング期間 T<sub>s</sub>

50

1、 $T_{S2}$ 中にそれぞれ第1の標本アナログ信号Sおよび第2の標本アナログ信号Rをサンプリングする。巡回スイッチ113は、第1のA/D変換ステージ151のステージ入力119aと第4のA/D変換ステージ157のステージ出力119bとの間に接続されており、また第4のA/D変換ステージ157から第1のA/D変換ステージ151への経路を第1および第2のサンプリング期間 $T_{S1}$ 、 $T_{S2}$ と異なる巡回期間 $T_{FB}$ 中に提供する。デジタル誤差補正回路116は、第1～第4のA/D変換ステージ151、153、155、157の各々からの変換結果の信号 $V_{STAGE1}$ 、 $V_{STAGE2}$ 、 $V_{STAGE3}$ 、 $V_{STAGE4}$ に応じたA/D変換結果を示すA/D変換デジタルコード $V_{DIGITAL}$ を生成する。また、デジタル誤差補正回路116は、第1～第4のA/D変換ステージ151、153、155、157にそれぞれ接続された入力116a、116b、116c、116dと、A/D変換デジタルコード $V_{DIGITAL}$ を提供する出力116eを有する。第1および第2のサンプリング期間 $T_{S1}$ 、 $T_{S2}$ を含む期間では、入力スイッチ111がクロック $\phi_S$ に 응답して閉じられると共に、巡回スイッチ113が開かれる。また、巡回期間 $T_{FB}$ では、入力スイッチ111がクロック $\phi_S$ に 응답して開かれると共に、巡回スイッチ113が閉じられる。アナログデジタル変換器11は、受けたアナログ入力 $A_{in}$ を保持するサンプル/ホールド(S/H)回路117を更に備え、S/H回路117は、A/D変換器がA/D変換するアナログ信号を順次にサンプリングして、入力スイッチ111を介して第1のA/D変換ステージ151のステージ入力119aに提供する。S/H回路117は、入力アナログ信号 $A_{in}$ を受ける入力117aと、アナログ信号S、Rを提供する出力と117bを有する。クロック発生器40aは図21～図23に記載されたクロック信号を提供する。

#### 【0210】

引き続き説明から理解されるように、このアナログデジタル変換器11bによれば、直列に接続された第1～第4のA/D変換ステージ151、153、155、157を巡回スイッチ113を介してループ状に接続するので、2つのサンプリング値に対して並列にA/D変換を行うことができる。

#### 【0211】

図22は、アナログデジタル変換器のA/D変換ステージを示す回路図である。図23は、図22に示されたA/D変換ステージのためのタイミングチャートを示す図面である。第1～第4のA/D変換ステージのためのA/D変換ステージ12は、入力13、ゲインステージ15、第1のサンプリングスイッチ17、第2のサンプリングスイッチ19を備える。

#### 【0212】

ゲインステージ15の第1の入力15aは、入力アナログ信号 $V_i$ 又は補正のための信号 $V_{c1}$ を受けるために設けられている。ゲインステージ15の第2の入力15bは、入力アナログ信号 $V_i$ 及び変換アナログ信号 $V_{A/D}$ のいずれか一方のアナログ信号、又は補正用の信号 $V_{c2}$ を受けるために設けられている。第1のサンプリングスイッチ17は、第1の入力15aと入力13との間に接続されており、また第1の期間 $T_1$ に入力アナログ信号 $V_i$ のサンプリングを行うために設けられている。第2のサンプリングスイッチ19は、第2の入力15bと入力13との間に接続されており、また第1の期間 $T_1$ に入力アナログ信号 $V_i$ のサンプリングを行うために設けられている。

#### 【0213】

フィードバックスイッチ23は、演算増幅回路21の出力21cと反転入力21aとの間に接続されており、クロック $\phi_1$ に 응답して第1の期間 $T_1$ に出力21cを反転入力21aに接続する。第1のキャパシタ25は、第1の入力15aに接続された一端25aと反転入力21aに接続された他端25bとを有する。第2のキャパシタ27は、第2の入力15bに接続された一端27aと反転入力21aに接続された他端27bとを有する。第1のスイッチ32は、キャパシタ端25aと出力21cとの間に接続されており、また第1の期間 $T_1$ と異なる第2の期間 $T_2$ にクロック $\phi_2$ に 응답して第1のキャパシタ25を出力21cと反転入力21aとの間に接続するために設けられている。ゲインステージ

15の出力15cは、出力21cに接続されている。非反転入力21bは、基準電位線（例えば、接地線39）に接続されている。一例では、各A/D変換ステージは、MDAC回路およびサブA/D変換回路からなる。

#### 【0214】

図22に示されるように、A/D変換ステージ12は、サブA/D変換回路41と、論理回路43と、D/A変換回路42とを備えることができる。サブA/D変換回路41は、入力13に接続されており、また入力アナログ信号 $V_i$ に応じてデジタル信号 $V_{DIG}$ を生成する。デジタル信号 $V_{DIG}$ は、所定の数の値を取り、例えば2値（「0」、「1」）または3値（「-1」、「0」、「+1」）を有することが好ましい。論理回路43は、サブA/D変換回路41に接続されており、またデジタル信号 $V_{DIG}$ に応じて制御信号 $V_{SWCNT0}$ を生成する。D/A変換回路42は、論理回路43に接続されており、変換アナログ信号 $V_{A/D}$ を提供するための出力45aを有する。変換アナログ信号 $V_{A/D}$ は、制御信号 $V_{SWCNT0}$ に応じて生成される。制御信号 $V_{SWCNT0}$ は、第2の期間 $T_2$ にゲインステージ15への変換アナログ信号 $V_{A/D}$ を生成するために用いられる。

10

#### 【0215】

A/D変換ステージ12は、第3及び第4の期間 $T_3$ 、 $T_4$ にキャパシタのミスマッチの影響を補正するための信号を生成する。第3の期間 $T_3$ はキャパシタミスマッチの補正用の信号を受けるための期間であり、第4の期間 $T_4$ はキャパシタミスマッチの補正用の信号を生成するための期間である。このための詳細な説明は、図25を参照しながら後ほど行われる。また、A/D変換ステージ12は、第5及び第6の期間 $T_5$ 、 $T_6$ に演算増幅回路の有限利得の影響を補正するための信号を生成する。第5の期間 $T_5$ は有限利得の影響の補正用の信号を受けるための期間であり、第6の期間 $T_6$ は有限利得の影響の補正用の信号を生成するための期間である。このための詳細な説明は、図26を参照しながら後ほど行われる。フィードバックスイッチ23は、第1の期間 $T_1$ に加えて、第3及び第5の期間 $T_3$ 、 $T_5$ にそれぞれクロック $C_{L3}$ および $C_{L5}$ にตอบสนองして反転入力21aを出力21cに接続する。第1のスイッチ32は、第2の期間 $T_2$ に加えて、それぞれクロック $C_{L4}$ 及び $C_{L6}$ にตอบสนองして第4及び第6の期間 $T_4$ 、 $T_6$ にキャパシタ端25aを出力21cに接続する。図22において、クロック信号 $C_{L3}$ は第3の期間 $T_3$ にアクティブになる。クロック信号 $C_{L4}$ は第4の期間 $T_4$ にアクティブになる。クロック信号 $C_{L5}$ は、第5の期間 $T_5$ にアクティブになる。クロック信号 $C_{L6}$ は第6の期間 $T_6$ にアクティブになる。

20

30

#### 【0216】

サブA/D変換回路41は、例えば1つのコンパレータを含むことができる。コンパレータは、入力アナログ信号を所定の基準信号と比較すると共に、比較結果を示す信号を提供する。この変換回路を用いて、1ビットのデジタル値が得られる。コンパレータの数を増やせば、1ビットを越えるビット数のデジタル信号が得られる。サブA/D変換回路41は、例えば2つのコンパレータを含むことができる。コンパレータは、入力アナログ信号を所定のそれぞれの基準信号 $V_{REF1}$ 、 $V_{REF2}$ と比較すると共に、図21に示されるように、比較結果信号 $D_0$ 、 $D_1$ を提供する。基準信号 $V_{REF1}$ は、図23に示されるように、例えば $-V_{ref}/4$ であることができ、また基準信号 $V_{REF2}$ は、例えば $+V_{ref}/4$ である。

40

入力アナログ信号 $V_i$ の範囲      デジタル信号

- (1)  $-V_{ref}/4 > V_i$ 、      -1 ( $D_1 = 0$ 、 $D_0 = 0$ )  
 (2)  $V_{ref}/4 > V_i > -V_{ref}/4$ 、      0 ( $D_1 = 0$ 、 $D_0 = 1$ )  
 (3)  $V_i > +V_{ref}/4$ 、      +1 ( $D_1 = 1$ 、 $D_0 = 1$ )

となる。サブA/D変換回路が入力アナログ信号を所定の2つの基準信号と比較することによって3値の冗長デジタル信号を生成できる。この変換回路によれば、入力アナログ信号を所定の2つの基準信号と比較するので、3値のデジタル信号が得られる。サブA/D変換回路41は、図23に示されるように、例えば第1の期間 $T_1$ 中に活性化される

50

ことが好ましい。

【0217】

通常のA/D変換中では、D/A変換器46は、制御信号 $D_0$ 、 $D_P$ 、 $D_N$ に応じた所定の電圧を第2の期間 $T_2$ にキャパシタ端27aに提供する。D/A変換回路42は第1及び第2の電圧源47、49を含む。第1の電圧源47は電圧 $V_{RP}$ (例えば $V_{ref}$ )を提供する。第2の電圧源49は電圧 $V_{RN}$ (例えば $-V_{ref}$ )を提供する。第1の電圧源47の出力47aは、第1のスイッチ59a及び出力45aを介して第2の入力15bに接続される。第1のスイッチ59aはクロック $D_P$ 、 $CL_5$ 、 $CL_6$ にตอบสนองして動作する。また、第2の電圧源49の出力49aは、第2のスイッチ59b及び出力45aを介して第2の入力15bに接続される。第2のスイッチ59bはクロック $D_N$ にตอบสนองして動作する。出力47aは第3のスイッチ59cを介して接地線に接続される。第3のスイッチ59cはクロック $D_{00}$ 、 $CL_3$ にตอบสนองして動作する。出力45bは、第4のスイッチ59dを介して第1の電圧源47の出力47bに接続される。スイッチ59dはクロック $CL_3$ 、 $CL_4$ 、 $CL_5$ にตอบสนองして動作する。図23に示されるように、論理回路53は第1～第3のスイッチ59a～59cをそれぞれ制御するための制御信号 $D_0$ 、 $D_P$ 、 $D_N$ を生成する。デジタル信号 $D_1$ 、 $D_0$ の値は制御信号 $D_0$ 、 $D_P$ 、 $D_N$ の内のいずれがアクティブになるかを示す。

10

【0218】

D/A変換回路42は、論理回路43からの制御信号にตอบสนองして、例えば図4に示されるように、

20

- (1) 条件 $(-V_{ref}/4 > V_i)$ を満たすとき $V_{A/D} = V_{ref}$ を提供する。
- (2) 条件 $(V_{ref}/4 > V_i > -V_{ref}/4)$ を満たすとき $V_{A/D} = 0$ を提供する。
- (3) 条件 $(V_i > +V_{ref}/4)$ を満たすとき $V_{A/D} = -V_{ref}$ を提供する。

【0219】

これらの3領域に対して3値のA/D変換を行って「-1」、「0」、「+1」のデジタルコードを割り当てる。最初のコードは最上位桁になる。図4に示された特性に従って下記の演算が行われる。

$$V_{OUT} = 2 \times V_{in} - D \times V_{ref}$$

すなわち、この演算は、上位桁から順にA/D変換し、ゲインステージの入力を2倍して、ゲインステージのA/D変換値によって、

30

- (1) 一定値 $V_{ref}$ の減算、
- (2) 一定値 $V_{ref}$ の加算、
- (3) ゼロを与える

のいずれかを行うことにより、ゲインステージの出力を必ず $-V_{ref} \sim +V_{ref}$ の範囲におさめる。

【0220】

このように3値でA/D変換を行うことによって、デジタル値には冗長性が生じる。この冗長性により、サブA/D回路内の比較器に対する精度要求が大きく緩和される一方で、高精度なA/D変換が可能となる。2進数の各桁は「0」と「1」の2値を取るが、ゲインステージ毎のデジタル信号は「-1」、「0」、「+1」の3値を取るので、ゲインステージあたり1.5ビットのA/D変換を行っていると考えられる。

40

【0221】

A/D変換ステージ12において、アナログ信号のA/D変換だけでなく、第3および第4の期間 $T_3$ 、 $T_4$ にキャパシタのミスマッチの影響を補正するための信号を生成すると共に、第5及び第6の期間 $T_5$ 、 $T_6$ に演算増幅回路の有限利得の影響を補正するための信号を生成する。キャパシタのミスマッチの補正及び有限利得の補正のためのD/A変換器42は、以下の動作を行う：

第2の期間 $T_2$ に制御信号 $V_{SWCONT0}$ に応じた所定の電圧をキャパシタ端25aに提供する。第3の期間 $T_3$ にキャパシタ端27aに基準電位線に接続する。第4～第6の

50

期間  $T_4 \sim T_6$  にキャパシタ端 27a に参照電圧  $V_R$  を提供する。第 5 及び第 3 の期間  $T_5$ 、 $T_3$  にキャパシタ端 25a に参照電圧  $V_R$  を提供する。

【0222】

また、A/D変換ステージ12においてアナログ信号のA/D変換だけでなく第3および第4の期間  $T_3$ 、 $T_4$  にキャパシタのミスマッチの影響を補正するための信号を生成するD/A変換器は、以下の動作を行う：

第2の期間  $T_2$  に制御信号  $V_{SWCNT0}$  に応じた所定の電圧を第2のキャパシタ27の一端27aに提供する。第3の期間  $T_3$  にキャパシタ端27aに基準電位線に接続する。第3の期間  $T_3$  にキャパシタ端25aに参照電圧  $V_R$  を提供する。第4の期間  $T_4$  にキャパシタ端27aに参照電圧  $V_R$  を提供する。

【0223】

さらに、A/D変換ステージ12においてアナログ信号のA/D変換だけでなく第5および第6の期間  $T_5$ 、 $T_6$  に演算増幅回路の有限利得の影響を補正するための信号を生成するD/A変換器は、以下の動作を行う：

第2の期間  $T_2$  に制御信号  $V_{SWCNT0}$  に応じた所定の電圧をキャパシタ端27aに提供する。第5及び第6の期間  $T_5$ 、 $T_6$  にキャパシタ端27aに参照信号  $V_R$  を提供する。第5の期間  $T_5$  にキャパシタ端25aに参照信号  $V_R$  を提供する。

【0224】

図24の(A)部および(B)部は、アナログ信号に対応したデジタル信号を生成するステップを示す図面である。A/D変換ステージの動作は、サンプリング操作Aと、変換操作Bとを含む。

・サンプリング操作A：

第1のキャパシタ25および第2のキャパシタ27に、入力アナログ信号  $V_i$  に応じた電荷  $Q_1 = C_1 \times V_i$ 、 $Q_2 = C_2 \times V_i$  を蓄積する。

・変換操作B：

第1のキャパシタ25を演算増幅回路21の出力21cと反転入力21aとの間に接続すると共に当該A/D変換ステージにおけるA/D変換結果を示すデジタル信号に応じた変換アナログ信号  $V_{A/D}$  をD/A変換器DACSWを用いてキャパシタ端27bに供給することによって、変換値  $V_{OUT}$  を出力21cに生成すると共に第1および第2のキャパシタ25、27の電荷を再配置する。第1のキャパシタ25の電荷は、 $C_1 \times V_{OUT}$  である。第2のキャパシタ27から第1のキャパシタ25に電荷  $Q = C_2 \times V_i - D \times V_{ref} \times C_2$  が移動して、第1のキャパシタ25に蓄積された電荷は電荷保存則により  $C_1 \times V_i + Q$  である。この電荷は  $C_1 \times V_{OUT}$  に等しいので、 $V_{OUT} = (1 + C_2 / C_1) \times V_i - D \times V_{ref} \times C_2 / C_1$  である。

【0225】

図24において示された手順は、全差動回路における一方の入力アナログ信号のためのステップを記述しており、これ故に、2つのステップは、シングルエンド回路だけでなく、全差動回路にも適用されることが理解される。つまり、図22において示されたゲインステージ15は、シングルエンド回路の構造を有するけれども、本実施の形態に、全差動構造を有するゲインステージを使用できる。

【0226】

図25の(A)部および(B)部は、アナログ信号に対応したデジタル信号を生成するためのA/D変換ステージにおける変換誤差(キャパシタのミスマッチの影響)を示す信号を生成するステップを示す。

・第1のミスマッチ補正操作M1：

演算増幅回路21の出力21cと反転入力21aとを接続すると共にキャパシタ他端27bを、例えば接地線39に接続し、キャパシタ端25bに参照電圧  $V_R$  を加えることによって、出力21cに第1の変換値  $V_{OUT1}$  を生成すると共に第1及び第2のキャパシタ25、27に電荷を配置する。第2のキャパシタ27の蓄積電荷はゼロである。第1のキャパシタ25の蓄積電荷は  $V_R \times C_1$  である。

10

20

30

40

50

・第2のミスマッチ補正操作M2:

演算増幅回路21の出力21cと反転入力21aとの間に第1のキャパシタ25を接続すると共に、キャパシタ端27bに参照電圧 $V_R$ を加えることによって、出力21cに第2の変換値 $V_{OUT2}$ を生成すると共に第1及び第2のキャパシタ25、27に電荷を再配置する。第2のキャパシタから第1のキャパシタ25への移動電荷は $Q_1 = -V_R \times C_2$ であり、電荷保存則により、第1のキャパシタ25の蓄積電荷は $C_1 \times V_{OUT2}$ である。したがって、

$$V_{OUT2} = (1 - C_2 / C_1) \times V_R = m \times V_R$$

である。ここで、 $m = C_2 / C_1$ である。(  $C_2 = C_2 - C_1$  )

これらの2つのステップM1、M2によって生成される第2の変換値 $V_{OUT2}$ には、第1および第2のキャパシタ25、27のミスマッチに起因する誤差 $m$ が含まれており、この誤差 $m$ は、第2の変換値 $V_{OUT2}$ により直接に提供される。

【0227】

図26の(A)部および(B)部は、アナログ信号に対応したデジタル信号を生成するためのA/D変換ステージにおける変換誤差(演算増幅回路の有限利得の影響)を示す信号を生成する。

・第1の有限利得補正操作G1:

キャパシタ端25b、27bに参照電圧 $V_R$ を加えると共に演算増幅回路21の出力21cと反転入力21cとを接続することによって、出力21cに第1の変換値 $V_{OUT1}$ を生成すると共に第1及び第2のキャパシタ25、27に電荷を配置する。第1及び第2のキャパシタ25、27の蓄積電荷は、それぞれ、 $V_R \times C_1$ および $V_R \times C_2$ で表される。演算増幅回路21の利得Aが有限値であるので、反転入力21aと非反転入力21bとの間の電位差 $V$ はゼロではなく、演算増幅回路21の入力キャパシタ $C_i$ の影響が無視できない。このため、入力キャパシタには電荷 $C_i \times V$ が充電される。

・第2の有限利得補正操作G2:

演算増幅回路21の出力21cと反転入力21aとの間に第1のキャパシタ25を接続すると共に、キャパシタ端27bに参照電圧 $V_R$ を加えることによって、出力21cに第2の変換値 $V_{OUT2}$ を生成すると共に第1及び第2のキャパシタ25、27に電荷を再配置する。演算増幅回路21の利得Aが有限値であるので、 $V_{OUT2} = -A \times V$ という関係にある。

反転入力21aのノードにおいて電荷保存則を適用すると、

$$V_{OUT2} = -1 / (1 + (C_1 + C_2 + C_i) / (C_2 \times A)) \times V_R$$

となる。利得が大きいので、この式を一次項まで展開して

$$= - (1 - (C_1 + C_2 + C_i) / (C_2 \times A)) \times V_R$$

$$= - (1 - g) \times V_R$$

となる。これら2つのステップG1、G2により生成される第2の変換値 $V_{OUT2}$ には、変換増幅器21の有限利得Aに起因する誤差 $g$ が含まれており、この誤差 $g$ は、第2の変換値を示す電圧と参照電圧 $V_R$ との差として近似的に表される。

【0228】

A/D変換ステージが、キャパシタのミスマッチおよび有限利得の両方に起因する誤差を含むとき、このA/D変換ステージの変換値は近似的に

$$V_{OUT} = (C_1 + C_2) / C_2 \times (1 - (C_1 + C_2 + C_i) / (C_2 \times A)) \times V_i - C_1 / C_2 \times (1 - (C_1 + C_2 + C_i) / (C_2 \times A)) \times V_R \times D$$

と表される。

【0229】

あるA/D変換ステージにおいて、その理想値に対する誤差 $e$ は、

$$e = (m - 2 \times g) \times V_i - (m - g) \times V_R \times D$$

と表される。この誤差値はデジタル値として提供される。誤差値を全ステージ、あるいは必要なステージにおいて求める。このデジタル値の誤差補正値を出力から差し引けば誤差の補正が行える。この演算のための回路は、図28を参照しながら後ほど説明される。

10

20

30

40

50

## 【0230】

再び図21を参照すると、アナログデジタル変換器11bはS/H回路117を含んでいる。図8はS/H回路の一例を示す回路図である。図27は、図8に示されたS/H回路のためのタイミングチャートを示す。S/H回路117は、入力アナログ信号 $A_{in}$ を受け取る入力91aと、アナログ入力109にアナログ信号 $V_i$ を提供する出力91bとを有する。S/H回路117は、演算増幅回路92と帰還スイッチ93とを含む。帰還スイッチ93aは、反転入力92aと非反転出力92bとの間に接続される。帰還スイッチ93aを用いて、演算増幅回路92のオフセット量に対応する信号を生成できる。S/H回路117では、キャパシタ $C_{S1}$ は、スイッチ94aを介してサンプル入力91aに接続されると共に、サンプル入力91aと反転入力92aとの間に接続される。キャパシタ $C_{S2}$ は、非反転出力92bと反転入力92aとの間に接続される。第1のスイッチ94aは、サンプリングのための期間に閉じられると共に、A/D変換のための期間に開かれる。シングルエンド型のS/H回路では、非反転入力92aが接地される。

10

## 【0231】

帰還スイッチ93aは、第1および第2のサンプリング期間のいずれか一方の全期間中に開かれる。この期間に、入力アナログ信号 $A_{in}$ が第1および第2の標本アナログ信号のいずれか一方として生成される。この信号は、A/D変換の対象となるアナログ信号としてA/D変換ステージに提供できる。

## 【0232】

全差動構成のS/H回路117では、帰還スイッチ93bとを含むことができる。帰還スイッチ93bは、演算増幅回路92の非反転入力92cと反転出力92dとの間に接続されている。帰還スイッチ93a、93bを用いて、演算増幅回路92のオフセット量に対応する信号を生成できる。S/H回路117では、キャパシタ $C_{S3}$ は、第1のスイッチ94bを介してサンプル入力91cに接続されると共に、サンプル入力91cと非反転入力92cとの間に接続されている。キャパシタ $C_{S4}$ は、非反転入力92cと反転出力92dとの間に接続されている。スイッチ94bは、サンプリング期間に閉じられると共に、A/D変換のための期間に開かれる。キャパシタ $C_{S1}$ の一端とキャパシタ $C_{S3}$ の一端との間には、スイッチ94cが接続されている。サンプル入力91aおよびサンプル入力91cには、それぞれ、キャパシタ $C_{i1}$ および $C_{i2}$ が接続されている。

20

## 【0233】

また、帰還スイッチ93aは、第1及び第2のサンプリング期間のいずれか他方の期間の一部において閉じられ、第1及び第2の標本アナログ信号のいずれか他方は、サンプル/ホールド回路117の帰還スイッチ93a、93bが開かれた後に保持される。このように帰還スイッチ93a、93bを操作すると、演算増幅回路92のオフセット量を含む信号をA/D変換ステージに提供できる。

30

## 【0234】

例えば、図27に示されるように、入力91aに受けた信号 $A_{in}$ が最初のサンプリング期間 $T_{S1}$ に保持される。S/H回路の出力は以下のように表される。

$$V_{SHO1} = V_{OP} - V_{ON} = (A_{IN} - A_{ref}) \times C_{S1} / C_{S2} + V_{OFFSET} + V_{CI}$$

40

## 【0235】

次のサンプリング期間 $T_{S2}$ の前半ではクロック信号 $s_2$ に応答してスイッチ93a、93bを閉じると共に、サンプリング期間 $T_{S2}$ の後にS/H回路は、このとき、出力 $V_{SHO2}$ を提供する。出力値 $V_{SHO2}$ には、S/H回路に入力されたアナログ信号を含まない。これ故に、出力値 $V_{SHO2}$ には、演算増幅回路92のオフセットに関連する量 $V_{OFFSET}$ と、スイッチ93aの開閉の際のノイズ $V_{CI}$ （例えば、スイッチ93aがMOSアナログスイッチの場合には、MOSアナログスイッチが開くとき、チャネル電荷によりノイズが発生する）と、その他のノイズとが含まれる。

$$V_{SHO2} = V_{OP} - V_{ON} = V_{OFFSET} + V_{CI}$$

と表される。これらの信号、出力値 $V_{SHO1}$ 、 $V_{SHO2}$ は、図21に示される信号「

50

S」および「R」として利用される。信号「S」および「R」がA/D変換されると、それぞれの変換値D<sub>S</sub>、D<sub>R</sub>は、次のように表される。

$$D_S = D((A_{IN} - A_{ref}) \times C_{S1} / C_{S2} + V_{OFFSET} + V_{CI})$$

$$= D((A_{IN} - A_{ref}) \times C_{S1} / C_{S2}) + D(V_{OFFSET}) + D(V_{CI})$$

$$D_R = D(V_{OFFSET} + V_{CI}) = D(V_{OFFSET}) + D(V_{CI})$$

「D」は、A/D変換を施すことを示す演算子である。

【0236】

図28は、上記のように生成された補正用信号を用いて補正を行うことが可能なアナログデジタル変換器を示すブロック図である。デジタル誤差補正回路116は、第1～第4の記憶回路123、125、127、129と、第1の回路131と、第2の回路133と、補正回路136とを含む。第1～第4の記憶回路123、125、127、129は、第1～第4のA/D変換ステージ151、153、155、017からのデジタル信号からなる第1のデータ群(DA1～DA13)及び第2のデータ群(DB1～DB13)を格納する。第1のデータ群(DA1～DA13)及び第2のデータ群(DB1～DB13)は、それぞれ、第1および第2のサンプル信号S、Rにそれぞれ対応している。第1の回路131は、第1～第4の記憶回路123、125、127、129に接続されており、第1のデータ群(DA1～DA13)のデジタル信号を用いて第1の標本アナログ信号Sに対応する第1のデジタルコードD<sub>S</sub>を生成する。第2の回路133は、第1～第4の記憶回路123、125、127、129に接続されており、第2のデータ群(DB1～DB13)のデジタル信号を用いて第2の標本アナログ信号Rに対応する第2のデジタルコードD<sub>R</sub>を生成する。

10

20

【0237】

補正值生成回路136では、第2の回路133からのキャパシタ誤差信号M<sub>1</sub>～M<sub>4</sub>は、冗長-非冗長表現変換回路137を介してキャパシタ誤差用レジスタ139a～139dに格納される。第2の回路133からのゲイン誤差信号G<sub>1</sub>～G<sub>4</sub>は、冗長-非冗長表現変換回路137を介してゲイン誤差用レジスタ141a～141dに格納される。第2の回路133からのオフセット誤差信号OSは、冗長-非冗長表現変換回路137を介してオフセット誤差用レジスタ143に格納される。第1の回路131は、冗長-非冗長表現変換回路147を介して補正值演算回路145および加算回路149に接続される。また、補正值演算回路145は、キャパシタ誤差用レジスタ139a～139d、ゲイン誤差用レジスタ141a～141d及びオフセット誤差用レジスタ143からの信号を用いて、最上位桁からM桁目まで補正するための信号Eを生成する。また、加算回路149は、補正值演算回路145からの信号Eおよび非冗長表現のデジタル信号V<sub>NOCORRECT</sub>を受けて、誤差補正されたA/D変換デジタルコードVDIGITALを提供する。デジタルコードVDIGITALからは、S/H回路117のオフセット誤差及びチャージインжекション誤差、並びにA/D変換ステージにおけるキャパシタミスマッチ誤差及びゲイン誤差が除かれており、所望の精度のA/D変換値が提供される。

30

【0238】

図29、図30、図31は、A/D変換ステージにおけるキャパシタのミスマッチを補正する補正值を生成するためのシーケンスを示す図面である。図29～図31を参照すると、ステップS1～S48が示される。図29には、ステップS1～S15が示される。

- ・ステップS1：A/D変換ステージ151に第1の標本アナログ信号Sを受けて、第1の標本アナログ信号Sにサンプリング操作Aを施す。A/D変換ステージ151はデジタル信号a11を生成する。
- ・ステップS2：A/D変換ステージ151においてサンプリングされたアナログ信号に変換操作Bを施して第1の変換結果を生成し、この第1の変換結果に対応するアナログ信号にA/D変換ステージ153においてサンプリング操作Aを施す。A/D変換ステージ151はデジタル信号a12を生成する。
- ・ステップS3：A/D変換ステージ151に第2の標本アナログ信号Rを受けて、第2の標本アナログ信号Rにサンプリング操作Aを施すと共に、A/D変換ステージ153に

40

50



においてサンプリングされたアナログ信号に変換操作 B を施して第 2 の変換結果を生成し、この第 2 の変換結果に対応するアナログ信号に A / D 変換ステージ 1 5 5 においてサンプリング操作 A を施す。A / D 変換ステージ 1 5 3 はデジタル信号 b 1 1 を生成する。A / D 変換ステージ 1 5 1 はデジタル信号 a 1 3 を生成する。

これらのステップにより、第 1 および第 2 の標本アナログ信号 S、R が A / D 変換ステージに取り込まれた。これら 2 つの標本アナログ信号を順に A / D 変換ステージ 1 5 1 に提供することによって、引き続いて説明されるように、4 つの A / D 変換ステージのいずれもがサンプリング操作 A および変換操作 B のいずれかを行う手順につなげることができる。

#### 【 0 2 3 9 】

10

・ステップ S 4 : A / D 変換ステージ 1 5 1 においてサンプリングされたアナログ信号 R に変換操作 B を施して第 3 の変換結果を生成し第 3 の変換結果に対応するアナログ信号に A / D 変換ステージ 1 5 3 においてサンプリング操作 A を施すと共に、A / D 変換ステージ 1 5 5 においてサンプリングされたアナログ信号に変換操作 B を施して第 4 の変換結果を生成し第 4 の変換結果に対応したアナログ信号に A / D 変換ステージ 1 5 7 においてサンプリング操作 A を施す。A / D 変換ステージ 1 5 3 はデジタル信号 b 1 2 を生成する。A / D 変換ステージ 1 5 7 はデジタル信号 a 1 4 を生成する。

・ステップ S 5 : A / D 変換ステージ 1 5 7 においてサンプリングされたアナログ信号に変換操作 B を施して第 5 の変換結果を生成し第 5 の変換結果に対応するアナログ信号に A / D 変換ステージ 1 5 1 においてサンプリング操作 A を施すと共に、A / D 変換ステージ 1 5 3 においてサンプリングされたアナログ信号に変換操作 B を施して第 6 の変換結果を生成し第 6 の変換結果に対応するアナログ信号に A / D 変換ステージ 1 5 5 においてサンプリング操作 A を施す。A / D 変換ステージ 1 5 1 はデジタル信号 a 1 5 を生成する。A / D 変換ステージ 1 5 5 はデジタル信号 b 1 3 を生成する。

20

#### 【 0 2 4 0 】

これらのステップによれば、第 1 ~ 第 4 の A / D 変換ステージにいずれもサンプリング操作 A および変換操作 B のいずれかを行うので、第 1 ~ 第 4 の A / D 変換ステージの動作に無駄がない。また、2 つの信号が並列して A / D 変換される。

#### 【 0 2 4 1 】

図 2 9 に示されるように、ステップ S 4、S 5 と同様に、ステップ S 6 ~ S 1 0 行われる。ステップ S 1 ~ S 8 からデジタル信号 a 1 1 ~ a 1 8 が提供される。ステップ S 3 ~ S 1 0 からデジタル信号 b 1 1 ~ b 1 8 が提供される。デジタル信号 a 1 1 ~ a 1 8、b 1 1 ~ b 1 8 は、第 1 ~ 第 4 の A / D 変換ステージ内のサブ A / D 変換回路により生成される。これらのデジタル信号は、デジタル誤差補正回路 1 1 6 内の記憶素子 1 1 9、1 2 1 に格納される。

30

#### 【 0 2 4 2 】

S / H 回路による誤差の補正のためのシーケンスでは、ステップ S 1、S 3 では、標本アナログ信号 S、R が提供され、ステップ S 1 ~ S 1 0 において、A / D 変換ステージからデジタル信号 a 1 1 ~ a 1 8、b 1 1 ~ b 1 8 が生成される。標本アナログ信号 S、R が S / H 回路 1 1 7 から信号  $V_{SH01}$ 、 $V_{SH02}$  であれば、S / H 回路 1 1 7 のオフセット等の誤差を示すデジタル値が得られる。

40

#### 【 0 2 4 3 】

ステップ S 1 1、S 1 2 では、A / D 変換ステージ 1 5 1 において操作 M 1、M 2 が行われる。この結果、A / D 変換ステージ 1 5 1 の変換値はキャパシタミスマッチを示す信号が生成され、この信号が、手順  $S_{M1}$  によってデジタル値 m 1 1 ~ m 1 8 が生成される。デジタル値 m 1 1 ~ m 1 8 は、デジタル誤差補正回路 1 1 6 に提供され、A / D 変換値の誤差補正のための使用される。ステップ S 9 では、S / H 回路 1 1 7 から標本アナログ信号 S が第 1 の A / D 変換ステージ 1 5 1 に入力される。このアナログ信号の A / D 変換が手順  $S_{M1}$  と並列して行われて、デジタル値 1 a 2 1 ~ a 2 8 が生成される。

#### 【 0 2 4 4 】

50

ステップ S 2 0、S 2 1では、A / D変換ステージ 1 5 3において操作 M 1、M 2が行われる。この結果、A / D変換ステージ 1 5 3の変換値はキャパシタミスマッチを示す信号が生成され、この信号が、手順 S<sub>M 2</sub>によってデジタル値 m 2 1 ~ m 2 8が生成される。デジタル値 m 2 1 ~ m 2 8は、デジタル誤差補正回路 1 1 6に提供され、A / D変換値の誤差補正のための使用される。ステップ S 1 7では、S / H回路 1 1 7から標本アナログ信号 S が第 1の A / D変換ステージ 1 5 1に入力される。このアナログ信号の A / D変換が手順 S<sub>M 2</sub>と並列して行われて、デジタル値 a 3 1 ~ a 3 8が生成される。

【 0 2 4 5 】

ステップ S 2 9、S 3 0では、A / D変換ステージ 1 5 5において操作 M 1、M 2が行われる。この結果、A / D変換ステージ 1 5 5の変換値はキャパシタミスマッチを示す信号が生成され、この信号が、手順 S<sub>M 3</sub>によってデジタル値 m 3 1 ~ m 3 8が生成される。デジタル値 m 3 1 ~ m 3 8は、デジタル補佐補正回路 1 1 6に提供され、A / D変換値の誤差補正のための使用される。ステップ S 2 5では、S / H回路 1 1 7から標本アナログ信号 S が第 1の A / D変換ステージ 1 5 1に入力される。このアナログ信号の A / D変換が手順 S<sub>M 3</sub>と並列して行われて、デジタル値 a 4 1 ~ a 4 8が生成される。

10

【 0 2 4 6 】

ステップ S 3 8、S 3 9では A / D変換ステージ 1 5 7において操作 M 1、M 2が行われる。この結果、A / D変換ステージ 1 5 7の変換値はキャパシタミスマッチを示す信号が生成され、この信号が手順 S<sub>M 4</sub>によってデジタル値 m 4 1 ~ 4 8が生成される。デジタル値 m 4 1 ~ m 4 8は、デジタル補佐補正回路 1 1 6に提供され、A / D変換値の誤差補正のための使用される。ステップ S 3 3、S 4 1では S / H回路 1 1 7から標本アナログ信号 S が第 1の A / D変換ステージ 1 5 1に入力される。このアナログ信号の A / D変換が手順 S<sub>M 4</sub>と並列して行われて、デジタル値 5 1 a ~ a 5 8、6 1 a ~ a 6 8が生成される。

20

【 0 2 4 7 】

図 3 2、図 3 3、図 3 4は、A / D変換ステージにおける演算増幅回路の有限利得誤差を補正するための補正值を生成するためのシーケンスを示す図面である。図 3 2 ~ 図 3 4を参照すると、ステップ S 1 ~ S 4 8が示される。これらのステップでは、図 2 9 ~ 図 3 1に示された操作 M 1、M 2に替えて操作 G 1、G 2が行われる。この結果、A / D変換ステージ 1 5 1、1 5 3、1 5 5、1 5 7の変換値は演算増幅回路の有限利得の影響を示す信号が生成され、この信号が、手順 S<sub>G 1</sub> ~ S<sub>G 4</sub>によってデジタル値 g 1 1 ~ g 1 8、g 2 1 ~ g 2 8、g 3 1 ~ g 3 8、g 4 1 ~ g 4 8が生成される。これらのデジタル値は、デジタル誤差補正回路 1 1 6に提供され、A / D変換値の誤差補正のための使用される。

30

【 0 2 4 8 】

図 3 5に示されるように、図 2 9 ~ 図 3 1 (及び / 又は図 3 2 ~ 図 3 4)に記載されている誤差測定シーケンスの少なくともいずれか一つにより手順が、必要に応じて、アナログデジタル変換器 1 1 bに起因する誤差補正のために行われる。このシーケンスが終了したら、必要な場合に、同一或いは別のシーケンスを繰り返すことができる。これらの手順により得られた誤差の補正值は、デジタル誤差補正に利用するために、図 2 8に示される記憶回路 (例えば、レジスタ 1 3 9 a ~ 1 3 9 d、1 4 1 a ~ 1 4 1 d、1 4 3)に格納される。例えば、以下のような演算を行う。図 3 5に示される演算式は、A / D変換値 X、S / H回路のオフセットのデジタル値 OS、並びに第 iの A / D変換ステージにおけるキャパシタミスマッチ誤差 M<sub>i</sub>および利得誤差 G<sub>i</sub>を用いて、デジタル値の誤差を表す。この演算式において、シンボル Xは A / D変換値を示し、“OS”は、測定した S / H段のオフセットのデジタル値を示し、“M<sub>i</sub>”は、キャパシタミスマッチ誤差を示し、“G<sub>i</sub>”はゲイン誤差を示し、 $k = i \text{ mod } 4$ である。該演算式においてシンボル Mは、デジタル値の最上位桁から M桁目までを補正することを示す。また、シンボル Nは、デジタル補正に利用する A / D変換値の桁数を示しており、A / D変換出力の最上位桁から数えて N桁目まで値を用いることを意味する。なお、冗長表現を用いる場合

40

50

は、A/D変換値の冗長表現のままの値を用いる。シンボル $D_i$ はA/D変換出力(冗長コード)の $i$ 桁目の値を示し、冗長表現を用いる場合、 $-1$ 、 $0$ 、 $+1$ の三値を取ることができる。巡回型A/D変換器では、各A/D変換ステージで入力信号が2倍に演算されるので、演算の回数が多くなるにつれて、誤差の影響は緩和される。このため、 $M$ 桁目は、補正の対象であるキャパシタミスマッチや有限ゲイン等による誤差の大きさに応じて決定される。

**【0249】**

本発明の実施の形態において、例えば、シングルエンド回路を用いて構成された回路に全差動構成の回路を用いることができる。また、全差動構成の回路を用いて構成された回路にシングルエンド回路を使用できる。

10

**【0250】**

第4の実施の形態に係る背景技術について説明する。非特許文献6には、バックグラウンドキャリブレーションが記載されている。特許文献3および4には、巡回型アナログデジタル変換器が記載されている。巡回型アナログデジタル変換器の入力には、サンプル/ホールド(S/H)回路が設けられている。巡回型アナログデジタル変換器では、直列に接続された2段の回路ブロックを含む。特許文献5には、容量のデジタル補正について記載されており、

**【0251】**

巡回型アナログデジタル変換器における各回路ブロックは、MDAC回路およびサブA/D変換回路を含む。一段目の回路ブロックの入力は、S/H回路の出力にスイッチを介して接続されている。二段目の回路ブロックの出力は、スイッチを介して一段目の回路ブロックの入力に接続されている。サブA/D変換回路は、その出力に対して、 $(0, 1)$ の2値のA/D変換結果または $(-1, 0, +1)$ の3値のA/D変換結果(デジタル値)を生成する。MDAC回路は、入力信号を2倍に増幅すると共に、デジタル値に対応する参照電圧の「加算」、「減算」および「演算無し」のいずれかを行う。この動作は、各回路ブロックにおいて順次に行われ、各回路ブロックからの出力値は、ループ内の次の段の回路ブロックに順に提供される。この動作はクロックで制御される。

20

**【0252】**

この巡回型アナログデジタル変換器では、S/H回路から受け取ったアナログ信号を各回路ブロックにおいて2値のA/D変換を行う場合には、各回路ブロック毎に1ビットのデジタル信号が得られる。また、各回路ブロックにおいて3値のA/D変換を行う場合は、各回路ブロック毎に1.5ビットのデジタル信号が得られる。2段の回路ブロックを用いて $N$ クロック分の巡回動作を行うと、それぞれ、 $2N$ ビット(2値A/D変換)及び $2N+1$ ビット(3値A/D変換)のA/D変換が行える。例えば、一段当たり1ビットのA/D変換を行うと、6.5クロック分の巡回動作により、13ビットのA/D変換を行うことができる。また、一段当たり1.5ビットのA/D変換を行うと、6.5クロック分の巡回動作により、14ビットのA/D変換を行うことができる。

30

**【0253】**

非特許文献3~5および特許文献3~4に記載された巡回型A/D変換器では、そのオフセット電圧及びその変動、さらにはアンプの有限利得についての対策は採られておらず、一般的な用途では問題がないものの、非常に安定した動作および高精度化が必要とされる用途では課題となっている。

40

**【0254】**

また、特許文献5には、容量のデジタル補正について記載されており、この方式では、A/D変換を行う前にデジタル補正値を求める処理を行う。非特許文献6に記載されたバックグラウンドキャリブレーションでは、擬似乱数を用いてデジタル領域で誤差補正を行うものであり、回路構成が複雑になる。

**【0255】**

一方、第4の実施の形態によれば、回路素子に関連する誤差の補正を簡易な構成で提供できるA/D変換ステージが提供される。また、第4の実施の形態によれば、このA/D

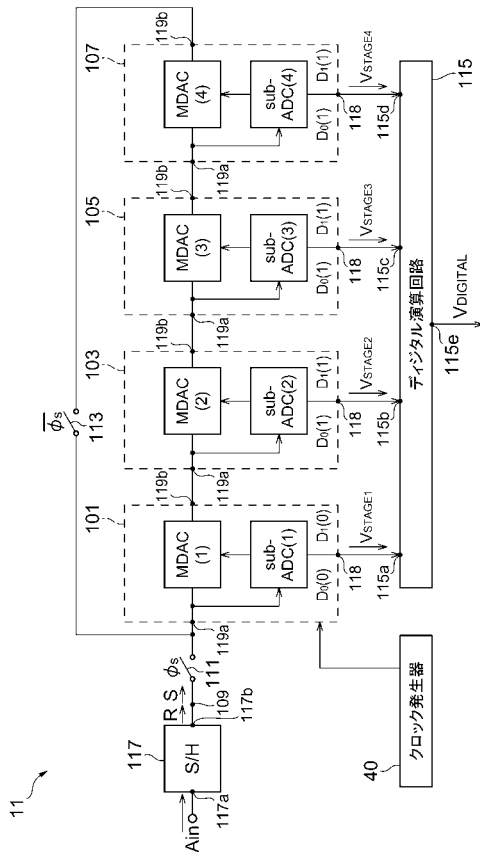
50

変換ステージを含むアナログデジタル変換器が提供される。さらに、第4の実施の形態によれば、A/D変換ステージにおける変換誤差を示す信号を生成する方法、およびアナログ信号に対応したデジタル信号を生成する方法が提供される。

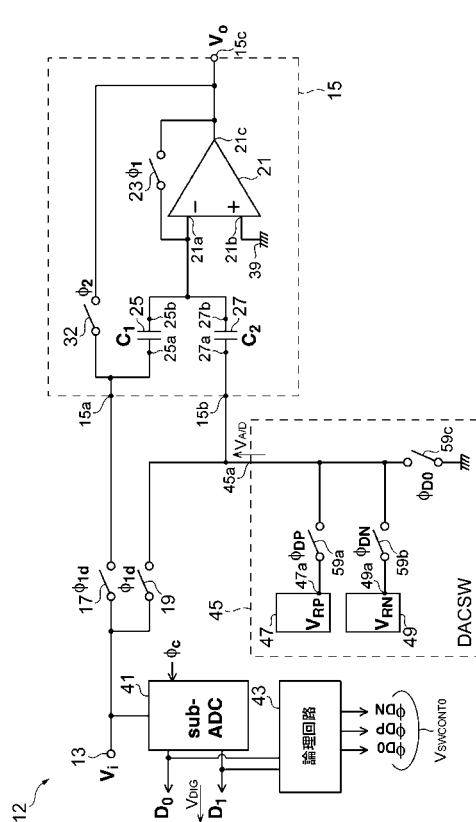
【0256】

好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更に権利を請求する。

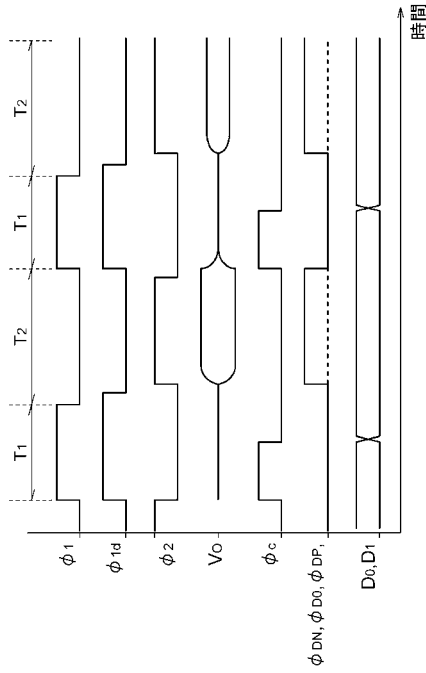
【図1】



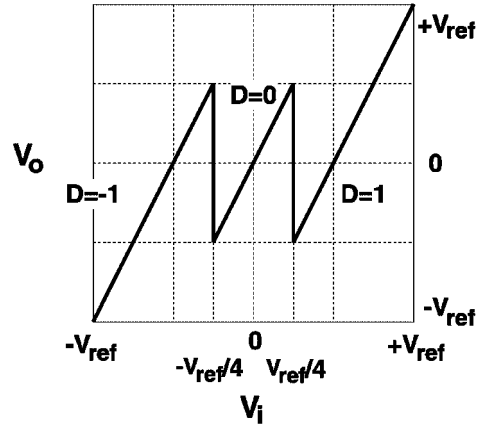
【図2】



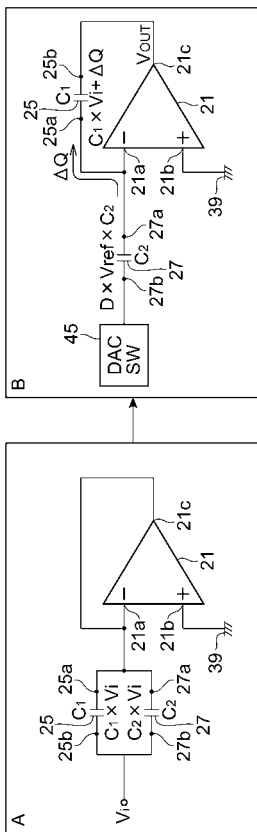
【 図 3 】



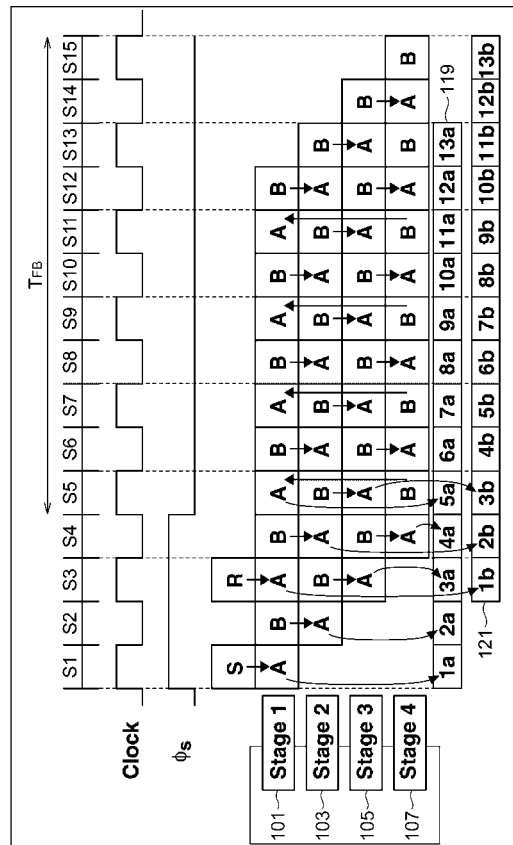
【 図 4 】



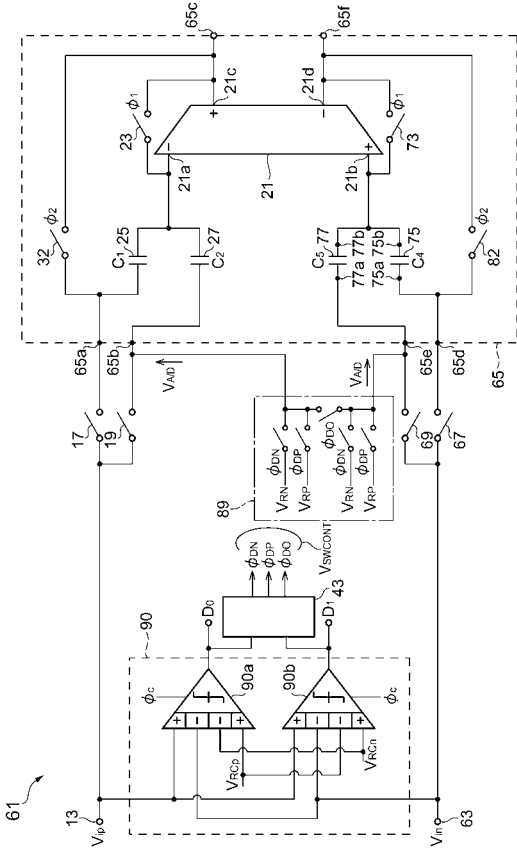
【 図 5 】



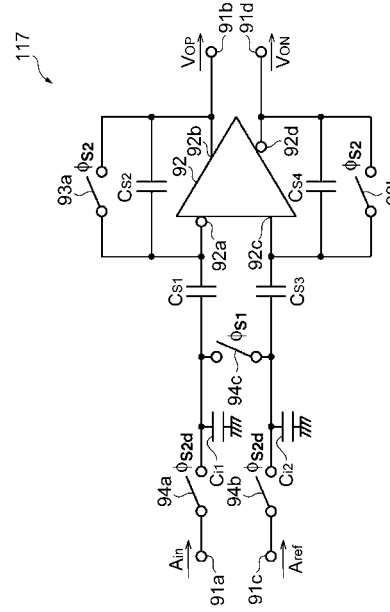
【 図 6 】



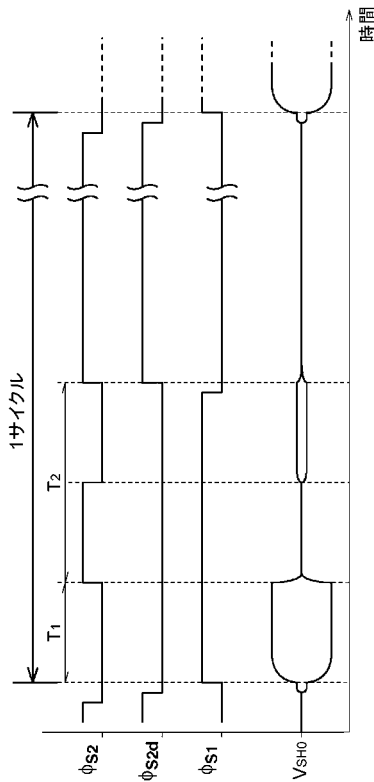
【 図 7 】



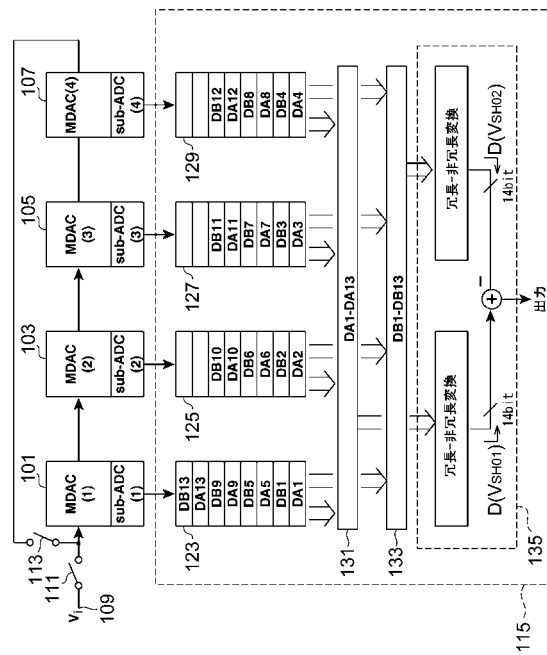
【 図 8 】



【 図 9 】



【 図 10 】

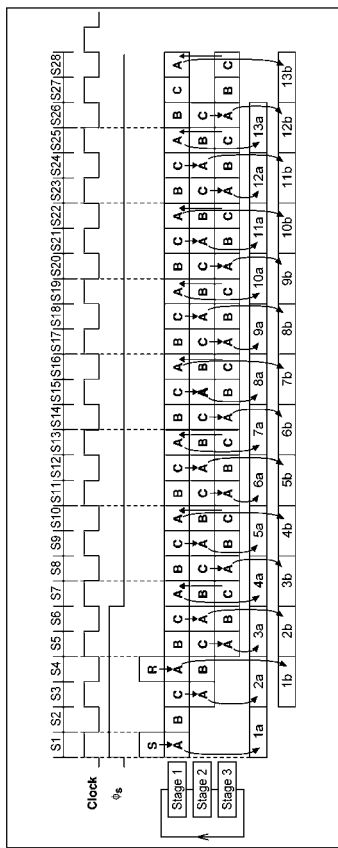




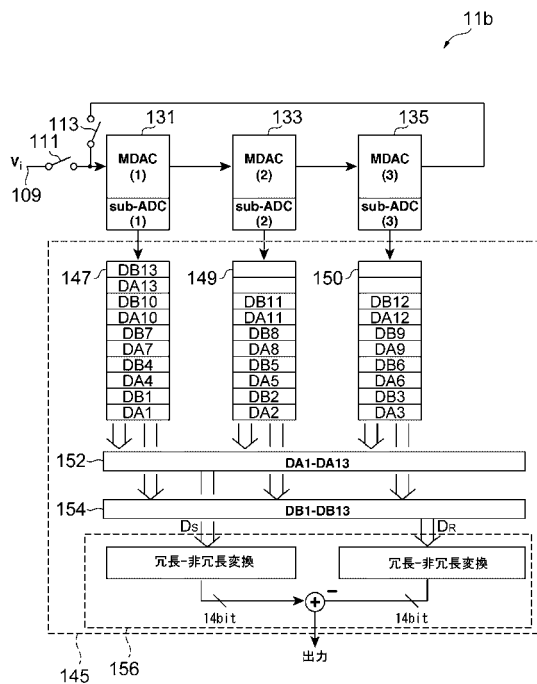




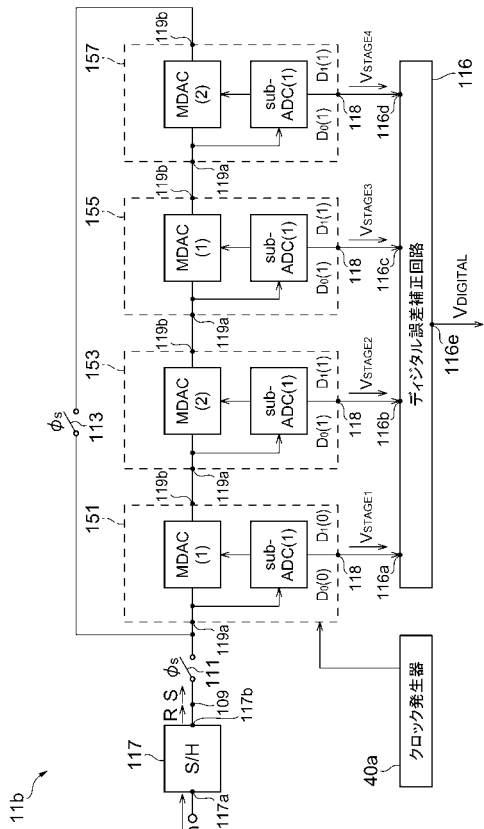
【図 19】



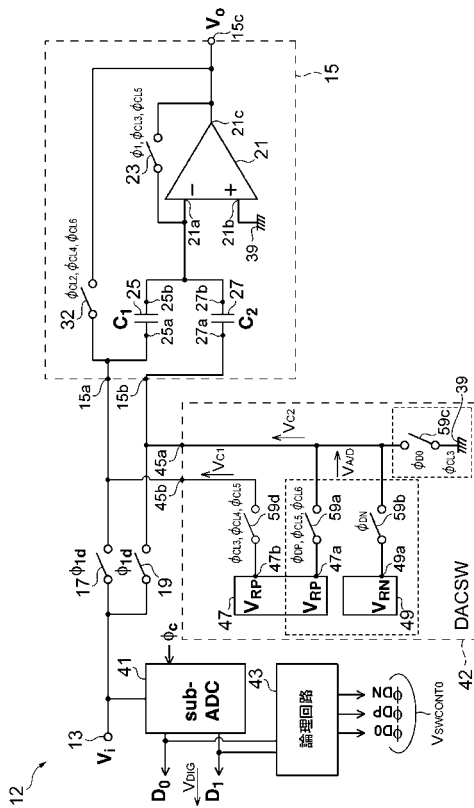
【図 20】



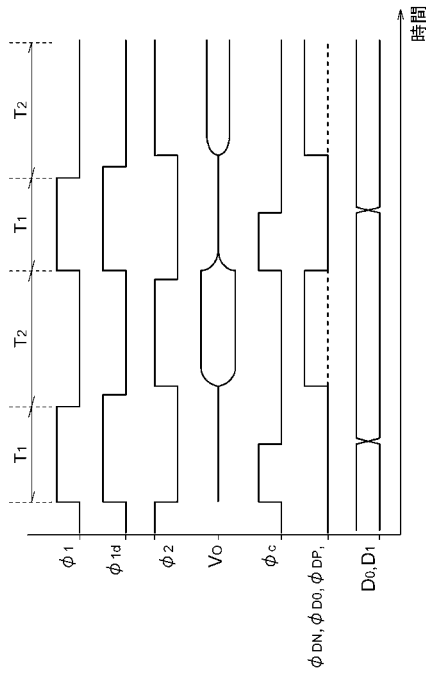
【図 21】



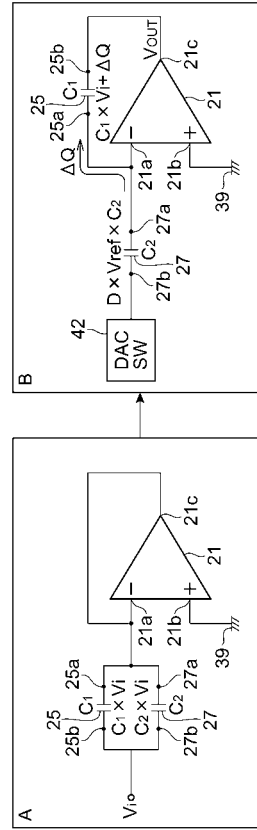
【図 22】



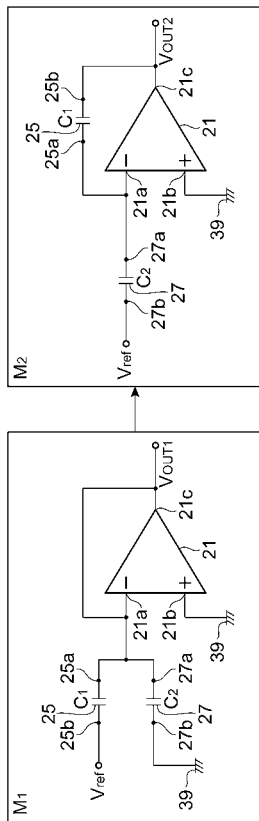
【 図 2 3 】



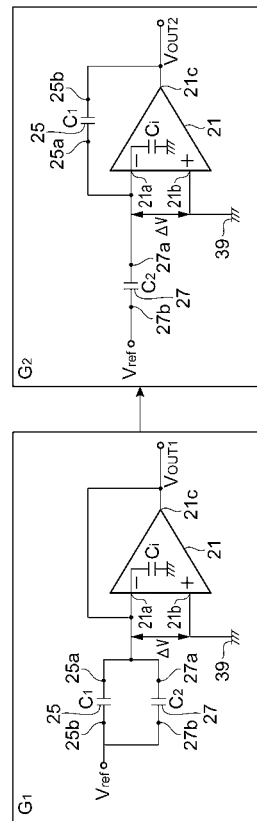
【 図 2 4 】



【 図 2 5 】

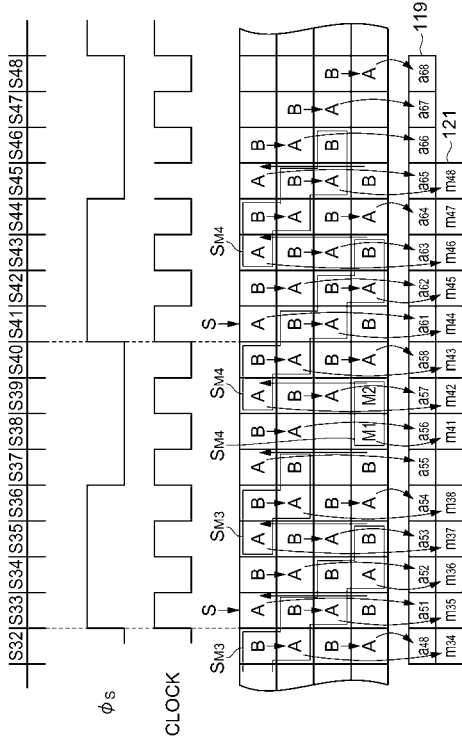


【 図 2 6 】

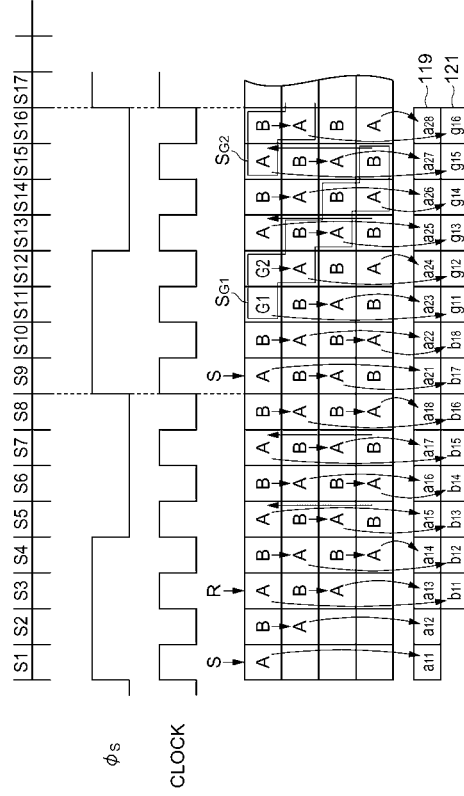




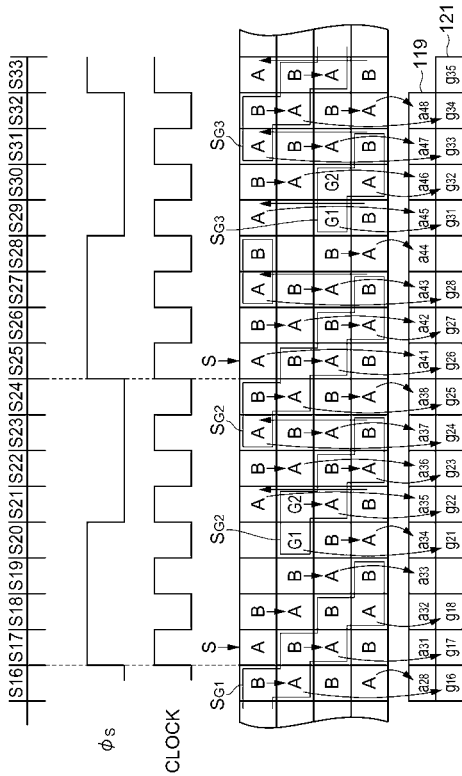
【 3 1 】



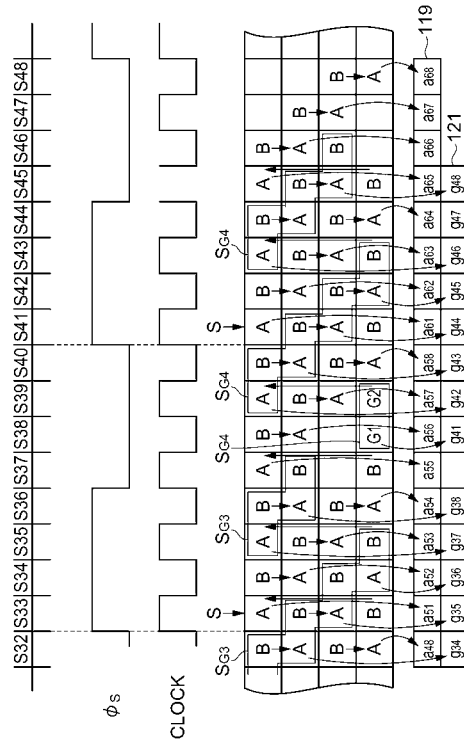
【 3 2 】



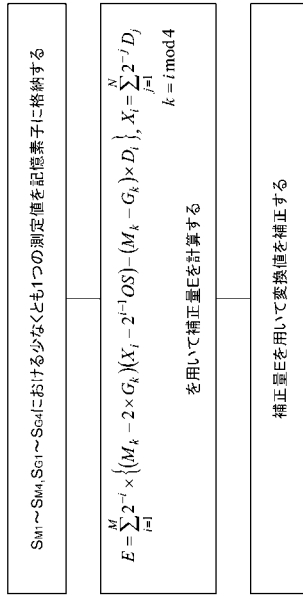
【 3 3 】



【 3 4 】



## 【 図 3 5 】



## 【 国際調査報告 】

<b>INTERNATIONAL SEARCH REPORT</b>		International application No. PCT/JP2007/061635
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H03M1/14(2006.01)i, H03M1/74(2006.01)i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H03M1/00-1/88  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) INSPEC (DIALOG), IEEE		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Tsukamoto, K.; Miyata, T.; Takagi, T.;, "A pipelined charge-balancing A/D converter", Instrumentation and Measurement Technology Conference, 1993. IMTC/93. Conference Record., IEEE, 1993, Pages:217-220, Fig2, page 218, left column, lines 6 to 25	1-44
A	Mase, M.; Kawahito, S.; Sasaki, M.; Wakamori, Y.;, "A 19.5b dynamic range CMOS image sensor with 12b column-parallel cyclic A/D converters", Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International, 2005, Pages:350,351,603, Vol. 1, Figs. 19.3.2, 19.3.3	1-44
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 September, 2007 (03.09.07)		Date of mailing of the international search report 11 September, 2007 (11.09.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2007/061635

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet.

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**  
the

- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2007/061635

Continuation of Box No.III of continuation of first sheet(2)

The technical feature common to the inventions of claims 1-44 relates to "an AD conversion stage". However, this configuration is not novel for those skilled in the art and cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

Accordingly, there exists not technical feature common to the inventions of all the claims.

Since there exists no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 between the different inventions can be seen.

Consequently, it is obvious that the inventions of claims 1-44 do not satisfy the requirement of unity of invention.

The inventions can be divided into the following four groups while taking consideration so as to increase the number of claims in the first group of inventions.

First group of inventions: a portion that N = 4 in C1-C23, C28-34, C40-44 → invention of 4-stage architecture

Second group of inventions: a portion that N = 3 in C1-23, C35-38 → invention of 3-stage architecture

Third group of inventions: C24-26, C39 → invention of AD conversion stage based on the fourth embodiment and capable of coping with the two problems: capacitor mismatch and limited gain

Fourth group of inventions: C27 → invention of AD conversion stage based on the second embodiment and capable of coping with capacitor mismatch



国際調査報告		国際出願番号 PCT/JP2007/061635									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/14(2006.01)i, H03M1/74(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/00-1/88											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2007年										
日本国実用新案登録公報	1996-2007年										
日本国登録実用新案公報	1994-2007年										
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語) INSPEC (DIALOG), IEEE											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	Tsukamoto, K.; Miyata, T.; Takagi, T.;, "A pipelined charge-balancing A/D converter", Instrumentation and Measurement Technology Conference, 1993. IMTC/93. Conference Record., IEEE, 1993, Pages:217-220, Fig2 及び第 218 頁左欄第 6-25 行参照	1-44									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 03.09.2007		国際調査報告の発送日 11.09.2007									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 柳下 勝幸	5X 9561								
		電話番号 03-3581-1101 内線 3596									

様式PCT/ISA/210 (第2ページ) (2005年4月)

国際調査報告		国際出願番号 PCT/JP2007/061635
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	Mase, M.; Kawahito, S.; Sasaki, M.; Wakamori, Y.;, "A 19.5b dynamic range CMOS image sensor with 12b column-parallel cyclic A/D converters", Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International, 2005, Pages:350, 351, 603, Vol. 1, 第 19.3.2 図及び第 19.3.3 図参照	1-44

国際調査報告

国際出願番号 PCT/JP2007/061635

## 第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査することを要しない対象に係るものである。つまり、
2.  請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3.  請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。  
特別ページ参照。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付を伴う異議申立てがなかった。

様式PCT/ISA/210 (第1ページの続葉(2)) (2005年4月)

国際調査報告

国際出願番号 PCT/JP2007/061635

請求の範囲 1-44 に共通の事項は、「AD変換ステージ」である。しかしながら、上記の構成は、新規でないことが当業者にとって自明であると認められるから、PCT規則 13.2 第2文の意味において特別な技術的特徴ではない。

それ故、請求の範囲全てに共通の事項はない。

PCT規則 13.2 の第2文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT規則 13 の意味における技術的な関連を見いだすことができない。

よって、請求の範囲 1-44 は発明の単一性の要件を満たしていないことが明らかである。

発明の数の認定に関しては、第1発明グループにおいて請求の範囲の数が多くなるよう勘案した結果、以下に示すように4発明の存在を認める。

第1発明グループ：C1-C23のN=4の部分、C28-34、C40-44  
→4段アーキテクチャの発明

第2発明グループ：C1-23のN=3の部分、C35-38  
→3段アーキテクチャの発明

第3発明グループ：C24-26、C39  
→第4実施例に基づくものであり、キャパシタ mismatch 問題と有限利得問題という2つの問題に対処し得るAD変換ステージの発明

第4発明グループ：C27  
→第2実施例に基づくものであり、キャパシタ mismatch に対処可能なAD変換ステージの発明

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。