

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5454784号
(P5454784)

(45) 発行日 平成26年3月26日 (2014. 3. 26)

(24) 登録日 平成26年1月17日 (2014.1.17)

(51) Int.Cl.		F I		
G 1 1 C 13/00	(2006.01)	G 1 1 C 13/00	1 1 O P	
G 1 1 C 11/412	(2006.01)	G 1 1 C 11/40	3 O 1	
G 1 1 C 11/41	(2006.01)	G 1 1 C 11/40	A	

請求項の数 13 (全 25 頁)

<p>(21) 出願番号 特願2010-49389 (P2010-49389)</p> <p>(22) 出願日 平成22年3月5日 (2010.3.5)</p> <p>(65) 公開番号 特開2011-187109 (P2011-187109A)</p> <p>(43) 公開日 平成23年9月22日 (2011.9.22)</p> <p>審査請求日 平成25年1月23日 (2013.1.23)</p> <p>特許法第30条第1項適用 (発行所) 社団法人応用物理学会、(刊行物名) 2009年(平成21年)秋季第70回応用物理学会学術講演会講演予稿集 第0分冊、(発行日) 2009年9月8日、において発表</p>	<p>(73) 特許権者 504160781 国立大学法人金沢大学 石川県金沢市角間町ヌ7番地</p> <p>(74) 代理人 100109210 弁理士 新居 広守</p> <p>(72) 発明者 中山 和也 石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内</p> <p>(72) 発明者 北川 章夫 石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内</p> <p>審査官 滝谷 亮一</p>
---	--

最終頁に続く

(54) 【発明の名称】 不揮発性記憶素子及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルが配列された不揮発性記憶素子であって、
 前記複数のメモリセルのそれぞれは、
 第1端子と第2端子とを有するインバータ部と、
 前記第1端子と第1ビット線との間に配置され、前記第1端子と前記第1ビット線との導通及び非導通を切り替える第1選択スイッチング素子と、
 前記第2端子と第2ビット線との間に配置され、前記第2端子と前記第2ビット線との導通及び非導通を切り替える第2選択スイッチング素子と、
 一端が前記第1端子に接続された第1固定抵抗と、
 前記第1固定抵抗の他端と信号線との間に配置され、前記第1固定抵抗の他端と前記信号線との導通及び非導通を切り替える第1制御スイッチング素子と、
 一端が前記第2端子に接続され、前記第1固定抵抗より高抵抗又は低抵抗となることが可能な不揮発的可変抵抗と、
 前記可変抵抗の他端と前記信号線との間に配置され、前記可変抵抗の他端と前記信号線との導通及び非導通を切り替える第2制御スイッチング素子とを備え、
 前記第2制御スイッチング素子は、
 ゲートが第1制御線に接続され、ソース及びドレインの一方が前記可変抵抗の他端に接続され、ソース及びドレインの他方が前記信号線に接続されたnMOS (Metal Oxide Semiconductor) トランジスタと、

10

20

ゲートが第2制御線に接続され、ソース及びドレインの一方が前記可変抵抗の他端に接続され、ソース及びドレインの他方が前記信号線に接続されたpMOSトランジスタとを備え、

前記第1制御線と前記第2制御線とは、互いに異なる極性の電圧が印加される不揮発性記憶素子。

【請求項2】

複数のメモリセルが配列された不揮発性記憶素子であって、
 前記複数のメモリセルのそれぞれは、
 第1端子と第2端子とを有するインバータ部と、
 前記第1端子と第1ビット線との間に配置され、前記第1端子と前記第1ビット線との導通及び非導通を切り替える第1選択スイッチング素子と、
 前記第2端子と第2ビット線との間に配置され、前記第2端子と前記第2ビット線との導通及び非導通を切り替える第2選択スイッチング素子と、
 一端が前記第1端子に接続された第1固定抵抗と、
 前記第1固定抵抗の他端と信号線との間に配置され、前記第1固定抵抗の他端と前記信号線との導通及び非導通を切り替える第1制御スイッチング素子と、
 一端が前記第2端子に接続され、前記第1固定抵抗より高抵抗又は低抵抗となることが可能な不揮発の可変抵抗と、
 前記可変抵抗の他端と前記信号線との間に配置され、前記可変抵抗の他端と前記信号線との導通及び非導通を切り替える第2制御スイッチング素子とを備え、

前記複数のメモリセルのうち少なくとも1つのメモリセルは、さらに、
一端が前記第1固定抵抗に接続された第2固定抵抗と、
前記第2固定抵抗の他端と前記信号線との間に配置され、前記第2固定抵抗の他端と前記信号線との導通及び非導通を切り替える第3制御スイッチング素子とを備える
 不揮発性記憶素子。

【請求項3】

複数のメモリセルが配列された不揮発性記憶素子の制御方法であって、
 前記複数のメモリセルのそれぞれは、
 第1端子と第2端子とを有するインバータ部と、
 前記第1端子と第1ビット線との間に配置され、前記第1端子と前記第1ビット線との導通及び非導通を切り替える第1選択スイッチング素子と、
 前記第2端子と第2ビット線との間に配置され、前記第2端子と前記第2ビット線との導通及び非導通を切り替える第2選択スイッチング素子と、
 一端が前記第1端子に接続された第1固定抵抗と、
 前記第1固定抵抗の他端と信号線との間に配置され、前記第1固定抵抗の他端と前記信号線との導通及び非導通を切り替える第1制御スイッチング素子と、
 一端が前記第2端子に接続され、前記第1固定抵抗より高抵抗又は低抵抗となることが可能な不揮発の可変抵抗と、

前記可変抵抗の他端と前記信号線との間に配置され、前記可変抵抗の他端と前記信号線との導通及び非導通を切り替える第2制御スイッチング素子とを備え、

前記不揮発性記憶素子の制御方法は、
 前記第1ビット線と前記第2ビット線とに所定の電圧を印加して、又は、所定の電流を流して、前記第1固定抵抗及び前記可変抵抗に電流を流すことで、前記第1端子と前記第2端子とに異なる電位を発生させる電位発生ステップと、
 前記インバータ部に接続された電源線に電力を供給する電源投入ステップとを含む不揮発性記憶素子の制御方法。

【請求項4】

請求項1又は2に記載の不揮発性記憶素子の制御方法であって、
 前記第1ビット線と前記第2ビット線とに所定の電圧を印加して、又は、所定の電流を流して、前記第1固定抵抗及び前記可変抵抗に電流を流すことで、前記第1端子と前記第

2 端子と異なる電位を発生させる電位発生ステップと、
前記インバータ部に接続された電源線に電力を供給する電源投入ステップとを含む
不揮発性記憶素子の制御方法。

【請求項 5】

前記電位発生ステップでは、前記第 1 ビット線と前記第 2 ビット線とに前記所定の電圧を印加し、前記第 1 選択スイッチング素子と前記第 2 選択スイッチング素子とを導通させ、前記第 1 制御スイッチング素子と前記第 2 制御スイッチング素子とにより前記第 1 固定抵抗及び前記可変抵抗に流れる電流を制御することで、前記第 1 端子と前記第 2 端子とに異なる電位を発生させる

請求項 3 又は 4 記載の不揮発性記憶素子の制御方法。

10

【請求項 6】

前記電位発生ステップでは、前記第 1 ビット線と前記第 2 ビット線とに前記所定の電流を流し、前記第 1 選択スイッチング素子と、前記第 2 選択スイッチング素子と、前記第 1 制御スイッチング素子と、前記第 2 制御スイッチング素子とを導通させることで、前記第 1 端子と前記第 2 端子とに異なる電位を発生させる

請求項 3 又は 4 記載の不揮発性記憶素子の制御方法。

【請求項 7】

前記電源投入ステップでは、前記第 1 ビット線と前記第 2 ビット線とに前記電流を流した状態で、前記電力を投入する

請求項 6 記載の不揮発性記憶素子の制御方法。

20

【請求項 8】

前記不揮発性記憶素子の制御方法は、さらに、

前記電力を供給後に、前記第 2 端子の電位が前記第 1 端子の電位より高い場合に、前記信号線を前記第 2 端子の電位より低い電位に設定するとともに、前記第 2 選択スイッチング素子を非導通にし、前記第 2 制御スイッチング素子を導通させて、前記可変抵抗に電流を流すことで、前記可変抵抗を前記第 1 固定抵抗より低抵抗にする初期化ステップを含む

請求項 3 ~ 7 のいずれか 1 項に記載の不揮発性記憶素子の制御方法。

【請求項 9】

請求項 1 又は 2 記載の不揮発性記憶素子の制御方法であって、

前記第 2 端子の電位が前記第 1 端子の電位より高い場合に、前記可変抵抗を前記第 1 固定抵抗より高抵抗にし、前記第 2 端子の電位が前記第 1 端子の電位より低い場合に、前記可変抵抗を前記第 1 固定抵抗より低抵抗にするストアステップを含む

不揮発性記憶素子の制御方法。

30

【請求項 10】

前記ストアステップでは、

前記第 2 端子の電位が前記第 1 端子の電位より高い場合に、前記信号線を前記第 2 端子の電位より低い電位に設定するとともに、前記第 2 制御スイッチング素子を導通させて、前記可変抵抗に電流を流すことで、前記可変抵抗を前記第 1 固定抵抗より高抵抗にする

請求項 9 記載の不揮発性記憶素子の制御方法。

【請求項 11】

40

前記ストアステップでは、

前記第 2 端子の電位が前記第 1 端子の電位より高い場合に、前記信号線を前記第 2 端子の電位より低い電位に、かつ、前記第 2 ビット線を前記第 2 端子の電位以上の電位に設定するとともに、前記第 2 選択スイッチング素子及び前記第 2 制御スイッチング素子を導通させて、前記可変抵抗に電流を流す

請求項 10 記載の不揮発性記憶素子の制御方法。

【請求項 12】

前記ストアステップでは、

前記第 2 端子の電位が前記第 1 端子の電位より低い場合に、前記信号線を前記第 2 端子の電位より高い電位に設定するとともに、前記第 2 制御スイッチング素子を導通させて、

50

前記可変抵抗に電流を流すことで、前記可変抵抗を前記第 1 固定抵抗より低抵抗にする
請求項 9 記載の不揮発性記憶素子の制御方法。

【請求項 13】

前記ストアステップでは、

前記第 2 端子の電位が前記第 1 端子の電位より低い場合に、前記信号線を前記第 2 端子の電位より高い電位に、かつ、前記第 2 ビット線を前記第 2 端子の電位以下の電位に設定するとともに、前記第 2 選択スイッチング素子及び前記第 2 制御スイッチング素子を導通させて、前記可変抵抗に電流を流す

請求項 12 記載の不揮発性記憶素子の制御方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、不揮発性記憶素子及びその制御方法に関し、特に、高速動作可能な S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) を用いた不揮発性記憶素子及びその制御方法に関する。

【背景技術】

【0002】

従来、揮発性の S R A M と可変素子とを用いて、高速動作可能で、かつ、電源を遮断した場合であっても値を保持することができる不揮発性の記憶素子の研究及び開発が行われている（例えば、非特許文献 1 参照）。

20

【0003】

非特許文献 1 には、S R A M のメモリセルを構成するインバータ部が有する 2 つの端子のそれぞれに、可変素子を接続する技術が記載されている。これにより、電源を遮断する前に、インバータ部に保持された値、すなわち、2 つの端子の電位によって、可変素子の抵抗値又は容量値を変化させることで、インバータ部に保持された値を 2 つの可変素子に保持させている。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】“Design and Application of Ferroelectric Memory Based Nonvolatile SRAM” IEICE TRANS.ELECTRON., VOL. E87-C, NO. 11 NOVEMBER 2004

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来技術によれば、使用時及び製造時における故障率、及び、消費電力を十分に低くすることができないという課題がある。

【0006】

具体的には、上記従来技術によれば、1 つのセルが 2 個の不揮発な可変素子を有するため、いずれか一方が故障した場合は、他方の可変素子が正常であっても、このセルを利用することはできない。また、2 個の可変素子の抵抗値又は電荷量を変化させる必要があるため、消費電力も多く必要となる。

40

【0007】

そこで、本発明は、上記課題を解決するためになされたものであって、故障率及び消費電力を十分に低くすることができる不揮発性記憶素子及びその制御方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記課題を解決するため、本発明に係る不揮発性記憶素子は、複数のメモリセルが配列された不揮発性記憶素子であって、前記複数のメモリセルのそれぞれは、第 1 端子と第 2 端子とを有するインバータ部と、前記第 1 端子と第 1 ビット線との間に配置され、前記第

50

1端子と前記第1ビット線との導通及び非導通を切り替える第1選択スイッチング素子と、前記第2端子と第2ビット線との間に配置され、前記第2端子と前記第2ビット線との導通及び非導通を切り替える第2選択スイッチング素子と、一端が前記第1端子に接続された第1固定抵抗と、前記第1固定抵抗の他端と信号線との間に配置され、前記第1固定抵抗の他端と前記信号線との導通及び非導通を切り替える第1制御スイッチング素子と、一端が前記第2端子に接続され、前記第1固定抵抗より高抵抗又は低抵抗となることが可能な不揮発の可変抵抗と、前記可変抵抗の他端と前記信号線との間に配置され、前記可変抵抗の他端と前記信号線との導通及び非導通を切り替える第2制御スイッチング素子とを備える。

【0009】

10

これにより、メモリセルが1つの可変抵抗と1つの固定抵抗とを備えるので、2つの可変抵抗を備えている従来の技術に比べて、故障率及び消費電力を十分に低くすることができる。つまり、本発明に係る不揮発性記憶素子によれば、1個の可変素子で不揮発性記憶素子を実現することができるので、従来の2個の可変素子を備える場合に比べて、素子劣化によりメモリが故障する可能性を低くすることができる。また、2個の可変素子の値を書き換えるよりも、1個の可変素子の値を書き換える方が消費電力も少なくすることができる。

【0010】

また、前記第2制御スイッチング素子は、ゲートが第1制御線に接続され、ソース及びドレインの一方が前記可変抵抗の他端に接続され、ソース及びドレインの他方が前記信号線に接続されたnMOS(Metal Oxide Semiconductor)トランジスタと、ゲートが第2制御線に接続され、ソース及びドレインの一方が前記可変抵抗の他端に接続され、ソース及びドレインの他方が前記信号線に接続されたpMOSトランジスタとを備え、前記第1制御線と前記第2制御線とは、互いに異なる極性の電圧が印加されてもよい。

20

【0011】

これにより、pMOSトランジスタとnMOSトランジスタとを並列接続したスイッチを利用することで、当該スイッチにかかる電圧を少なくすることができ、消費電力を低減することができる。本発明に係る不揮発性記憶素子の構成では、信号線を低電位に設定する場合は、nMOSトランジスタをスイッチとして利用するのが好ましく、信号線を高電位に設定する場合は、pMOSトランジスタをスイッチとして利用するのが好ましい。したがって、pMOSトランジスタとnMOSトランジスタとを並列接続させ、同時に導通及び非導通を切り替えることで、当該スイッチにかかる電圧を少なくすることができる。

30

【0012】

また、前記複数のメモリセルのうち少なくとも1つのメモリセルは、さらに、一端が前記第1固定抵抗に接続された第2固定抵抗と、前記第2固定抵抗の他端と前記信号線との間に配置され、前記第2固定抵抗の他端と前記信号線との導通及び非導通を切り替える第3制御スイッチング素子とを備えてもよい。

【0013】

これにより、複数の固定抵抗を利用することで、複数の値を保持させることが可能となる。したがって、例えば、全てのメモリセルを、2つの固定抵抗を備えるメモリセルで構成することで、記憶容量を2倍にすることができる。また、複数のメモリセルの2つに1つを、2つの固定抵抗を備えるメモリセルにすることで、メモリセルアレイの面積を小さくすることができる。

40

【0014】

また、本発明に係る不揮発性記憶素子の制御方法は、上記の不揮発性記憶素子の制御方法であって、前記第1ビット線と前記第2ビット線とに所定の電圧を印加して、又は、所定の電流を流して、前記第1固定抵抗及び前記可変抵抗に電流を流すことで、前記第1端子と前記第2端子とに異なる電位を発生させる電位発生ステップと、前記インバータ部に接続された電源線に電力を供給する電源投入ステップとを含む。

50

【 0 0 1 5 】

これにより、可変抵抗の抵抗値と固定抵抗の抵抗値とに応じた電位が第1端子及び第2端子にそれぞれ発生するので、可変抵抗と固定抵抗との抵抗値の大小関係を予め設定しておくことで、電源投入後の第1端子と第2端子との電位の関係を確実に決定することができる。例えば、可変抵抗の抵抗値が固定抵抗の抵抗値より大きい場合は、第2端子の電位が第1端子の電位より大きくなり、可変抵抗の抵抗値が固定抵抗の抵抗値より小さい場合は、第2端子の電位が第1端子の電位より小さくなるので、抵抗値の大小関係をインバータ部書き込むことができる。

【 0 0 1 6 】

また、前記電位発生ステップでは、前記第1ビット線と前記第2ビット線とに前記所定の電圧を印加し、前記第1選択スイッチング素子と前記第2選択スイッチング素子とを導通させ、前記第1制御スイッチング素子と前記第2制御スイッチング素子とにより前記第1固定抵抗及び前記可変抵抗に流れる電流を制御することで、前記第1端子と前記第2端子とに異なる電位を発生させてもよい。

10

【 0 0 1 7 】

これにより、制御スイッチング素子を用いて可変抵抗及び固定抵抗に流れる電流量を制御することで、可変抵抗の抵抗値と固定抵抗の抵抗値とに応じた電位が第1端子及び第2端子にそれぞれ発生するので、可変抵抗と固定抵抗との抵抗値の大小関係を予め設定しておくことで、電源投入後の第1端子と第2端子との電位の関係を確実に決定することができる。

20

【 0 0 1 8 】

また、前記電位発生ステップでは、前記第1ビット線と前記第2ビット線とに前記所定の電流を流し、前記第1選択スイッチング素子と、前記第2選択スイッチング素子と、前記第1制御スイッチング素子と、前記第2制御スイッチング素子とを導通させることで、前記第1端子と前記第2端子とに異なる電位を発生させてもよい。

【 0 0 1 9 】

これにより、可変抵抗の抵抗値と固定抵抗の抵抗値とに応じた電位が第1端子及び第2端子にそれぞれ発生するので、可変抵抗と固定抵抗との抵抗値の大小関係を予め設定しておくことで、電源投入後の第1端子と第2端子との電位の関係を確実に決定することができる。

30

【 0 0 2 0 】

また、前記電源投入ステップでは、前記第1ビット線と前記第2ビット線とに前記電流を流した状態で、前記電力を投入してもよい。

【 0 0 2 1 】

これにより、可変抵抗及び固定抵抗から、安定的にインバータ部に値を書き込むことができる。

【 0 0 2 2 】

また、前記不揮発性記憶素子の制御方法は、さらに、前記電力を供給後に、前記第2端子の電位が前記第1端子の電位より高い場合に、前記信号線を前記第2端子の電位より低い電位に設定するとともに、前記第2選択スイッチング素子を非導通にし、前記第2制御スイッチング素子を導通させて、前記可変抵抗に電流を流すことで、前記可変抵抗を前記第1固定抵抗より低抵抗にする初期化ステップを含んでもよい。

40

【 0 0 2 3 】

これにより、電源遮断時に備えて、予め抵抗値を初期化しておく（低抵抗化しておく）ことができる。

【 0 0 2 4 】

また、上記の不揮発性記憶素子の制御方法であって、前記第2端子の電位が前記第1端子の電位より高い場合に、前記可変抵抗を前記第1固定抵抗より高抵抗にし、前記第2端子の電位が前記第1端子の電位より低い場合に、前記可変抵抗を前記第1固定抵抗より低抵抗にするストアステップを含んでもよい。

50

【0025】

これにより、インバータ部の2つの端子に現れる電位差を、可変抵抗と固定抵抗との抵抗値の大小関係として保持させることができる。

【0026】

また、前記ストアステップでは、前記第2端子の電位が前記第1端子の電位より高い場合に、前記信号線を前記第2端子の電位より低い電位に設定するとともに、前記第2制御スイッチング素子を導通させて、前記可変抵抗に電流を流すことで、前記可変抵抗を前記第1固定抵抗より高抵抗にしてもよい。

【0027】

これにより、電流の向き又は大きさによって抵抗値が変化する可変抵抗を用いて、インバータ部の2つの端子に保持された値を、可変抵抗と固定抵抗との抵抗値の大小関係として保持させることができる。

10

【0028】

また、前記ストアステップでは、前記第2端子の電位が前記第1端子の電位より高い場合に、前記信号線を前記第2端子の電位より低い電位に、かつ、前記第2ビット線を前記第2端子の電位以上の電位に設定するとともに、前記第2選択スイッチング素子及び前記第2制御スイッチング素子を導通させて、前記可変抵抗に電流を流してもよい。

【0029】

これにより、ビット線を利用することで電流供給能力を高めることができる。

【0030】

また、前記ストアステップでは、前記第2端子の電位が前記第1端子の電位より低い場合に、前記信号線を前記第2端子の電位より高い電位に設定するとともに、前記第2制御スイッチング素子を導通させて、前記可変抵抗に電流を流すことで、前記可変抵抗を前記第1固定抵抗より低抵抗にしてもよい。

20

【0031】

これにより、電流の向き又は大きさによって抵抗値が変化する可変抵抗を用いて、インバータ部の2つの端子に保持された値を、可変抵抗と固定抵抗との抵抗値の大小関係として保持させることができる。

【0032】

また、前記ストアステップでは、前記第2端子の電位が前記第1端子の電位より低い場合に、前記信号線を前記第2端子の電位より高い電位に、かつ、前記第2ビット線を前記第2端子の電位以下の電位に設定するとともに、前記第2選択スイッチング素子及び前記第2制御スイッチング素子を導通させて、前記可変抵抗に電流を流してもよい。

30

【0033】

これにより、ビット線を利用することで電流供給能力を高めることができる。

【発明の効果】

【0034】

本発明によれば、故障率及び消費電力を十分に低くすることができる。

【図面の簡単な説明】

【0035】

40

【図1】実施の形態1に係る不揮発性記憶素子の回路構成の一例を示す図である。

【図2A】実施の形態1に係る不揮発性記憶素子のリコール動作を説明するための図である。

【図2B】実施の形態1に係る不揮発性記憶素子のリコール動作を説明するための図である。

【図3】実施の形態1に係る不揮発性記憶素子の初期化処理（セット動作）の一例を説明するための図である。

【図4】実施の形態1に係る不揮発性記憶素子のリセット動作の一例を説明するための図である。

【図5】実施の形態1に係る不揮発性記憶素子のセット動作の一例を説明するための図で

50

ある。

【図 6 A】実施の形態 1 に係る不揮発性記憶素子のセット動作の別の一例を説明するための図である。

【図 6 B】実施の形態 1 に係る不揮発性記憶素子のセット動作の別の一例を説明するための図である。

【図 6 C】実施の形態 1 に係る不揮発性記憶素子のセット動作の別の一例を説明するための図である。

【図 7】実施の形態 2 に係る不揮発性記憶素子の回路構成の一例を示す図である。

【図 8】実施の形態 3 に係る不揮発性記憶素子の回路構成の一例を示す図である。

【図 9 A】実施の形態 3 に係る不揮発性記憶素子の抵抗値を最適化する処理を説明するための図である。

10

【図 9 B】実施の形態 3 に係る不揮発性記憶素子の抵抗値を最適化する処理を説明するための図である。

【図 10】実施の形態 3 に係る不揮発性記憶素子の回路構成の別の一例を示す図である。

【図 11 A】実施の形態 3 に係る不揮発性記憶素子のセルの配置の一例を示す模式図である。

【図 11 B】実施の形態 3 に係る不揮発性記憶素子のセルの配置の一例を示す模式図である。

【発明を実施するための形態】

【0036】

20

以下、本発明に係る不揮発性記憶素子及びその制御方法について、実施の形態に基づいて詳細に説明する。

【0037】

(実施の形態 1)

実施の形態 1 に係る不揮発性記憶素子は、複数のメモリセルが配列された不揮発性記憶素子であって、複数のメモリセルのそれぞれは、第 1 端子と第 2 端子とを有するインバータ部と、第 1 端子と第 1 ビット線との導通及び非導通を切り替える第 1 選択スイッチング素子と、第 2 端子と第 2 ビット線との間に配置され、第 2 端子と第 2 ビット線との導通及び非導通を切り替える第 2 選択スイッチング素子と、一端が第 1 端子に接続された固定抵抗と、固定抵抗の他端と信号線との間に配置され、固定抵抗の他端と信号線との導通及び非導通を切り替える第 1 制御スイッチング素子と、一端が第 2 端子に接続され、第 1 固定抵抗より高抵抗又は低抵抗となることが可能な可変抵抗と、可変抵抗の他端と信号線との間に配置され、可変抵抗の他端と信号線との導通及び非導通を切り替える第 2 制御スイッチング素子とを備えることを特徴とする。つまり、インバータ部が有する 2 つの端子の一方には固定抵抗が接続され、他方には可変抵抗が接続され、可変抵抗の抵抗値を変化させることで、電源が遮断された場合でも、インバータ部に保持させた値を保持することを特徴する。

30

【0038】

図 1 は、実施の形態 1 に係る不揮発性記憶素子 100 の回路構成の一例を示す図である。なお、実施の形態 1 に係る不揮発性記憶素子 100 は、複数のメモリセルが二次元状に配列されて構成されており、図 1 は、当該複数のメモリセルのうちの 1 つのメモリセルを示している。

40

【0039】

1 つのメモリセルは、図 1 に示すように、インバータ部 110 と、選択トランジスタ 120 及び 121 と、制御トランジスタ 122 及び 123 と、固定抵抗 130 と、可変抵抗 131 とを備える。

【0040】

インバータ部 110 は、第 1 端子(端子 A)と第 2 端子(端子 B)とを備え、端子 A と端子 B とに現れる電位差によって、1 ビットの値を記憶する。インバータ部 110 は、例えば、図 1 に示すように、pMOS トランジスタ 111 及び 113 と、nMOS トランジ

50

スタ112及び114とを備える。つまり、インバータ部110は、pMOSトランジスタ111及びnMOSトランジスタ112から構成されるCMOSインバータと、pMOSトランジスタ113及びnMOSトランジスタ114から構成されるCMOSインバータとの2つのCMOSインバータが接続されて構成されている。

【0041】

具体的には、pMOSトランジスタ111のゲートとnMOSトランジスタ112のゲートとは、端子Bに接続されている。pMOSトランジスタ111のソースは、電源線142に接続されている。また、pMOSトランジスタ111のドレインは、端子Aと、nMOSトランジスタ112のドレインとに接続されている。nMOSトランジスタ112のソースは、接地されている。

10

【0042】

また、pMOSトランジスタ113のゲートとnMOSトランジスタ114のゲートとは、端子Aに接続されている。pMOSトランジスタ113のソースは、電源線142に接続されている。また、pMOSトランジスタ113のドレインは、端子Bと、nMOSトランジスタ114のドレインとに接続されている。nMOSトランジスタ114のソースは、接地されている。

【0043】

選択トランジスタ120は、第1選択スイッチング素子の一例であって、値の書き込み又は読み出しの際に、メモリセルを選択するためのスイッチング素子の一例である。選択トランジスタ120は、端子Aとビット線140との間に配置され、ビット線140と端子Aとの導通及び非導通を切り替える。すなわち、選択トランジスタ120は、ビット線140と端子Aとを電氣的に接続又は遮断する。

20

【0044】

例えば、選択トランジスタ120は、nMOSトランジスタであり、選択トランジスタ120のゲートは、ワード線143に接続されている。また、選択トランジスタ120のソース及びドレインの一方は、ビット線140に接続されており、他方は、端子Aに接続されている。

【0045】

選択トランジスタ121は、第2選択スイッチング素子の一例であって、値の書き込み又は読み出しの際に、メモリセルを選択するためのスイッチング素子の一例である。選択トランジスタ121は、端子Bとビット線141との間に配置され、ビット線141と端子Bとの導通及び非導通を切り替える。

30

【0046】

例えば、選択トランジスタ121は、nMOSトランジスタであり、選択トランジスタ121のゲートは、ワード線143に接続されている。また、選択トランジスタ121のソース及びドレインの一方は、ビット線141に接続されており、他方は、端子Bに接続されている。

【0047】

制御トランジスタ122は、第1制御スイッチング素子の一例であって、固定抵抗130に電流を流すか否かを選択するためのスイッチング素子の一例である。制御トランジスタ122は、固定抵抗130と信号線144との間に配置され、固定抵抗130と信号線144との導通及び非導通を切り替える。

40

【0048】

例えば、制御トランジスタ122は、nMOSトランジスタであり、制御トランジスタ122のゲートは、制御線145に接続されている。また、制御トランジスタ122のソース及びドレインの一方は、固定抵抗130に接続されており、他方は、信号線144に接続されている。

【0049】

制御トランジスタ123は、第2制御スイッチング素子の一例であって、可変抵抗131に電流を流すか否かを選択するためのスイッチング素子の一例である。制御トランジスタ

50

タ 1 2 3 は、可変抵抗 1 3 1 と信号線 1 4 4 との間に配置され、可変抵抗 1 3 1 と信号線 1 4 4 との導通及び非導通を切り替える。

【 0 0 5 0 】

例えば、制御トランジスタ 1 2 3 は、n M O S トランジスタであり、制御トランジスタ 1 2 3 のゲートは、制御線 1 4 5 に接続されている。また、制御トランジスタ 1 2 3 のソース及びドレインの一方は、可変抵抗 1 3 1 に接続されており、他方は、信号線 1 4 4 に接続されている。

【 0 0 5 1 】

固定抵抗 1 3 0 は、予め定められた一定の抵抗値を有する。固定抵抗 1 3 0 の一端は、端子 A に接続され、他端は、制御トランジスタ 1 2 2 のソース及びドレインの一方に接続されている。

10

【 0 0 5 2 】

可変抵抗 1 3 1 は、固定抵抗 1 3 0 より高抵抗又は低抵抗となることが可能である不揮発の可変抵抗である。なお、不揮発の可変抵抗とは、電力が供給されていなくても、抵抗状態を維持することが可能な抵抗のことである。可変抵抗 1 3 1 の一端は、端子 B に接続され、他端は、制御トランジスタ 1 2 3 のソース及びドレインの一方に接続されている。

【 0 0 5 3 】

例えば、可変抵抗 1 3 1 は、相変化型抵抗素子であり、具体的には、カルコゲナイド半導体から構成される。なお、カルコゲナイド半導体は、カルコゲン元素 (S (硫黄)、S e (セレン)、T e (テルル) など) を含む非晶質半導体である。カルコゲナイド半導体は、高抵抗状態で数 1 0 0 k となり、低抵抗状態で数 1 0 0 ~ 数 k となる。

20

【 0 0 5 4 】

可変抵抗 1 3 1 がカルコゲナイド半導体から構成される場合、高電流 (例えば、1 0 0 μ A) を流すことで、可変抵抗 1 3 1 は高抵抗状態に遷移し、低電流 (例えば、5 0 μ A) を流すことで、可変抵抗 1 3 1 は低抵抗状態に遷移する。なお、後述するように、可変抵抗 1 3 1 を高抵抗状態にすることをリセット動作と呼び、可変抵抗 1 3 1 を低抵抗状態にすることをセット動作と呼ぶ。

【 0 0 5 5 】

また、可変抵抗 1 3 1 は、流れる電流の向き、すなわち、印加する電圧の極性に応じて高抵抗状態と低抵抗状態とが遷移する酸化物、又は、磁気抵抗変化素子などを用いてもよい。

30

【 0 0 5 6 】

以上の構成により、実施の形態 1 に係る不揮発性記憶素子 1 0 0 は、電源が投入されている期間では、インバータ部 1 1 0 を利用して高速に値の読み書き (S R A M 動作) を実行することができるとともに、電源が遮断されている期間では、固定抵抗 1 3 0 及び可変抵抗 1 3 1 を利用して値を保持させることができる。

【 0 0 5 7 】

なお、ビット線 1 4 0 及び 1 4 1、電源線 1 4 2、ワード線 1 4 3、信号線 1 4 4、並びに、制御線 1 4 5 は、メモリセルの並ぶ方向 (縦及び横方向) にそれぞれ配置されている。各線には、それぞれ電圧源又は電流源などを有する制御部 (図示せず) が接続されている。

40

【 0 0 5 8 】

続いて、実施の形態 1 に係る不揮発性記憶素子 1 0 0 の動作について説明する。なお、実施の形態 1 に係る不揮発性記憶素子 1 0 0 の動作は、大きく分けて、(1) リコール動作、(2) S R A M 動作、及び、(3) ストア動作の 3 つの動作がある。以下では、これらの動作について順に説明する。

【 0 0 5 9 】

(1 . リコール動作)

まず、リコール動作について説明する。

【 0 0 6 0 】

50

リコール動作とは、電源が遮断されている期間に不揮発性メモリ部に保持されていた値を、電源投入時にインバータ部 110 に書き込む動作のことである。なお、不揮発性メモリ部は、固定抵抗 130 及び可変抵抗 131 のことである。具体的には、固定抵抗 130 の抵抗値と可変抵抗 131 の抵抗値との大小の関係により、不揮発性メモリ部は、電源が遮断されている期間においても、値を保持している。

【0061】

電源が遮断されている期間では、ビット線 140 及び 141、電源線 142、ワード線 143、信号線 144、並びに、制御線 145 は、全て Low レベル（例えば、電位 0）に設定されている。

【0062】

まず、図 2A に示すように、ビット線 140 及び 141 に定電圧を印加し、ワード線 143 を High レベルに設定することで、選択トランジスタ 120 及び 121 を導通させ、かつ、制御線 145 を所定の電位に設定することで、制御トランジスタ 122 及び 123 を流れる電流、すなわち、可変抵抗 131 及び固定抵抗 130 に流れる電流を制御する。例えば、ビット線 140 及び 141 には 1 ~ 3 V の低電圧を印加し、ワード線 143 及び制御線 145 には、0.4 ~ 1.0 V の電圧を印加する。つまり、ビット線 140 及び 141 に印加する電圧を固定した場合であっても、制御線 145 に印加する電圧を制御することにより、固定抵抗 130 及び可変抵抗 131 に流れる電流を制御することができる。なお、後述するストア動作及び初期化動作についても同様である。

【0063】

なお、実施の形態の記載において、スイッチング素子の導通とは、線形領域での動作も含んでいる。これにより、スイッチング素子によって流れる電流量を制御することができる。

【0064】

また、ビット線 140 及び 141 に定電流を流し、ワード線 143 及び制御線 145 を High レベルに設定することで、選択トランジスタ 120 及び 121、並びに、制御トランジスタ 122 及び 123 を導通させてもよい。例えば、ビット線 140 及び 141 には、0.05 ~ 0.2 μ A の定電流を流し、ワード線 143 及び制御線 145 には、0.4 ~ 1.0 V の電圧を印加する。なお、上記の値はあくまで一例であり、素子サイズなどによって適宜変更してもよい。

【0065】

言い換えると、ビット線 140 と固定抵抗 130 の一端（すなわち、端子 A）とを導通させ、さらに、固定抵抗 130 の他端と信号線 144 とを導通させる。同様に、ビット線 141 と可変抵抗 131 の一端（すなわち、端子 B）とを導通させ、さらに、可変抵抗 131 の他端と信号線 144 とを導通させる。なお、このとき、信号線 144 は、Low レベルに設定されたままである。

【0066】

これにより、図 2A に示すように、ビット線 140 を流れる電流は、固定抵抗 130 を通って信号線 144 に流れ、ビット線 141 を流れる電流は、可変抵抗 131 を通って信号線 144 に流れる。ビット線 140 とビット線 141 とに同じ大きさの定電流を流すことで、端子 A と端子 B とにはそれぞれ、固定抵抗 130 の抵抗値及び可変抵抗 131 の抵抗値に応じた電位が発生する。

【0067】

例えば、図 2A に示すように、可変抵抗 131 が高抵抗状態である場合、すなわち、固定抵抗 130 の抵抗値 R_{ref} が可変抵抗 131 の抵抗値 R_{ch} より小さい場合、端子 A に発生する電位 V_a は、端子 B に発生する電位 V_b より小さくなる。逆に、固定抵抗 130 の抵抗値 R_{ref} が可変抵抗 131 の抵抗値 R_{ch} より大きい場合は、端子 A に発生する電位 V_a は、端子 B に発生する電位 V_b より大きくなる。

【0068】

このようにして、端子 A と端子 B とには、固定抵抗 130 と可変抵抗 131 との抵抗値

10

20

30

40

50

の差に応じた電位差が生じる。つまり、端子Aと端子Bとはそれぞれ、固定抵抗130と可変抵抗131との抵抗値の差に応じて、互いに異なる電位が発生する。

【0069】

そして、電位差が生じた時点で、図2Bに示すように、電源線142に電力を供給（電源を投入）するとともに、選択トランジスタ120及び121、並びに、制御トランジスタ122及び123を非導通にする。例えば、電源線142には、V_{dd} (> 0V)を印加し、ワード線143及び制御線145に、0Vの電圧を印加することで、各トランジスタを導通させる。

【0070】

なお、ビット線140及び141に電流を流した状態で電源を投入することにより、端子Aと端子Bとの電位差を安定させることができる。

10

【0071】

これにより、例えば、 $V_a < V_b$ の場合、端子Bにゲートが接続されたnMOSトランジスタ112が導通し、端子Aが接地され、これに伴い、端子Aにゲートが接続されたpMOSトランジスタ113が導通し、端子BがV_{dd}に設定される。

【0072】

以上のようにして、不揮発性メモリ部に保持されていた値、すなわち、固定抵抗130と可変抵抗131との抵抗値の大小関係をインバータ部110に書き込むことができ、すなわち、リコール動作を行うことができる。

【0073】

20

これにより、実施の形態1に係る不揮発性記憶素子100によれば、リコール時のマージンが大きく、また、設計時におけるマージンの見積りも容易であるという効果を奏する。なぜなら、可変抵抗を1つしか用いていないため、可変抵抗を2つ用いた場合に比べ、素子のバラツキがあったとしても安定な動作が可能となる。

【0074】

(2. SRAM動作)

次に、SRAM動作について説明する。

【0075】

SRAM動作は、インバータ部110を利用して値の読み書きを行う動作である。電源を投入後、メモリセルに値の読み書きを行う際は、固定抵抗130及び可変抵抗131は、値の書き込み処理に寄与しない。

30

【0076】

具体的には、制御線145に0Vの電圧を印加することで、制御トランジスタ122及び123を非導通にする。これにより、選択トランジスタ120及び121が導通した場合であっても、固定抵抗130及び可変抵抗131に電流は流れない。このため、固定抵抗130及び可変抵抗131は、インバータ部110の動作に影響を与えることはない。したがって、実施の形態1に係る不揮発性記憶素子100は、従来のSRAMと同様の動作を実現することができる。

【0077】

(3. ストア動作)

次に、ストア動作について説明する。

40

【0078】

ストア動作は、電源を遮断する前に、インバータ部110に保持されている値を不揮発性メモリ部に保持させる動作のことである。具体的には、固定抵抗130の抵抗値と可変抵抗131の抵抗値との大小関係を変化させることにより、不揮発性メモリ部に値を保持させる。

【0079】

具体的には、端子Bの電位が端子Aの電位より高い場合には、可変抵抗131を固定抵抗130より高抵抗にし、端子Bの電位が端子Aの電位より低い場合には、可変抵抗131を固定抵抗130より低抵抗にする。具体的な動作について、以下に示す。

50

【 0 0 8 0 】

まず、リコール動作が終了した後、可変抵抗 1 3 1 を低抵抗化する（初期化動作）。なお、ここでは、リコール動作時に可変抵抗 1 3 1 が接続されている端子 B の電位が高電位（High）になっている場合、つまり、リコール動作の終了時点において、可変抵抗 1 3 1 が高抵抗状態である場合について説明する。

【 0 0 8 1 】

図 3 に示すように、信号線 1 4 4 を端子 B の電位より低い電位に設定するとともに、選択トランジスタ 1 2 1 を非導通にし、かつ、制御トランジスタ 1 2 3 を導通させることで、端子 B から可変抵抗 1 3 1 を通って信号線 1 4 4 に電流が流れる。具体的には、信号線 1 4 4 に低電圧（例えば、0 V）を印加し、ワード線 1 4 3 を Low レベル（低電位）に設定し、制御線 1 4 5 を High レベル（高電位）に設定することで、選択トランジスタ 1 2 1 を非導通にし、かつ、制御トランジスタ 1 2 3 を導通させることができる。このとき、可変抵抗 1 3 1 は高抵抗状態にあるため、可変抵抗 1 3 1 には低電流が流れる。したがって、可変抵抗 1 3 1 は、低抵抗状態になる。

10

【 0 0 8 2 】

なお、可変抵抗 1 3 1 に流れる電流量は、制御トランジスタ 1 2 3 のゲートに印加する電圧値、すなわち、制御線 1 4 5 に設定される電位によって制御することができる。例えば、可変抵抗 1 3 1 に大きな電流を流す場合は、制御トランジスタ 1 2 3 のゲートに大きな電圧を印加すればよい。逆に、可変抵抗 1 3 1 に小さな電流を流す場合は、制御トランジスタ 1 2 3 のゲートに小さな電圧を印加すればよい。

20

【 0 0 8 3 】

以上のようにして、初期化处理（ここでは、セット動作）が実行される。なお、リコール動作時に端子 B の電位が低電位（Low）になっている場合、つまり、リコール動作時には可変抵抗 1 3 1 が低抵抗状態である場合は、初期化处理を行う必要はない。

【 0 0 8 4 】

次に、電源を遮断する前にインバータ部 1 1 0 に保持されていた値を不揮発性メモリ部に保持させる。まず、端子 B が端子 A より高電位になっている場合について説明する。

【 0 0 8 5 】

図 4 に示すように、信号線 1 4 4 を端子 B の電位より低い電位に設定するとともに、選択トランジスタ 1 2 1 を非導通にし、かつ、制御トランジスタ 1 2 3 を導通させることで、端子 B から可変抵抗 1 3 1 を通って信号線 1 4 4 に電流が流れる。具体的には、信号線 1 4 4 に低電圧（例えば、0 V）を印加し、ワード線 1 4 3 を Low レベルに設定し、制御線 1 4 5 を High レベルに設定することで、選択トランジスタ 1 2 1 を非導通にし、かつ、制御トランジスタ 1 2 3 を導通させることができる。このとき、可変抵抗 1 3 1 は初期化されており、低抵抗状態にあるため、可変抵抗 1 3 1 には、高電流が流れる。したがって、可変抵抗 1 3 1 は高抵抗状態になる。

30

【 0 0 8 6 】

これにより、インバータ部 1 1 0 に保持されていた値、すなわち、端子 B が高電位であったことを、可変抵抗 1 3 1 の抵抗値に反映させることで、不揮発性メモリ部に保持させることができる。すなわち、ストア動作が完了する。なお、可変抵抗 1 3 1 が高抵抗状態であれば、上述したように、リコール時にビット線 1 4 1 から電流を流すことで、端子 B の電位を端子 A の電位より大きくすることができ、ストア動作前の状態に戻すことができる。

40

【 0 0 8 7 】

また、端子 B が端子 A より低電位になっている場合は、既に初期化处理により、可変抵抗 1 3 1 が低抵抗状態になっているので、ストア動作は必要ではない。

【 0 0 8 8 】

以上のようにして、ストア動作（リセット動作）が実行される。つまり、可変抵抗 1 3 1 が接続されている端子 B の電位が高電位である場合は、可変抵抗 1 3 1 の抵抗値を固定抵抗 1 3 0 より高抵抗にする。また、端子 B の電位が低電位である場合は、可変抵抗 1 3

50

1の抵抗値を固定抵抗130より低抵抗にする。

【0089】

なお、初期化処理は、リコール直後に実行されることが望ましいが、ストア動作の直前に行ってもよい。

【0090】

また、ストア動作は、以下のように実行してもよい。

【0091】

例えば、可変抵抗131が相変化型抵抗素子のように、電流量に応じて抵抗値が変化するのはではなく、流れる電流の向き（あるいは、印加する電圧の極性）によって抵抗値が変化する酸化物、又は、磁気抵抗変化素子などを用いた場合は、以下に示す方法で、高抵抗化（リセット動作）及び低抵抗化（セット動作）を実行することができる。

【0092】

なお、可変抵抗131は、端子Bから信号線144に電流が流れた場合に高抵抗化され、信号線144から端子Bに電流が流れた場合に低抵抗化されるものとする。

【0093】

端子Bが高電位（High）である場合は、電源を遮断する前に、可変抵抗131を高抵抗化する必要がある。具体的には、図4に示すように、信号線144を端子Bの電位より低い電位に設定する（例えば、信号線144に0Vを印加する）とともに、選択トランジスタ121を非導通にし、かつ、制御トランジスタ123を導通させることで、端子Bから可変抵抗131を通過して信号線144に電流が流れる。したがって、可変抵抗131は高抵抗化される。

【0094】

一方で、端子Bが低電位（Low）である場合は、電源を遮断する前に、可変抵抗131を低抵抗化する必要がある。具体的には、図5に示すように、信号線144を端子Bの電位より高い電位に設定する（例えば、信号線144にV_{dd}を印加する）とともに、選択トランジスタ121を非導通にし、かつ、制御トランジスタ123を導通させることで、信号線144から可変抵抗131を通過して端子Bに電流が流れる。したがって、可変抵抗131は低抵抗化される。

【0095】

なお、可変抵抗131が相変化型抵抗素子のように、流れる電流の大きさに応じて抵抗値が変化する場合は、信号線144に印加する電圧値を調整することで、リセット動作とセット動作とを実行する。例えば、セット時には、可変抵抗131に低電流が流れるように信号線144に印加する電圧を低く設定する。さらに、信号線144の電圧を固定し（例えば、V_{dd}）、制御線145の電位を制御して、可変抵抗131に流れる電流を制御しても良い。

【0096】

また、ストア動作の変形例として、以下のように実行することもできる。

【0097】

まず、図6Aに示すように、インバータ部110に保持されている値を読み出す。なお、図6Aには、端子Aが低電位であり、端子Bが高電位である場合について示す。

【0098】

具体的には、ワード線143をHighレベルに設定することで、端子Aとビット線140とを導通させるとともに、端子Bとビット線141とを導通させることで、ビット線140及び141を介して端子A及び端子Bの電位を読み出す。端子A及び端子Bの電位を読み出すことで、端子Bが高電位であることが分かるので、可変抵抗131を高抵抗化する必要がある（リセット動作を行う）と判定する。

【0099】

したがって、次に、可変抵抗131のリセット動作を実行する。具体的には、図6Bに示すように、信号線144を端子Bより低い電位に設定するとともに、制御線145を高電位に設定することで、端子Bから可変抵抗131を通過して信号線144に電流を流す。

10

20

30

40

50

このとき、選択トランジスタ 1 2 1 は導通状態であるため、ビット線 1 4 1 を端子 B の電位以上の電位に設定することで、ビット線 1 4 1 から可変抵抗 1 3 1 に電流を流すことができる。

【 0 1 0 0 】

また、インバータ部 1 1 0 に保持されている値を読み出した結果、端子 B が低電位であった場合は、可変抵抗 1 3 1 のセット動作、すなわち、低抵抗化が必要である。具体的には、図 6 C に示すように、信号線 1 4 4 を端子 B より高い電位に設定するとともに、制御線 1 4 5 も高電位に設定することで、信号線 1 4 4 から可変抵抗 1 3 1 を通って端子 B に電流を流す。このとき、選択トランジスタ 1 2 1 は導通状態であるため、ビット線 1 4 1 を端子 B の電位以下の電位に設定することで、ビット線 1 4 1 への電流を流すことができる。

10

【 0 1 0 1 】

通常、抵抗変化型素子の書き換えには大きな電流が必要とされるので、上記のストア動作では、ビット線 1 4 1 からの電流も利用することができるので、より大きな電流を流すことが可能となる。つまり、不揮発性記憶素子 1 0 0 の電流駆動能力を向上させることができる。

【 0 1 0 2 】

以上のように、実施の形態 1 に係る不揮発性記憶素子 1 0 0 は、インバータ部 1 1 0 の第 1 端子 (端子 A) に固定抵抗 1 3 0 を接続し、第 2 端子 (端子 B) に可変抵抗 1 3 1 を接続する。インバータ部 1 1 0 の端子 A と端子 B との電位差を、可変抵抗 1 3 1 と固定抵抗 1 3 0 との抵抗値の大小関係に反映させることで、インバータ部 1 1 0 の電源を遮断した場合であっても、実施の形態 1 に係る不揮発性記憶素子 1 0 0 は、値を保持することができる。

20

【 0 1 0 3 】

また、インバータ部 1 1 0 の電源を投入する際は、可変抵抗 1 3 1 と固定抵抗 1 3 0 とにそれぞれ定電流を流すことで、可変抵抗 1 3 1 と固定抵抗 1 3 0 との抵抗値の差が、端子 A と端子 B との電位差となって現れる。これにより、可変抵抗 1 3 1 と固定抵抗 1 3 0 との抵抗値の大小関係として記憶させておいた値をインバータ部 1 1 0 に戻すことができる。

【 0 1 0 4 】

実施の形態 1 に係る不揮発性記憶素子 1 0 0 によれば、1 つのメモリセルが備える可変素子は 1 つだけであるので、従来のように 2 つの可変素子を備える場合に比べて、故障率及び消費電力をより低減することができる。例えば、素子劣化を起こしうる可変素子の個数が従来の半分であるので、故障率を低減することができる。また、従来のように 2 つの可変素子の値を書き換える場合に比べて、1 つの可変素子の値を書き換えるだけでよいので、書き換えに必要な消費電力を低減することができる。

30

【 0 1 0 5 】

(実施の形態 2)

実施の形態 2 に係る不揮発性記憶素子は、可変抵抗に直列に接続される制御スイッチング素子が、互いに並列接続された n M O S トランジスタと p M O S トランジスタとを備えることを特徴とする。

40

【 0 1 0 6 】

図 7 は、実施の形態 2 に係る不揮発性記憶素子 2 0 0 の回路構成の一例を示す図である。なお、実施の形態 2 に係る不揮発性記憶素子 2 0 0 は、実施の形態 1 と同様に、複数のメモリセルが二次元状に配列されて構成されており、図 7 は、当該複数のメモリセルのうちの 1 つのメモリセルを示している。

【 0 1 0 7 】

実施の形態 2 に係る不揮発性記憶素子 2 0 0 のメモリセルは、図 1 に示す実施の形態 1 に係る不揮発性記憶素子 1 0 0 のメモリセルに比べて、さらに、制御トランジスタ 2 2 4 を備える点が異なっている。以下では、実施の形態 1 と同じ点は説明を省略し、異なる点

50

を中心に説明する。

【0108】

制御トランジスタ224は、可変抵抗131に電流を流すか否かを選択するためのスイッチング素子の一例である。制御トランジスタ224は、可変抵抗131と信号線144との間に配置され、可変抵抗131と信号線144との導通及び非導通を切り替える。

【0109】

例えば、制御トランジスタ224は、pMOSトランジスタであり、制御トランジスタ224のゲートは、制御線246に接続されている。また、制御トランジスタ224のソース及びドレインの一方は、可変抵抗131に接続されており、他方は、信号線144に接続されている。

10

【0110】

また、制御線246と制御線145とは、互いに異なる極性の電圧が印加される。これにより、制御トランジスタ123と制御トランジスタ224とは、同時に導通と非導通とが切り替わる。

【0111】

このように、制御トランジスタ224は、制御トランジスタ123と並列に接続されており、制御トランジスタ123とともに、本発明に係る第2制御スイッチング素子の一例を構成する。

【0112】

以上の構成により、特に図7に示すように、可変抵抗131の低抵抗化（セット動作）を行う場合、信号線144を高電位に設定することで、nMOSトランジスタである制御トランジスタ123とpMOSトランジスタである制御トランジスタ224とにかかる電圧を、nMOSトランジスタである制御トランジスタ123だけの場合に比べて低下させることができる。

20

【0113】

なお、信号線144を低電位に設定する場合は、nMOSトランジスタをスイッチとして利用するのが好ましく、信号線144を高電位に設定する場合は、pMOSトランジスタをスイッチとして利用するのが好ましい。したがって、nMOSトランジスタである制御トランジスタ123とpMOSトランジスタである制御トランジスタ224とを並列接続し、同時に導通及び非導通を切り替えることで、信号線144を低電位に設定する場合だけでなく、高電位に設定する場合においても、制御トランジスタ123及び224に係る電圧を低下させることができる。

30

【0114】

以上のことから、実施の形態2に係る不揮発性記憶素子200によれば、信号線144に印加する電圧が同じであっても、より大きな電圧を可変抵抗131に印加する（より大きな電流を流す）ことが可能となるので、消費電力を低減することができる。

【0115】

（実施の形態3）

実施の形態3に係る不揮発性記憶素子は、複数の固定抵抗を備え、その抵抗値の違いにより、複数ビットの値を保持することを特徴とする。

40

【0116】

図8は、実施の形態3に係る不揮発性記憶素子300の回路構成の一例を示す図である。なお、実施の形態3に係る不揮発性記憶素子300は、実施の形態1と同様に、複数のメモリセルが二次元状に配列されて構成されており、図8は、当該複数のメモリセルのうち1つのメモリセルを示している。

【0117】

実施の形態3に係る不揮発性記憶素子300のメモリセルは、図1に示す実施の形態1に係る不揮発性記憶素子100のメモリセルに比べて、さらに、制御トランジスタ322a及び322bと、固定抵抗330a及び330bとを備える点が異なっている。以下では、実施の形態1と同じ点は説明を省略し、異なる点を中心に説明する。

50

【 0 1 1 8 】

制御トランジスタ 3 2 2 a 及び 3 2 2 b は、第 3 制御スイッチング素子の一例である。

【 0 1 1 9 】

制御トランジスタ 3 2 2 a は、固定抵抗 3 3 0 a に電流を流すか否かを選択するためのスイッチング素子の一例である。制御トランジスタ 3 2 2 a は、固定抵抗 3 3 0 a と信号線 1 4 4 との間に配置され、固定抵抗 3 3 0 a と信号線 1 4 4 との導通及び非導通を切り替える。

【 0 1 2 0 】

例えば、制御トランジスタ 3 2 2 a は、n MOS トランジスタであり、制御トランジスタ 3 2 2 a のゲートは、制御線 3 4 5 a に接続されている。また、制御トランジスタ 3 2 2 a のソース及びドレインの一方は、固定抵抗 3 3 0 a に接続されており、他方は、信号線 1 4 4 に接続されている。

10

【 0 1 2 1 】

制御トランジスタ 3 2 2 b は、固定抵抗 3 3 0 b に電流を流すか否かを選択するためのスイッチング素子の一例である。制御トランジスタ 3 2 2 b は、固定抵抗 3 3 0 b と信号線 1 4 4 との間に配置され、固定抵抗 3 3 0 b と信号線 1 4 4 との導通及び非導通を切り替える。

【 0 1 2 2 】

例えば、制御トランジスタ 3 2 2 b は、n MOS トランジスタであり、制御トランジスタ 3 2 2 b のゲートは、制御線 3 4 5 b に接続されている。また、制御トランジスタ 3 2 2 b のソース及びドレインの一方は、固定抵抗 3 3 0 b に接続されており、他方は、信号線 1 4 4 に接続されている。

20

【 0 1 2 3 】

なお、可変抵抗 1 3 1 に接続される制御トランジスタ 1 2 3 のゲートは、制御線 1 4 5 に接続され、固定抵抗 1 3 0 に接続される制御トランジスタ 1 2 2 のゲートは、制御線 3 4 5 に接続されている。このように、制御トランジスタ 1 2 3、1 2 2、3 2 2 a 及び 3 2 2 b のゲートはそれぞれ異なる制御線に接続されているので、制御トランジスタ 1 2 3、1 2 2、3 2 2 a 及び 3 2 2 b をそれぞれ独立して導通及び非導通を切り替えることができる。

【 0 1 2 4 】

固定抵抗 3 3 0 a 及び 3 3 0 b はそれぞれ、第 2 固定抵抗の一例であり、一端が端子 A に接続されている。固定抵抗 3 3 0 a の他端は、制御トランジスタ 3 2 2 a のソース又はドレインに接続され、固定抵抗 3 3 0 b の他端は、制御トランジスタ 3 2 2 b のソース又はドレインに接続されている。

30

【 0 1 2 5 】

なお、固定抵抗 1 3 0、3 3 0 a 及び 3 3 0 b の抵抗値は、互いに異なっていることが望ましい。制御トランジスタ 1 2 2、3 2 2 a 及び 3 2 2 b の導通及び非導通を切り替えることで、固定抵抗 1 3 0、3 3 0 a 及び 3 3 0 b の合成抵抗の抵抗値は最大で 8 種類の抵抗値（全てが開放されている場合も含む）をとることができる。

【 0 1 2 6 】

したがって、図 8 に示すメモリセルは、合成抵抗の抵抗値に応じて 8 種類の値（3 ビット）を保持させることができる。つまり、当該メモリセルは、インバータ部 1 1 0 の 3 つ分の値を保持させることができる。したがって、例えば、実施の形態 3 に係る不揮発性記憶素子 3 0 0 を構成するメモリセルの 3 つに 1 つを、上記の図 8 に示す 3 ビット保持可能なメモリセルにすることで、メモリセルアレイのサイズを縮小することができる。

40

【 0 1 2 7 】

以下では、端子 A に接続される固定抵抗の値を最適化する処理について説明する。なお、簡単のため、端子 A には 2 つの固定抵抗が接続されている場合について説明する。

【 0 1 2 8 】

図 9 A 及び図 9 B は、固定抵抗の最適化を説明するための図である。ここでは、2 つの

50

固定抵抗の一方の抵抗値を R_a 、他方の抵抗値を R_b とする。図 9 A 及び図 9 B には、固定抵抗の一方の抵抗値 $R_a = 100$ とした場合の他方の固定抵抗の抵抗値 R_b と、2つの抵抗の合成抵抗（並列） $R_a // R_b$ について示している。

【0129】

2つの固定抵抗の場合は、0、 R_a 、 R_b 、及び $R_a // R_b$ の4種類の抵抗値が考えられる。メモリセルの誤動作を防止するためには、これら4種類の抵抗値が互いに充分に異なっていることが望ましい。具体的には、図 9 A に示すように、 $R_a - R_b = R_b - R_a // R_b$ となるように、あるいは、図 9 B に示すように、 $R_b - R_a // R_b = R_a // R_b$ となるように、 R_a 及び R_b を決定する。

【0130】

$R_a - R_b = R_b - R_a // R_b$ を解くと、 $R_b = 0.62 R_a$ が得られ、 $R_b - R_a // R_b = R_a // R_b$ を解くと、 $R_b = 0.71 R_a$ が得られる。したがって、 $0.67 R_a < R_b < 0.71 R_a$ の範囲を満たすように、 R_a 及び R_b の値を決定すればよい。なお、ここでは、メモリセルに含まれるトランジスタ及び配線などの影響を無視して計算を行ったが、これらの影響を考慮に入れることが望ましい。

【0131】

なお、実施の形態 3 では、図 8 に示すように、複数の固定抵抗が並列接続されている回路構成について説明したが、図 10 に示すように、複数の固定抵抗が直列接続されていてもよい。

【0132】

図 10 は、実施の形態 3 に係る不揮発性記憶素子の回路構成の別の一例を示す図である。なお、実施の形態 3 の変形例に係る不揮発性記憶素子 400 は、実施の形態 1 と同様に、複数のメモリセルが二次元状に配列されて構成されており、図 10 は、当該複数のメモリセルのうち1つのメモリセルを示している。

【0133】

実施の形態 3 の変形例に係る不揮発性記憶素子 400 のメモリセルは、図 1 に示す実施の形態 1 に係る不揮発性記憶素子 100 のメモリセルに比べて、さらに、制御トランジスタ 422 a 及び 422 b と、固定抵抗 430 a 及び 430 b とを備える点が異なっている。以下では、実施の形態 1 と同じ点は説明を省略し、異なる点を中心に説明する。

【0134】

制御トランジスタ 422 a 及び 422 b は、第 3 制御スイッチング素子の一例である。

【0135】

制御トランジスタ 422 a は、固定抵抗 430 a に電流を流すか否かを選択するためのスイッチング素子の一例である。制御トランジスタ 422 a は、固定抵抗 430 a と信号線 144 との間に配置され、固定抵抗 430 a と信号線 144 との導通及び非導通を切り替える。

【0136】

例えば、制御トランジスタ 422 a は、nMOS トランジスタであり、制御トランジスタ 422 a のゲートは、制御線 445 a に接続されている。また、制御トランジスタ 422 a のソース及びドレインの一方は、固定抵抗 430 a に接続されており、他方は、信号線 144 に接続されている。

【0137】

制御トランジスタ 422 b は、固定抵抗 430 b に電流を流すか否かを選択するためのスイッチング素子の一例である。制御トランジスタ 422 b は、固定抵抗 430 b と信号線 144 との間に配置され、固定抵抗 430 b と信号線 144 との導通及び非導通を切り替える。

【0138】

例えば、制御トランジスタ 422 b は、nMOS トランジスタであり、制御トランジスタ 422 b のゲートは、制御線 445 b に接続されている。また、制御トランジスタ 422 b のソース及びドレインの一方は、固定抵抗 430 b に接続されており、他方は、信号

10

20

30

40

50

線 1 4 4 に接続されている。

【 0 1 3 9 】

固定抵抗 4 3 0 a は、第 2 固定抵抗の一例であり、一端が固定抵抗 1 3 0 の他端、すなわち、固定抵抗 1 3 0 と制御トランジスタ 1 2 2 のソース及びドレインの一方との接続点に接続されている。固定抵抗 4 3 0 a の他端は、制御トランジスタ 4 2 2 a のソース及びドレインに接続されている。

【 0 1 4 0 】

固定抵抗 4 3 0 b は、一端が固定抵抗 4 3 0 a の他端、すなわち、固定抵抗 4 3 0 a と制御トランジスタ 4 2 2 a のソース及びドレインの一方との接続点に接続されている。固定抵抗 4 3 0 b の他端は、制御トランジスタ 4 2 2 b のソース又はドレインに接続されている。

10

【 0 1 4 1 】

なお、可変抵抗 1 3 1 に接続される制御トランジスタ 1 2 3 のゲートは、制御線 1 4 5 に接続され、固定抵抗 1 3 0 に接続される制御トランジスタ 1 2 2 のゲートは、制御線 4 4 5 に接続されている。このように、制御トランジスタ 1 2 3、1 2 2、4 2 2 a 及び 4 2 2 b のゲートはそれぞれ異なる制御線に接続されているので、制御トランジスタ 1 2 3、1 2 2、4 2 2 a 及び 4 2 2 b をそれぞれ独立して導通及び非導通を切り替えることができる。

【 0 1 4 2 】

なお、固定抵抗 1 3 0、4 3 0 a 及び 4 3 0 b の抵抗値は、互いに異なっていることが望ましい。制御トランジスタ 1 2 2、4 2 2 a 及び 4 2 2 b の導通及び非導通を切り替えることで、固定抵抗 1 3 0、4 3 0 a 及び 4 3 0 b の合成抵抗の抵抗値は最大で 4 種類の抵抗値をとることができる。つまり、抵抗なし（全てが開放されている）、固定抵抗 1 3 0 のみの抵抗値、固定抵抗 1 3 0 及び 4 3 0 a の合成抵抗値、並びに、固定抵抗 1 3 0、4 3 0 a 及び 4 3 0 b の合成抵抗値の 4 種類の値である。

20

【 0 1 4 3 】

したがって、図 1 0 に示すメモリセルは、図 8 に示すメモリセルと同様に、合成抵抗の抵抗値に応じて 4 種類の値（2 ビット）を保持させることができる。つまり、当該メモリセルは、インバータ部 1 1 0 の 2 つ分の値を保持させることができる。

【 0 1 4 4 】

以上のように、実施の形態 3 に係る不揮発性記憶素子 3 0 0 によれば、当該不揮発性記憶素子 3 0 0 を構成する複数のメモリセルのうち少なくとも 1 つのメモリセルが、図 8 又は図 1 0 に示すように、複数の固定抵抗を備える。これにより、当該メモリセルは、複数ビットの値を保持することができる。つまり、1 つのセルあたりに保存できるデータ量を増やし、セルアレイ全体の面積を削減することができるので、S R A M に素子を追加することでセル面積が大きくなるという課題を解決することができる。

30

【 0 1 4 5 】

例えば、抵抗値の異なる 2 つの固定抵抗を備え、2 ビットの値を保持することが可能なメモリセル（多値セル）を、実施の形態 3 に係る不揮発性記憶素子が備える場合の効果について説明する。

40

【 0 1 4 6 】

図 1 1 A に示すように、不揮発性記憶素子 5 0 0 a を構成する複数のメモリセルの半分を多値セルで構成した場合、例えば、隣接するメモリセルの値を多値セルに保持させることができるので、セルアレイサイズを縮小することができる。

【 0 1 4 7 】

また、図 1 1 B に示すように、不揮発性記憶素子 5 0 0 b を構成する複数のメモリセルの全てを多値セルで構成した場合、通常メモリセルから構成される不揮発性記憶素子の 2 倍の記憶容量を有することができる。

【 0 1 4 8 】

以上、本発明に係る不揮発性記憶素子及びその制御方法について、実施の形態に基づい

50

て説明したが、本発明は、これらの実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を当該実施の形態に施したものと、異なる実施の形態における構成要素を組み合わせる形態も、本発明の範囲内に含まれる。

【0149】

例えば、上記の実施の形態では、インバータ部110の構成として、CMOSインバータを用いた構成について説明したが、2つのnMOSトランジスタと2つの抵抗とを用いたnMOSインバータを用いてインバータ部110を構成してもよい。

【0150】

また、上記の実施の形態では、選択トランジスタ120及び121、並びに、制御トランジスタ122及び123にnMOSトランジスタを用いたが、pMOSトランジスタ、又は、バイポーラトランジスタなどでもよい。

10

【0151】

また、上記の実施の形態で説明した、電流及び電圧の大きさなどは一例であって、スイッチング素子の導通及び非導通、あるいは、可変抵抗の抵抗値の書き換えを可能な値であれば、いかなる値でもよい。

【0152】

なお、本発明は、上述したように、不揮発性記憶素子及びその制御方法として実現できるだけでなく、本実施の形態の不揮発性記憶素子の制御方法をコンピュータに実行させるためのプログラムとして実現してもよい。また、当該プログラムを記録するコンピュータ読み取り可能なCD-ROMなどの記録媒体として実現してもよい。さらに、当該プログラムを示す情報、データ又は信号として実現してもよい。そして、これらプログラム、情報、データ及び信号は、インターネットなどの通信ネットワークを介して配信されてもよい。

20

【産業上の利用可能性】

【0153】

本発明に係る不揮発性記憶素子は、故障率及び消費電力を十分に小さくすることができるという効果を奏し、例えば、コンピュータ及び携帯電話などに搭載される各種メモリなどに利用することができる。

【符号の説明】

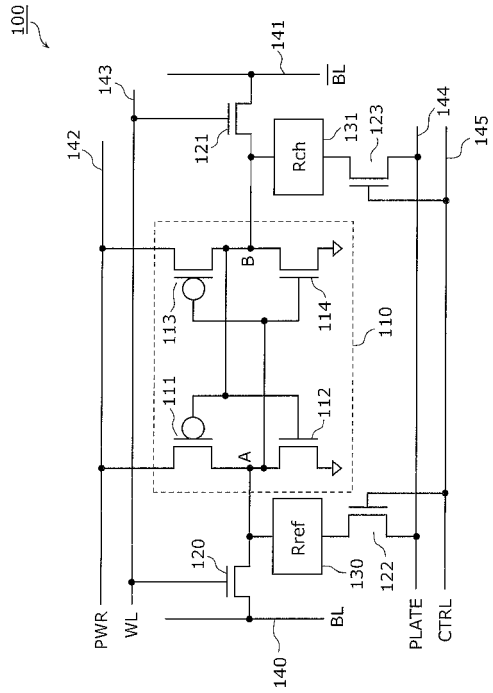
30

【0154】

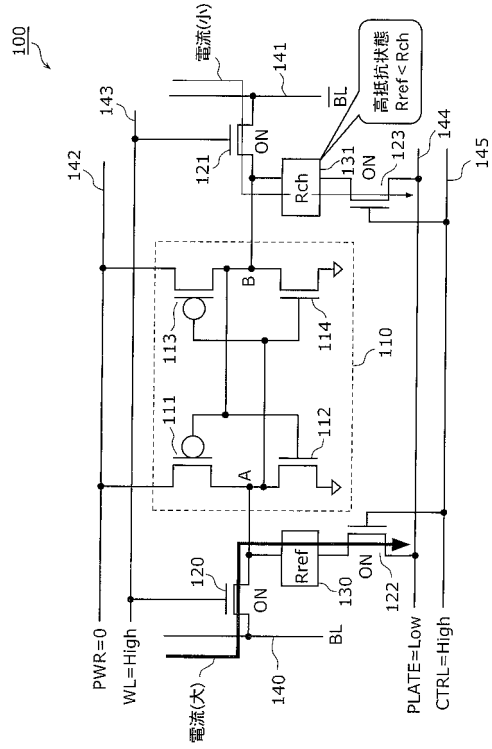
100、200、300、400、500a、500b 不揮発性記憶素子
 110 インバータ部
 111、113 pMOSトランジスタ
 112、114 nMOSトランジスタ
 120、121 選択トランジスタ
 122、123、224、322a、322b、422a、422b 制御トランジスタ
 130、330a、330b、430a、430b 固定抵抗
 131 可変抵抗
 140、141 ビット線
 142 電源線
 143 ワード線
 144 信号線
 145、246、345、345a、345b、445、445a、445b 制御線

40

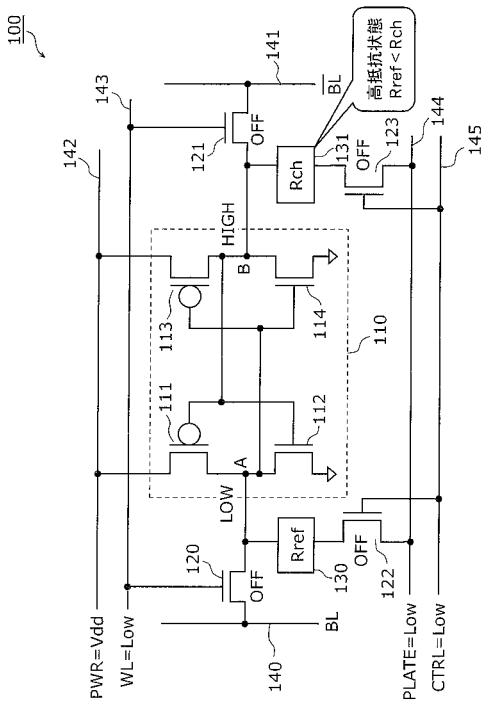
【図1】



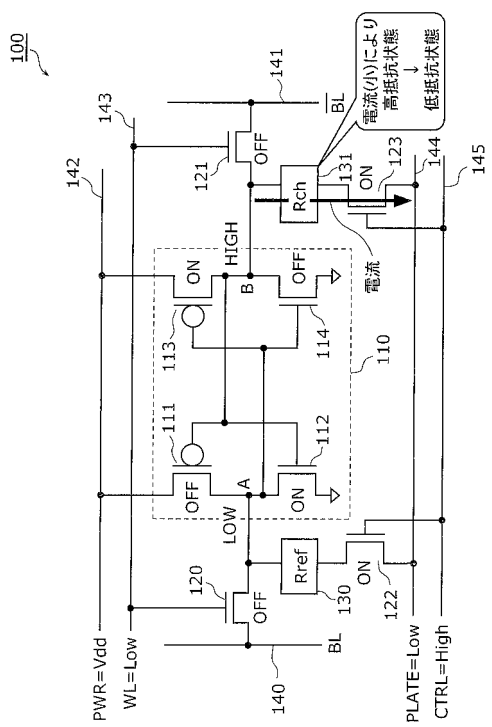
【図2A】



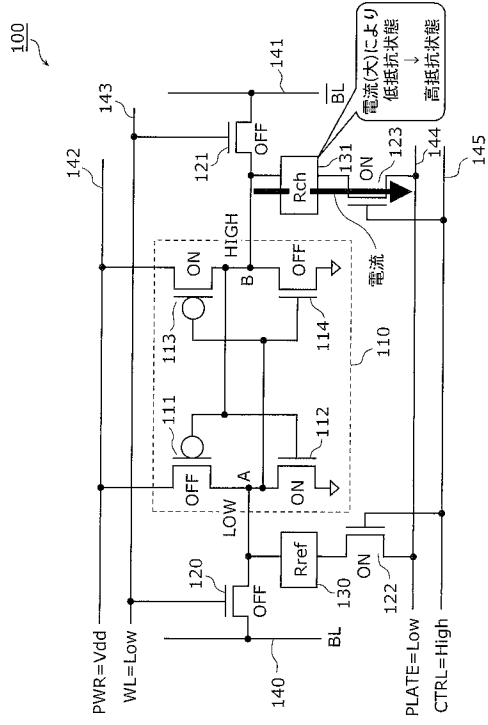
【図2B】



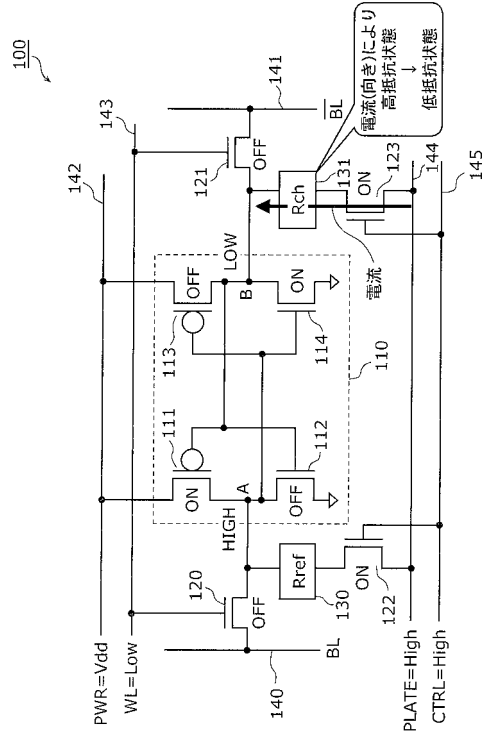
【図3】



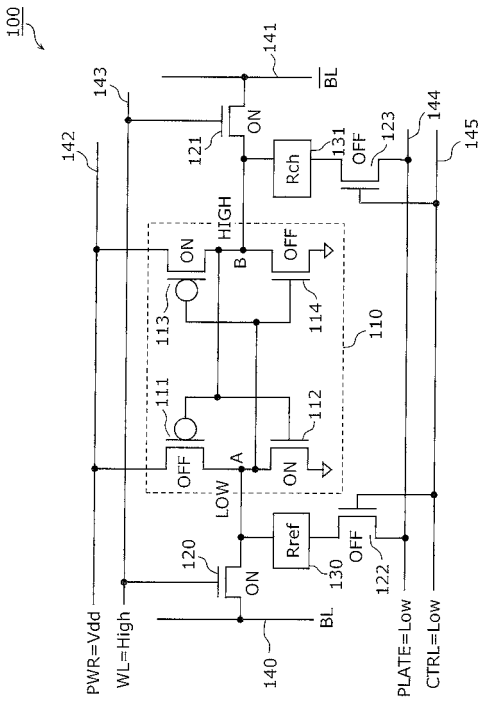
【 図 4 】



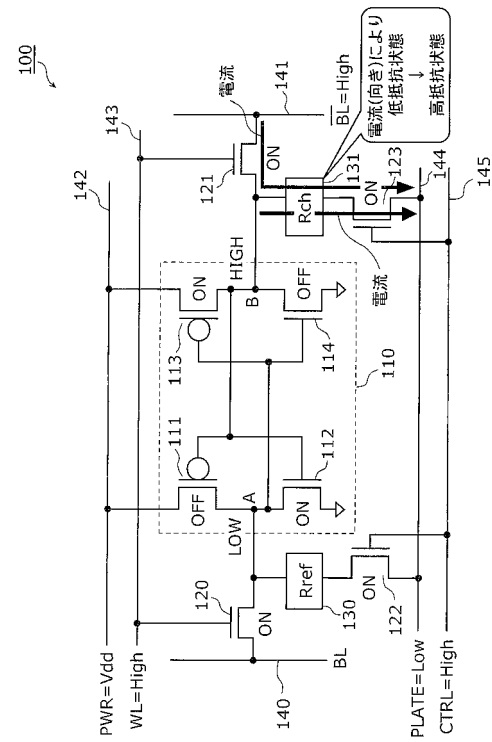
【 図 5 】



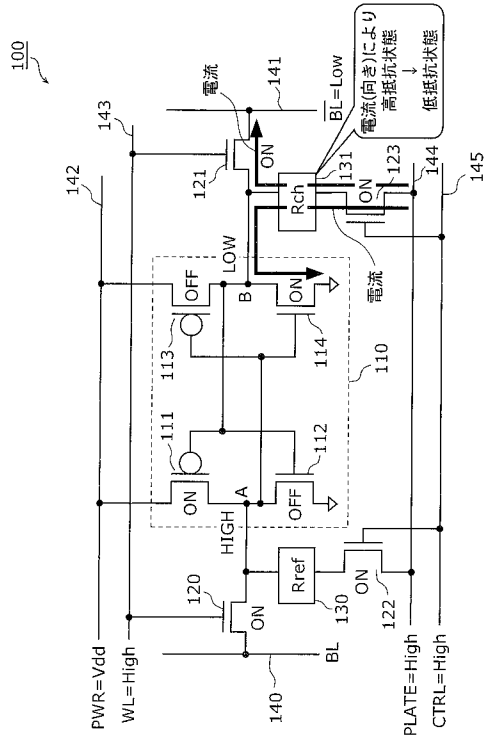
【 図 6 A 】



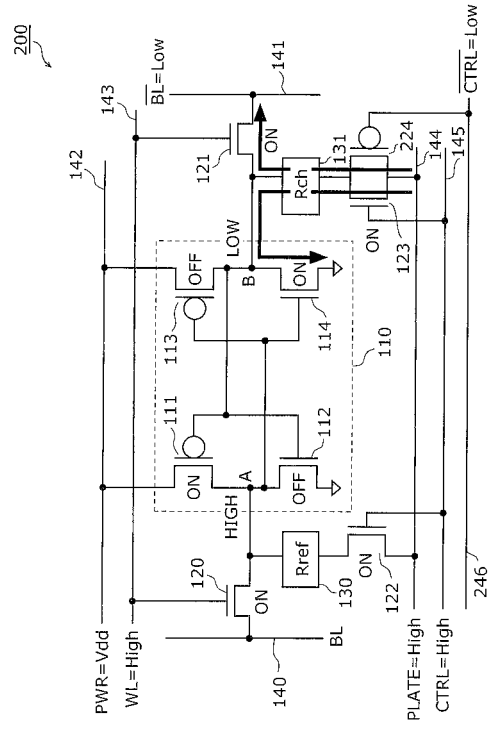
【 図 6 B 】



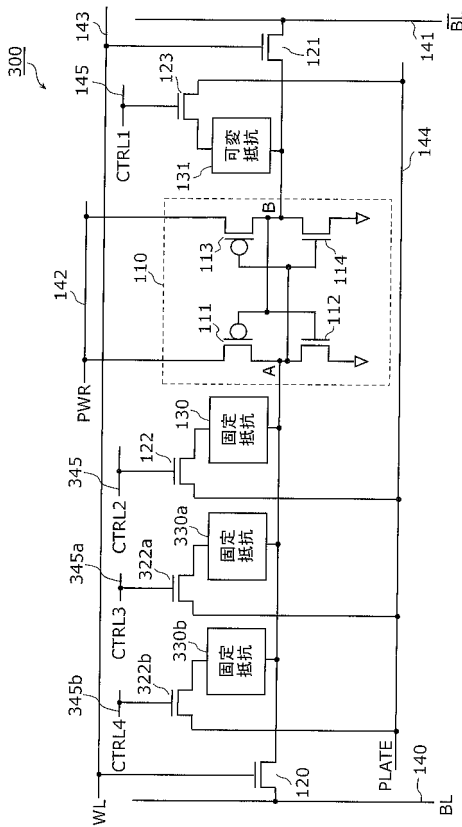
【図6C】



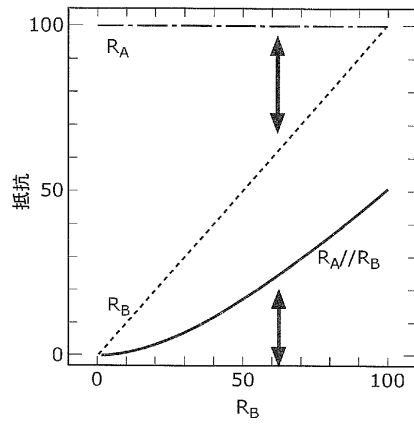
【図7】



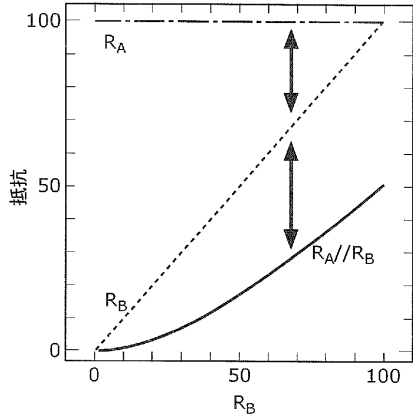
【図8】



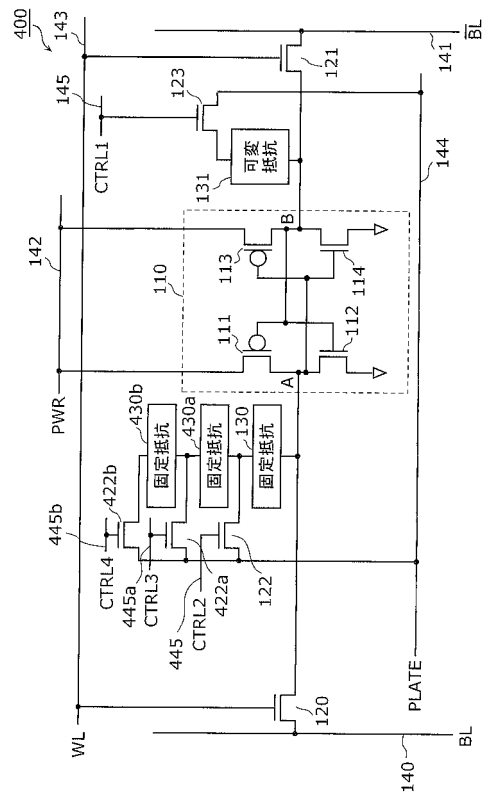
【図9A】



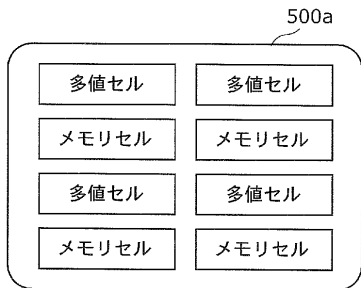
【図9B】



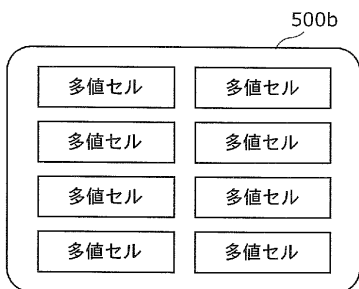
【図10】



【図11A】



【図11B】



フロントページの続き

- (56)参考文献 国際公開第2009/028298(WO, A1)
特開2006-146983(JP, A)
国際公開第2004/040582(WO, A1)
国際公開第2003/085741(WO, A1)

(58)調査した分野(Int.Cl., DB名)

G11C 13/00
G11C 11/41
G11C 11/412