

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-50591
(P2010-50591A)

(43) 公開日 平成22年3月4日(2010.3.4)

(51) Int.Cl. F I テーマコード(参考)
 H03K 3/03 (2006.01) H03K 3/03 5J043
 H03K 3/354 (2006.01) H03K 3/354 C

審査請求 未請求 請求項の数 3 O L (全7頁)

(21) 出願番号 特願2008-211330 (P2008-211330)
 (22) 出願日 平成20年8月20日 (2008.8.20)
 特許法第30条第1項適用申請有り 平成20年3月5日 社団法人電子情報通信学会発行の「2008年総合大会講演論文集(DVD)」に発表

(71) 出願人 592218300
 学校法人神奈川大学
 神奈川県横浜市神奈川区六角橋3丁目27番1号
 (74) 代理人 110000545
 特許業務法人大貫小竹国際特許事務所
 (72) 発明者 草賀 貴志
 静岡県袋井市木原351-5
 (72) 発明者 島 健
 神奈川県相模原市西橋本1-26-4
 Fターム(参考) 5J043 AA04 AA26 EE01 LL01

(54) 【発明の名称】 リング発振器

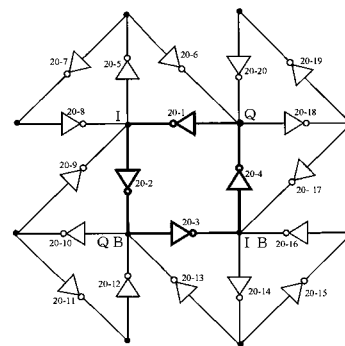
(57) 【要約】

【課題】

従来のリング発振器に比べて、より高い発振周波数を実現するリング発振器を提供する。

【解決手段】

本リング発振器には、4つのインバータ20-1、20-2、20-3、20-4から構成されるメインループ回路に、5つのインバータを組み合わせ形成する2つの3段の励起回路([20-1、20-5、20-6、20-7、20-8]、[20-2、20-9、20-10、20-11、20-12]、[20-3、20-13、20-14、20-15、20-16]、[20-4、20-17、20-18、20-19、20-20])が4組設けられている。この4組の励起回路によって形成される偶数段のループ回路の数は、メインループ回路の個数以下になっている。すなわち、本リング発振器は、従来のリング発振器に比べて偶数段のループ回路の数が少ないため、高い周波数での発振ができる。



【選択図】 図2

【特許請求の範囲】

【請求項 1】

偶数段のインバータを縦続接続して構成されたメインループ回路と、奇数段のインバータを縦続接続して構成されたループ回路から成る励起回路と、を備えたリング発振器であって、

前記励起回路は前記メインループ回路の周囲に複数接続して設けられ、且つ、前記複数の励起回路によって形成される偶数段のインバータのループ回路の数は、前記メインループ回路の個数以下であることを特徴とするリング発振器。

【請求項 2】

4 段のインバータを縦続接続して構成されるメインループ回路の周囲に 3 段のインバータを縦続接続して構成された 8 つの励起回路を設け、

10

前記 8 つの励起回路は、前記メインループ回路を構成するインバータの 1 つと前記メインループ回路を構成するインバータ以外の 2 つのインバータとによって構成される第 1 の励起回路と、前記メインループ回路を構成する隣り合うインバータ間に接続され、前記メインループ回路を構成するインバータ以外の 3 つのインバータによって構成される第 2 の励起回路と、を交互に接続して構成されることを特徴とする請求項 1 に記載のリング発振器。

【請求項 3】

4 段のインバータを縦続接続して構成されるメインループ回路の周囲に 3 段のインバータを縦続接続して構成された 8 つの励起回路を設け、

20

前記 8 つの励起回路は、5 つのインバータを用いて 1 つのインバータを共用する並設された 2 つの励起回路を 4 組設けて構成され、前記並設された 2 つの励起回路の一方は前記メインループ回路を構成するインバータの 1 つと前記メインループ回路を構成するインバータ以外の 2 つのインバータとによって構成され、他方は前記メインループ回路を構成するインバータ以外の 3 つのインバータによって構成されることを特徴とする請求項 1 に記載のリング発振器。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、より高い周波数での発振を可能としたリング発振器に関する。

30

【背景技術】

【0002】

近年、携帯電話をはじめとする携帯用情報機器においては、画像データや動画データのやり取りが頻繁に行われるため、より高速なデータ通信を行うことが求められている。

このようなデータの通信には、クロックとデータを重畳された入力信号からクロックを抽出するクロックリカバリ回路が用いられている。クロックリカバリ回路の多くは、リング発振器を用いて構成されている。

【0003】

リング発振器は、インバータを奇数個リング状に接続した発振回路のことであり、広い周波数可変領域を持ち、インダクタやキャパシタを全く必要としないためデジタル回路に広く利用されている。

40

【0004】

ところで、クロックリカバリ回路におけるデータ抽出処理の高速化および同回路における複素信号の処理には、同一周波数で 90°ごとにずれた 4 つの信号を発生させるクオドラチャ発振器が不可欠である。

従来のリング発振器によるクオドラチャ発振器の一例として、偶数段と奇数段のリング発振器を組み合わせた発振回路が知られている（特許文献 1 参照）。

【0005】

図 5 は、特許文献 1 に記載された発振回路の構成を示した図である。

特許文献 1 に記載された発振回路は、外周を偶数段のリング発振器で取り囲み、内側に

50

奇数段のリング発振器で構成されたループ回路が4個埋め込まれて構成されている。

【特許文献1】特開2007-274431号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、この発振回路は、3段のリング発振器による複数の励起回路を備える一方で、この複数の励起回路によって2段のリング発振器による発振抑圧回路が同時に2つ形成されている。

すなわち、特許文献1に記載された発振器は、所望の偶数段のリング発振器のほかにそれより段数の少ない発振を抑制する偶数段のリング発振器が複数存在するため、発振周波数の低下が生じる問題がある。

本発明は、この偶数段のリング発振器による発振周波数の低下を回避して、より高い周波数での発振を可能としたリング発振器の提供を行うことを目的とする。

【課題を解決するための手段】

【0007】

この発明に係るリング発振器は、偶数段のインバータを縦続接続して構成されたメインループ回路と、奇数段のインバータを縦続接続して構成されたループ回路から成る励起回路と、を備えたリング発振器であって、前記励起回路は前記メインループ回路の周囲に複数接続して設けられ、且つ、前記複数の励起回路によって形成される偶数段のインバータのループ回路の数は、前記メインループ回路の個数以下であることを特徴としている（請求項1）。

【0008】

この構成により、本発明のリング発振器は、メインループ回路の周囲に設けられた励起回路によって、発振を抑制する偶数段のループ回路の個数を減らすことができるため、発振周波数の低下を回避することができる。

【0009】

ここで、クオドラチャ発振回路においては、4段のインバータを縦続接続して構成されるメインループ回路の周囲に3段のインバータを縦続接続して構成された8つの励起回路を設け、前記8つの励起回路を、前記メインループ回路を構成するインバータの1つと前記メインループ回路を構成するインバータ以外の2つのインバータとによって構成される第1の励起回路と、前記メインループ回路を構成する隣り合うインバータ間に接続され、前記メインループ回路を構成するインバータ以外の3つのインバータによって構成される第2の励起回路と、を交互に接続して構成するようにしてもよい（請求項2）。

【0010】

また、他のクオドラチャ発振回路の例としては、前記励起回路は4段のインバータを縦続接続して構成されるメインループ回路の周囲に3段のインバータを縦続接続して構成された8つの励起回路を設け、前記8つの励起回路を、5つのインバータを用いて1つのインバータを共用する並設された2つの励起回路を4組設けて構成し、前記並設された2つの励起回路の一方は前記メインループ回路を構成するインバータの1つと前記メインループ回路を構成するインバータ以外の2つのインバータとによって構成され、他方は前記メインループ回路を構成するインバータ以外の3つのインバータによって構成される（請求項3）ようにしてもよい。

【0011】

クオドラチャ発振回路としては、いずれの励起回路の構成を採用してもよく、特に後者の構成によれば、隣接する励起回路でインバータを共有することができるので、インバータの素子数を減らすことが可能となる。

【発明の効果】

【0012】

以上のように、本発明によれば、偶数段のインバータのループ回路の数を高々メインループ回路の個数以下に構成した励起回路をメインループ回路に接続したことによって、高

10

20

30

40

50

い周波数での発振が可能となるため、高速なデータ通信をすることができる。

【発明を実施するための最良の形態】

【0013】

以下、この発明のリング発振器の実施例を図面に基づいて説明する。

また、本リング発振器のメインループ回路を構成するインバータの段数は、偶数段であればよいが、1例として4段のメインループ回路を採用して説明する。

【実施例1】

【0014】

図1は、本実施例のリング発振器を示した回路図である。

本リング発振器は、4段のインバータからなる太線で示されたメインループ回路と、メインループ回路の外周に設けられ、3段のインバータから成るループ回路によって構成された8つの励起回路とを有して構成されている。

なお、各インバータには、MOSトランジスタを組み合わせることができる周知の差動増幅回路、PMOSトランジスタとNMOSトランジスタを組み合わせることができる周知のCMOSインバータゲート回路、あるいはCMOSインバータゲート回路を電圧駆動ではなく電流駆動とする周知の回路等を用いることができる。

【0015】

本リング発振器は、メインループ回路に設けた8つの励起回路により、中央に配置されているメインループ回路を発振する。

メインループ回路は、4つのインバータ10-1、10-2、10-3、10-4から構成されている。

【0016】

励起回路の構成は、2種類の回路で構成されており、一方の種類は、メインループ回路を構成するインバータの両端に信号をループさせるようにインバータを縦続接続して構成される回路([10-1、10-5、10-6]、[10-2、10-10、10-11]、[10-3、10-15、10-16]、[10-4、10-20、10-21])である(第1の励起回路)。

【0017】

他方の種類の励起回路は、3つのインバータを接続した回路を、メインループ回路を構成する隣り合うインバータの間に接続した回路([10-7、10-8、10-9]、[10-12、10-13、10-14]、[10-17、10-18、10-19]、[10-22、10-23、10-24])である(第2の励起回路)。

すなわち、本リング発振器は、第1の励起回路および第2の励起回路がメインループ回路の外周に交互に並設されて、メインループ回路が合計8つの励起回路で囲まれている。

【0018】

このように、励起回路によって形成される偶数段のループ回路は、8段[10-5、10-6、10-21、10-20、10-16、10-15、10-11、10-10]から成る1つの回路のみであり、メインループ回路の個数(1個)以下である。

したがって上述の構成によれば、各々の3段の励起回路によって発振されるが、これら励起回路によって形成される偶数段のループ回路の数がメインループ回路の個数以下であるため、発振が抑圧されることがなく、高い周波数を維持することが可能となる。

【0019】

なお、本リング発振器の発振周波数については、実施例2のリング発振器と共に後述する。

【実施例2】

【0020】

続いて、本リング発振器の第2の実施例について、図面を参照して説明する。

図2は、本実施例のリング発振器を示した回路図である。

本実施例のリング発振器は、実施例1に示したリング発振器の励起回路の構成のみ異なる。

10

20

30

40

50

【0021】

本リング発振器は、8つの励起回路を備えている。すなわち、8つの励起回路は、5つのインバータを組み合わせることで1つのインバータを共用する並設された2つの3段の励起回路（[20-1、20-5、20-6、20-7、20-8]、[20-2、20-9、20-10、20-11、20-12]、[20-3、20-13、20-14、20-15、20-16]、[20-4、20-17、20-18、20-19、20-20]）から構成されている。

【0022】

5つのインバータを用いて並設された2つの励起回路の一方は、メインループ回路を構成するインバータを1つとメインループ回路を構成するインバータ以外の2つのインバータによって構成される。他方の励起回路は、メインループ回路を構成するインバータ以外の3つのインバータによって構成される。

10

【0023】

つまり、実施例1におけるインバータ10-5と10-7の役割をインバータ20-5が、インバータ10-11、10-12の役割をインバータ20-10が、インバータ10-16、10-17の役割をインバータ20-14が、インバータ10-21、10-22の役割を20-18がそれぞれ担っているため、本リング発振器に用いられるインバータの総数は、実施例1に比べて4つ少ない。

【0024】

また実施例1と同様に、励起回路によって形成される偶数段のループ回路は、8段[20-5、20-6、20-18、20-17、20-14、20-13、20-10、20-9]から成る1つの回路のみであり、メインループ回路の個数（1個）以下である。

20

このような構成においても、励起回路によって形成される偶数段のループ回路の数がメインループ回路の個数以下であるため、発振の抑圧を回避することができる。

【0025】

つぎに、上述した構成のリング発振器における発振周波数について説明する。

図3は、実施例2のリング発振器における出力波形を示したグラフである。

図5に示した従来のクオドラチャ発振器の発振周波数は、320.9[MHz]であるのに対し、実施例2のリング発振器は、505.6[MHz]である。すなわち、本リング発振器の発振周波数は、57.6%向上していることが分かる。また、実施例1に示したリング発振器においても同等の発振周波数を得ることができた。

30

特に、実施例2におけるリング発振器は、実施例1のリング発振器に比べてインバータを使用する数が少なく、消費電力を減少させることができるためコストパフォーマンスに優れている。

【0026】

図4は、実施例1、実施例2および従来の発振器における周波数特性を示したグラフである。

グラフの実線は、実施例2のリング発振器、点線は、実施例1のリング発振器、破線は、従来の発振器を示している。

【0027】

グラフから明らかなように、本実施例および実施例1に示したリング発振器は、従来のリング発振器に比べて発振電圧が低いことが分かる。

40

また、実施例1および本実施例に記載したリング発振器は、従来のリング発振器に比べて周波数の増加率が大きく、さらに発振の立ち上がり早い。

【0028】

なお、以上で説明した本発明のリング発振器は、メインループ回路の外周に励起回路を設けた例を説明したが、メインループ回路の内周に励起回路を設けた場合も同様の効果が得られる。また、励起回路は奇数段のリング発振器に限定されることはなく、従来周知の様々な発振回路に置き換えても同様の効果が得られる。

【図面の簡単な説明】

50

【 0 0 2 9 】

【 図 1 】 実施例 1 のリング発振器を示した回路図である。

【 図 2 】 実施例 2 のリング発振器を示した回路図である。

【 図 3 】 実施例 2 リング発振器における出力波形を示したグラフである。

【 図 4 】 各発振器における周波数特性を示したグラフである。

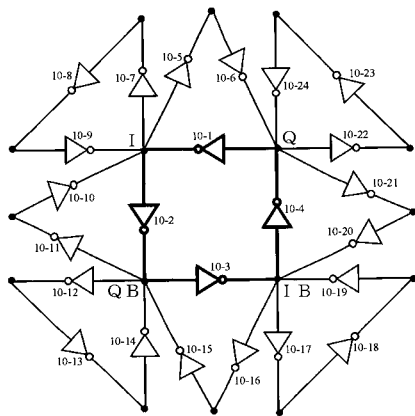
【 図 5 】 従来のクオドラチャ発振器の構成を示した図である。

【 符号の説明 】

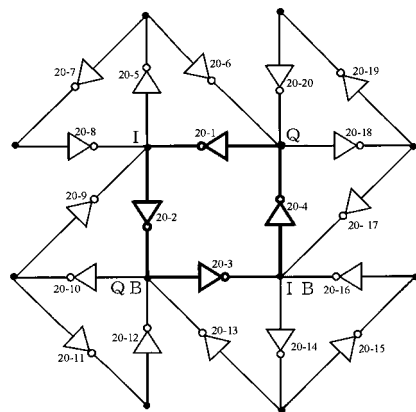
【 0 0 3 0 】

1 0 - 1 ~ 1 0 - 2 4 , 2 0 - 1 ~ 2 0 - 2 0 . . . インバータ

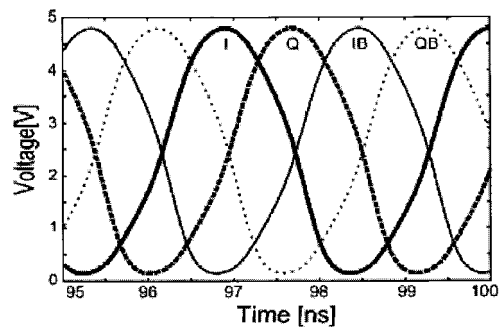
【 図 1 】



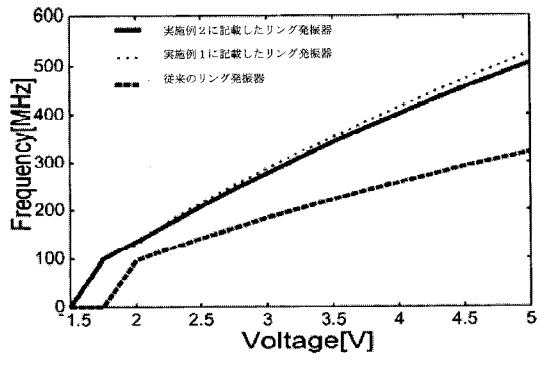
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

