

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-45130
(P2005-45130A)

(43) 公開日 平成17年2月17日(2005.2.17)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/82	HO 1 L 21/82	2 K 0 0 8
GO 3 H 1/04	GO 3 H 1/04	5 F 0 6 4
G 1 1 C 13/04	G 1 1 C 13/04	
	HO 1 L 21/82	

審査請求 未請求 請求項の数 8 O L (全 19 頁)

(21) 出願番号	特願2003-279503 (P2003-279503)	(71) 出願人	802000031 財団法人北九州産業学術推進機構 福岡県北九州市若松区ひびきの2番1号
(22) 出願日	平成15年7月25日(2003.7.25)	(74) 代理人	100121371 弁理士 石田 和人
		(72) 発明者	渡邊 実 福岡県飯塚市大字伊岐須1-4-4-403
		(72) 発明者	小林 史典 福岡県宗像市大谷2-11
		Fターム(参考)	2K008 AA04 BB00 EE01 EE04 FF17 HH01 HH28 5F064 AA03 AA08 BB02 BB07 BB12 BB19

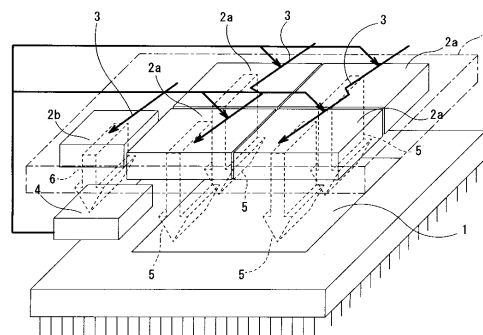
(54) 【発明の名称】 光再構成型ゲートアレイのデータ書込装置及びデータ書込方法

(57) 【要約】

【課題】部分的な論理演算回路の再構成が頻繁に生じる場合においても、ホログラムメモリの利用効率を高くすることが可能な光再構成型ゲートアレイのデータ書込技術を提供する。

【解決手段】照射された光を光電変換し電気信号として出力する受光素子と、受光素子が出力する電気信号に従って論理演算回路の構成を行う論理演算セルと、がアレイ状に配列された光再構成型ゲートアレイ1において、各受光素子に対し論理演算回路の構成情報を含む光パターンの照射を行うデータ書込装置において、光再構成型ゲートアレイ1を複数の区画に分割し、各区画ごとに独立して、当該区画内の受光素子に対して前記光パターンの照射を行う。これにより、光再構成型ゲートアレイ1の1回あたりの再構成が部分的な場合でも、光パターンを記憶するメモリに、不必要に重複した情報を記憶させる必要がなくなるため、光パターンの記憶情報を削減することができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

照射された光を光電変換し電気信号として出力する受光素子と、前記受光素子が出力する電気信号に従って論理演算回路の構成を行う論理演算セルと、がアレイ状に配列された光再構成型ゲートアレイにおいて、前記各受光素子に対し論理演算回路の構成情報を含む光パターンの照射を行うデータ書込装置であって、

前記光再構成型ゲートアレイを複数の区画に分割し、各区画ごとに独立して、当該区画内の前記受光素子に対して前記光パターンの照射を行うことを特徴とするデータ書込装置。

【請求項 2】

前記データ書込装置は、

光パターンを生成する情報が記録された光学的メモリと、

前記光再構成型ゲートアレイの各区画ごとに独立して、光学的メモリに対し各光パターンを再生するための再生照明光を照射する再生光照射手段と、を備えていることを特徴とする請求項 1 記載のデータ書込装置。

【請求項 3】

前記光学的メモリは、光パターンを生成するマスクパターンが記録されたホログラムメモリであり、

前記再生光照射手段は、前記光再構成型ゲートアレイの各区画ごとに独立して、各マスクパターンごとに決められた照射角で前記ホログラムメモリに対し再生照明光を照射することを特徴とする請求項 2 記載のデータ書込装置。

【請求項 4】

前記光学的メモリは、各時間帯において前記光再構成型ゲートアレイの各々の区画に再生照明光の照射を行うか否かに関する情報が記録された照射情報記録エリアを備えており、

前記照射情報記録エリアを通過した再生光を受光素子により光電変換して得られる電気信号により、各時間帯における前記光再構成型ゲートアレイの各々の区画に再生照明光の照射を行うか否かの制御を行う再生光照射制御手段を備えていることを特徴とする請求項 2 又は 3 記載のデータ書込装置。

【請求項 5】

照射された光を光電変換し電気信号として出力する受光素子と、前記受光素子が出力する電気信号に従って論理演算回路の構成を行う論理演算セルと、がアレイ状に配列された光再構成型ゲートアレイにおいて、前記各受光素子に対し論理演算回路の構成情報を含む光パターンの照射を行うデータ書込方法であって、

複数の区画に分割された前記光再構成型ゲートアレイの各々の区画に対して、各区画ごとに独立して、当該区画内の前記受光素子に対し前記光パターンの照射を行うことを特徴とするデータ書込方法。

【請求項 6】

前記光再構成型ゲートアレイの各々の区画に前記光パターンの照射を行うにあたり、

光パターンを生成する情報が記録された光学的メモリに対して、前記各区画ごとに独立して、前記光学的メモリに対し各光パターンを再生するための再生照明光を照射することを特徴とする請求項 5 記載のデータ書込方法。

【請求項 7】

前記光学的メモリは光パターンを生成するマスクパターンが記録されたホログラムメモリであり、

前記光再構成型ゲートアレイの各々の区画に前記光パターンの照射を行うにあたり、前記各区画ごとに独立して、当該区画における各マスクパターンごとに決められた照射角で前記ホログラムメモリに対し再生照明光を照射することを特徴とする請求項 6 記載のデータ書込方法。

【請求項 8】

前記光学的メモリは、各時間帯において前記光再構成型ゲートアレイの各々の区画に再生

10

20

30

40

50

照明光の照射を行うか否かに関する情報が記録された照射情報記録エリアを備えており、前記照射情報記録エリアを通過した再生光を受光素子により光電変換して得られる電気信号により、各時間帯における前記光再構成型ゲートアレイの各々の区画に再生照明光の照射を行うか否かの制御を行うことを特徴とする請求項 6 又は 7 記載のデータ書込方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光再構成型ゲートアレイに対して論理演算回路の構成情報を含む光パターンの照射を行い回路構成データの書き込みを行うデータ書込技術に関し、特に、光パターンが記録されたホログラムメモリの利用効率が高いデータ書込技術に関する。 10

【背景技術】

【0002】

再構成可能なゲートアレイとしては、従来より F P G A (Field Programmable Gate Array) が広く知られている。F P G A においては、プログラム可能な論理演算セルがアレイ状に配列されており、各論理演算セル間を結ぶ配線も、ゲートにより再構成することが可能な構成とされている。しかしながら、F P G A においては、各論理演算セルや配線間のゲートに対する再構成データの書き込みは、電気的な配線によって行われる。この電気配線による再構成データの書き込みは、少ない配線リソースを使用してシリアル転送によって行われることから、論理演算回路の再構成に時間がかかるという欠点がある。 20

【0003】

一方、近年、再構成可能なゲートアレイにおいて、論理演算回路の再構成データを光パターンを使用して並列的に書き込む光再構成型ゲートアレイ (OPGA : Optically Programmable Gate Array) が研究・開発されている (例えば、特許文献 1 ~ 4、非特許文献 1 ~ 4 参照)。光再構成型ゲートアレイにおいては、論理演算回路の再構成データを、光による広いバンド幅を利用して並列的に書き込むため、マイクロ秒オーダーでの瞬間的な論理演算回路の再構成が可能となる。

【0004】

図 1 1 は従来 of 光再構成型ゲートアレイのデータ書込装置の全体構成を表す模式図、図 1 2 は論理関数ゲートの構成を表す模式図である。図 1 1 において、データ書込装置は、光再構成型ゲートアレイ 1 0 1 の上面にホログラムメモリ 1 0 2 を配置した構成からなる。光再構成型ゲートアレイ 1 0 1 は、図 1 2 に示したような、メモリ 1 0 4 及びゲート素子 1 0 5 からなる論理演算セルと、受光素子 1 0 6 とが電気配線 1 0 7 により結合された構成からなる。ホログラムメモリ 1 0 2 に再生照明光を照射すると、ホログラムメモリ 1 0 2 からは、論理演算回路の再構成情報を有する光パターンからなる再生光 1 0 3 が出る。この再生光 1 0 3 は、光再構成型ゲートアレイ 1 0 1 の上面に配置された各受光素子 1 0 6 に照射される。光が照射された受光素子 1 0 6 は光電変換により電気信号を出力する。各論理演算セルは、受光素子 1 0 6 から出力される電気信号により、記憶データを更新する。このようにして、論理演算回路の再構成が行われる。 40

【0005】

図 1 3 は非特許文献 1 , 3 , 4 に記載 of 光再構成型ゲートアレイのデータ書込装置の断面図である。図 1 3 においては、光再構成型ゲートアレイ 1 0 1 及びホログラムメモリ 1 0 2 は、断面が六角形のキャビティ 1 0 9 内に収納されている。光再構成型ゲートアレイ 1 0 1 がキャビティ 1 0 9 の底面に、ホログラムメモリ 1 0 2 がキャビティ 1 0 9 の上面に実装されており、キャビティ 1 0 9 の底面の両側の上向き斜面には、面発光型レーザ (VCSEL : Vertical Cavity Surface Emitting Lasers) 1 1 0 が実装されている。面発光レーザ 1 1 0 , 1 1 0 から出射された再生照明光は、ホログラムメモリ 1 0 2 に照射され、ホログラムメモリ 1 0 2 で反射されて再生光 1 0 3 として光再構成型ゲートアレイ 1 0 1 に照射される。この際、再生光 1 0 3 には、ホログラムメモリ 1 0 2 に記録されたマスク 50

パターンが再生され、論理演算回路の再構成情報を有する光パターンが光再構成型ゲートアレイ101に照射されることになる。面発光レーザ110, 110から照射される再生照明光の照射角を変更することにより、ホログラムメモリ102に記録された複数のマスクパターンを再生光103に選択的に再生することができる。このようにして、論理演算回路の再構成情報を有する光パターンの切り換えが行われる。

【特許文献1】特開2002-353317号公報

【特許文献2】米国特許第5959747号明細書

【特許文献3】米国特許第6057703号明細書

【特許文献4】米国特許第6072608号明細書

【非特許文献1】J. Mumbru, G. Panotopoulos, D. Psaltis, X. An, F. Mok, S. Ay, S. Barna, and E. Fossum, "Optically Programmable Gate Array", Proc. SPIE of Optics in Computing 2000, The International Society for Optical Engineering, May 2000, Vol. 4089, pp.763-771 10

【非特許文献2】J. Mumbru, G. Zhou, X. An, W. Liu, G. Panotopoulos, F. Mok, and S. Psaltis, "Optical memory for computing and information processing", Proc. SPIE on Algorithms, Devices, and Systems for Optical Information Processing III, The International Society for Optical Engineering, July 1999, Vol.3804, pp.14-24

【非特許文献3】J. Mumbru, G. Panotopoulos, D. Psaltis, X. An, G. Zhou, F. Mok, "Optically Reconfigurable Gate Array", Proceedings of the 29th Applied Imagery Pattern Recognition Workshop (AIPR '00), IEEE Computer Society, October 16-18, 2000, pp.84 20

【非特許文献4】Jose Mumbru, George Panotopoulos, Arrigo Benedetti, Demetri Psaltis, Pietro Perona, "Optically Programmable FPGA Systems", [online], 2001年12月13日, California Institute of Technology Division of Engineering and Applied Science, [平成15年7月21日検索], インターネット<URL : <http://www.cse.caltech.edu/Research02/reports/panotopoulos2full.html>>

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、光再構成型ゲートアレイを種々のアプリケーション回路に応用する場合において、実際には論理演算回路全体を連続して構成し直す頻度は低い。すなわち、一回の論理演算回路の再構成において、論理演算回路が再構成されるのは部分的であり、それ以外の部分は以前に構成された論理演算回路がそのまま存続する。特に、光再構成型ゲートアレイが部分的に頻繁に再構成されるような場合においては、ホログラムメモリには、論理関数の再構成が行われない部分の論理演算セルに対する光パターンを、重複して多量に記録する必要がある。そのため、ホログラムメモリの利用効率が低下し、大容量のホログラムメモリが必要とされる。 30

【0007】

そこで、本発明の目的は、部分的な論理演算回路の再構成が頻繁に生じる場合においても、ホログラムメモリの利用効率を高くすることが可能な光再構成型ゲートアレイのデータ書込技術を提供することを目的とする。 40

【課題を解決するための手段】

【0008】

本発明に係る光再構成型ゲートアレイのデータ書込装置の第1の構成は、照射された光を光電変換し電気信号として出力する受光素子と、前記受光素子が出力する電気信号に従って論理演算回路の構成を行う論理演算セルと、がアレイ状に配列された光再構成型ゲートアレイにおいて、前記各受光素子に対し論理演算回路の構成情報を含む光パターンの照射を行うデータ書込装置において、前記光再構成型ゲートアレイを複数の区画に分割し、各区画ごとに独立して、当該区画内の前記受光素子に対して前記光パターンの照射を行うことを特徴とする。

【0009】

この構成により、光再構成型ゲートアレイの論理演算回路が連続して頻繁に再構成されるアプリケーションに使用する場合において、光再構成型ゲートアレイの1回あたりの再構成が部分的な場合でも、データ書込装置は、光再構成型ゲートアレイの各区画のうち、再構成が行われる区画内の受光素子に対してのみ光パターンの照射を行い、再構成が行われない他の区画に対しては光パターンの照射を行わないようにすることができる。これにより、光パターンを記憶するメモリに、不必要に重複した情報を記憶させる必要がなくなるため、光パターンの記憶情報を削減することができる。

【0010】

ここで、光再構成型ゲートアレイを複数の区画に分割する際の区画の数や区画の形状は特に限定するものではなく、目的に応じて最適な区画数や区画形状に分割することができる。

【0011】

本発明に係る光再構成型ゲートアレイのデータ書込装置の第2の構成は、前記第1の構成において、前記データ書込装置は、光パターンを生成する情報が記録された光学的メモリと、前記光再構成型ゲートアレイの各区画ごとに独立して、光学的メモリに対し各光パターンを再生するための再生照明光を照射する再生光照射手段と、を備えていることを特徴とする。

【0012】

この構成により、再生光照射手段は、各区画ごとに独立して、光学的メモリに対して再生照明光を照射して、各区画ごとに光再構成型ゲートアレイに照射する光パターンを制御及び変更することが可能となる。従って、光再構成型ゲートアレイの1回あたりの再構成が部分的な場合でも、再生光照射手段は、再構成が行われる区画内の受光素子に対してのみ光パターンの照射を行うことができる。これにより、光学的メモリに、不必要に重複した光パターンの情報を記憶させる必要がなくなるため、光学的メモリの記憶容量を効率的に利用することが可能となる。

【0013】

ここで、「光学的メモリ」としては、ホログラムメモリ、CD (Compact Disc)、MD (Mini-Disk)、DVD (Digital Versatile Disk) 等を使用することができる。

【0014】

本発明に係る光再構成型ゲートアレイのデータ書込装置の第3の構成は、前記第2の構成において、前記光学的メモリは、光パターンを生成するマスクパターンが記録されたホログラムメモリであり、前記再生光照射手段は、前記光再構成型ゲートアレイの各区画ごとに独立して、各マスクパターンごとに決められた照射角で前記ホログラムメモリに対し再生照明光を照射することを特徴とする。

【0015】

この構成により、再生光照射手段は、再生照明光の照射角を変更することにより、ホログラムメモリから光再構成型ゲートアレイに照射される再生光の光パターンを変更することができる。すなわち、ホログラムメモリは光学的情報の多重記録が可能な光学的メモリであり、再生光照射手段は、再生照明光の照射角を変更することで、光再構成型ゲートアレイに照射する光パターンの切り換えを行うことができる。従って、データ書込装置をコンパクトに構成できるとともに、光パターンの高速な切替が可能となる。また、ホログラムメモリを可換媒体とすることにより、光再構成型ゲートアレイの使用目的に応じてホログラムメモリを交換するだけで、論理演算セルによる論理演算回路の構成を変更することができる。

【0016】

ここで、「ホログラムメモリ」とは、ホログラムが記録されており、再生照明光を照射することにより、再生光の光パターンとしてホログラムを再生することが可能なメモリをいう。「ホログラムメモリ」としては、再生照明光を透過させ透過光として光パターンが再生された再生光を生成する透過型ホログラムメモリと、再生照明光を反射させ反射光と

して光パターンが再生された再生光を生成する反射型ホログラム（リップマンホログラム）メモリとがあるが、何れのものも使用することができる。

【0017】

また、「再生光照射手段」としては、例えば、面発光型レーザ（VCSEL）、半導体レーザなどのコヒーレント光源等を使用することができる。

【0018】

本発明に係る光再構成型ゲートアレイのデータ書込装置の第4の構成は、前記第2又は3の構成において、前記光学的メモリは、各時間帯において前記光再構成型ゲートアレイの各々の区画に再生照明光の照射を行うか否かに関する情報が記録された照射情報記録エリアを備えており、前記照射情報記録エリアを通過した再生光を受光素子により光電変換して得られる電気信号により、各時間帯における前記光再構成型ゲートアレイの各々の区画に再生照明光の照射を行うか否かの制御を行う再生光照射制御手段を備えていることを特徴とする。

10

【0019】

この構成により、再生光照射手段により光学的メモリの照射情報記録エリアに再生照明光を照射することにより、再生光照射制御手段は、当該照射情報記録エリアを通過した再生光を受光素子により光電変換して、そこに記録されている情報を読み出す。そして、再生光照射制御手段は、読み出した情報に基づいて、光再構成型ゲートアレイの各々の区画に再生照明光の照射を行うか否かの制御を行う。このように、光学的メモリ内に光再構成型ゲートアレイの各々の区画に再生照明光の照射を行うか否かに関する情報を記録しておくことにより、当該各区画ごとの再生照明光の照射情報を別途与える必要がなくなる。すなわち、光学的メモリを可換媒体とすれば、光学的メモリを交換するだけで、光再構成型ゲートアレイの区画ごとの再構成制御を行うことが可能となる。

20

【0020】

本発明に係る光再構成型ゲートアレイのデータ書込方法の第1の構成は、照射された光を光電変換し電気信号として出力する受光素子と、前記受光素子が出力する電気信号に従って論理演算回路の構成を行う論理演算セルと、がアレイ状に配列された光再構成型ゲートアレイにおいて、前記各受光素子に対し論理演算回路の構成情報を含む光パターンの照射を行うデータ書込方法において、複数の区画に分割された前記光再構成型ゲートアレイの各々の区画に対して、各区画ごとに独立して、当該区画内の前記受光素子に対し前記光パターンの照射を行うことを特徴とする。

30

【0021】

本発明に係る光再構成型ゲートアレイのデータ書込方法の第2の構成は、前記第1の構成において、前記光再構成型ゲートアレイの各々の区画に前記光パターンの照射を行うにあたり、光パターンを生成する情報が記録された光学的メモリに対して、前記各区画ごとに独立して、前記光学的メモリに対し各光パターンを再生するための再生照明光を照射することを特徴とする。

【0022】

本発明に係る光再構成型ゲートアレイのデータ書込方法の第3の構成は、前記第2の構成において、前記光学的メモリは光パターンを生成するマスクパターンが記録されたホログラムメモリであり、前記光再構成型ゲートアレイの各々の区画に前記光パターンの照射を行うにあたり、前記各区画ごとに独立して、当該区画における各マスクパターンごとに決められた照射角で前記ホログラムメモリに対し再生照明光を照射することを特徴とする。

40

【0023】

本発明に係る光再構成型ゲートアレイのデータ書込方法の第4の構成は、前記第2又は3の構成において、前記光学的メモリは、各時間帯において前記光再構成型ゲートアレイの各々の区画に再生照明光の照射を行うか否かに関する情報が記録された照射情報記録エリアを備えており、前記照射情報記録エリアを通過した再生光を受光素子により光電変換して得られる電気信号により、各時間帯における前記光再構成型ゲートアレイの各々の区

50

画に再生照明光の照射を行うか否かの制御を行うことを特徴とする。

【発明の効果】

【0024】

以上のように、本発明によれば、光パターンを記憶するメモリに、不必要に重複した情報を記憶させる必要がなくなるため、光パターンの記憶情報を削減することができる。従って、光再構成型ゲートアレイ内における部分的な論理演算回路の再構成が頻繁に生じる場合においても、光パターンの記憶情報を削減することが可能となる。

【0025】

また、本発明において、データ書込装置を、ホログラムメモリと、光再構成型ゲートアレイの各区画ごとに独立して各マスクパターンごとに決められた照射角でホログラムメモリに対し再生照明光を照射する再生光照射手段とにより構成することにより、再生光照射手段によって再生照明光の照射角を変更することで、光再構成型ゲートアレイに照射する光パターンの切り換えを行うことができる。そして、再生光照射手段は、各区画ごとに光再構成型ゲートアレイに照射する光パターンを制御及び変更し、再構成が行われる区画内の受光素子に対してのみ光パターンの照射を行うことができる。これにより、光再構成型ゲートアレイ内における部分的な論理演算回路の再構成が頻繁に生じる場合においても、ホログラムメモリの利用効率を高くすることが可能となる。

10

【0026】

また、本発明において、各時間帯において前記光再構成型ゲートアレイの各々の区画に再生照明光の照射を行うか否かに関する情報をホログラムメモリに記録しておき、この情報を読み出して、光再構成型ゲートアレイの各々の区画に再生照明光の照射制御を行うことにより、当該各区画ごとの再生照明光の照射情報を別途与える必要がなくなる。従って、ホログラムメモリを可換媒体とすれば、ホログラムメモリを交換するだけで、光再構成型ゲートアレイの区画ごとの再構成制御を行うことが可能となり、光再構成型ゲートアレイの応用用途を広げることができる。

20

【発明を実施するための最良の形態】

【0027】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

【0028】

(実施形態1)

30

図1は本発明の実施形態1に係る光再構成型ゲートアレイのデータ書込装置の全体構成を表す模式図である。本実施形態に係るデータ書込装置は、光再構成型ゲートアレイ1の上面に配設されたホログラムメモリ2、ホログラムメモリ2に再生照明光を照射する再生光照射手段3、及び、光再構成型ゲートアレイ1と同一平面上に配置された再生光照射制御回路4を備えている。

【0029】

再生光照射手段3は、光再構成型ゲートアレイ1を複数の区画に分割し、各区画ごとに独立して再生照明光の照射を行う。再生光照射手段3によりホログラムメモリ2に照射された再生照明光は、ホログラムメモリ2を通過して再生光5となる。この際、ホログラムメモリ2にホログラムとして記録されたマスクパターンを再生し、再生光5は光パターンを形成する。この光パターンが光再構成型ゲートアレイ1に照射される。光再構成型ゲートアレイ1は複数の受光素子を備えており、これらの受光素子により光電変換が行われ、光パターンに対応した論理演算回路の再構成が行われる。

40

【0030】

再生照明光の照射角は、光再構成型ゲートアレイ1の動作と同期して、各区画2aごとに独立して時間的に切り換えられる。また、ある時刻に再生照明光の照射を行うか否かは、各区画2aごとに独立して決定される。再生照明光の照射が行われた区画2aに対応する光再構成型ゲートアレイ1では論理演算回路の再構成が行われ、再生照明光の照射が行われない区画2aに対応する光再構成型ゲートアレイ1では論理演算回路の再構成は行われない。

50

【0031】

各時刻に光再構成型ゲートアレイ1の各々の区画2aに再生照明光の照射を行うか否かに関する情報は、ホログラムメモリ2の一領域である照射情報記録エリア2bに、ホログラムとして記録されている。再生光照射手段3は、各時刻において、この照射情報記録エリア2bに対しても参照照明光を照射して、照射情報記録エリア2b記録された情報を光パターンとして再生する。この光パターンは、光再構成型ゲートアレイ1に並んで設けられた再生光照射制御回路4に照射される。再生光照射制御回路4は、光再構成型ゲートアレイ1と同様に複数の受光素子を備えており、照射された光パターンに対応した電気信号が生成される。そして、再生光照射制御回路4は、この生成された電気信号に従って、各時間帯において光再構成型ゲートアレイ1の各々の区画に再生照明光の照射を行うか否かの制御を行う。

10

【0032】

図2は本発明の実施形態1に係る光再構成型ゲートアレイのデータ書込装置の光学系の構成を表す模式図である。本実施形態においては、ホログラムメモリ2としては透過型ホログラム(リップマンホログラム)メモリを使用した例を示す。尚、ホログラムメモリ2として反射型ホログラムメモリを使用する場合には、例えば、図13に示されたような構成を採ることができる。

【0033】

図2において、光再構成型ゲートアレイ1に対向して、補正マスク10、ホログラムメモリ2、及び再生光照射手段である面発光レーザ3'が順番に配設されている。面発光レーザ3'は、複数の区画3aに区切られており、各区画3aごとに照射角度及びオン・オフの制御が可能である。各区画3aに面発光レーザ3'から照射されるコヒーレントな再生照明光11は、各区画3aに対向するホログラムメモリ2内の各区画2aに照射される。

20

【0034】

ホログラムメモリ2内の各区画2aには、当該区画に対向する光再構成型ゲートアレイ1の区画に照射する再生光5を生成するためのマスクパターンが多重記録されている。再生照明光11の照射角を変更することにより、これらのマスクパターンの何れか一つを選択的に再生し、ホログラムメモリ2を透過した再生光5に、そのマスクパターンに対応した光パターンが形成される。

30

【0035】

再生光5は、補正マスク10を透過して光量補正が行われた後に、光再構成型ゲートアレイ1に照射される。ここで、光再構成型ゲートアレイ1上には、多数の受光素子が配列されているが、各受光素子の感度(光電変換効率)は、製造プロセス上の公差等により、光再構成型ゲートアレイ1内ではばらつきが生じる。補正マスク10はこのような各受光素子の感度のばらつきを補正するために設けられたものであり、各受光素子の感度のばらつきに応じて各受光素子に照射される再生光の光量を調節することによって、各受光素子の感度が均一となるように補正する。

【0036】

補正マスク10としては、液晶パネル等の空間光変調素子やハーフトーン・マスク等が使用される。補正マスク10として空間光変調素子を使用する場合には、補正マスク10を通過して光再構成型ゲートアレイ1に照射されるホログラムからの再生光の強度を、各受光素子により検出して、この検出電圧に基づいて空間光変調素子の各座標における透過率を制御することにより光量補正を行うことができる。また、ハーフトーン・マスクを使用する場合には、あらかじめ光再構成型ゲートアレイ1内の各受光素子の感度を測定して、それらの感度に応じて受光素子の出力が均一となるように濃淡をつけたハーフトーン・マスクを作成する。そしてこのハーフトーン・マスクを補正マスク10として使用することにより、光再構成型ゲートアレイ1内の各受光素子の出力を均一化することができる。

40

【0037】

このように、光再構成型ゲートアレイ1内の各受光素子のばらつきに対して、電気回路

50

的に補正を行うのではなく、補正マスク10により光学的な補正を行う構成を採ることにより、光電変換を行う受光部は単純な電荷蓄積型受光回路 (Charge-Integration Photo circuit。以下、「CIP」という。) によって非常にコンパクトに構成することが可能となる。

【0038】

尚、面発光レーザ3'の座標による発光強度のばらつきに対する補正は、光フィードバック付きのVCSEL駆動回路(図示せず)を使用して行われる。すなわち、受光素子による再生光の検出強度の一部をVCSEL駆動回路にフィードバックすることによって、個々の面発光レーザ3'のばらつきに影響されない均一な再生照射光の供給が可能となる。

10

【0039】

図3は光再構成型ゲートアレイの単位回路ブロックの回路構成例を表す図である。本実施形態における光再構成型ゲートアレイ1の単位回路ブロックは、4つの論理ブロック (Logic Block) 15、5つのスイッチング・マトリックス (SM: Switching Matrix) 16、及び4つのI/Oブロック (IOB: I/O Block) 17を備え、各々が8本の配線18により結合された構成からなる。

【0040】

論理ブロック15は、光再構成型のRAMにより構成されており、論理演算関数をルックアップテーブル (LUT) として記憶する。スイッチング・マトリックス16は、光再構成型のクロスバスイッチにより構成されており、各論理ブロック15及び各I/Oブロック17間の配線18の接続状態を切り換える。I/Oブロック17は、4つの外部からの入出力と配線領域内の8本の配線18とを結合する回路であり、これも結合状態を光により切り換えることが可能である。

20

【0041】

図4は図3の論理ブロックの回路構成を表す図である。論理ブロック15は、入力部に配設された4つのマルチプレクサ (MUX) 20、4入力1出力のルックアップ・テーブル (LUT) 21、Dフリップ・フロップ22、Dフリップ・フロップ22の出力の切換を行うマルチプレクサ23、マルチプレクサ23の出力ノードと8本の配線18との間に設けられた8つのスリー・ステート・バッファ (Tri-State Buffers) 24、及びDフリップ・フロップ22のクリア (CLR) 信号の切り替えを行うマルチプレクサ25を備えた構成からなる。また、論理ブロック15は、配線領域内の配線18とは、22本の入力と8本の出力とで接続されている。

30

【0042】

各マルチプレクサ20, 23, 25は光再構成ビット素子を備えており、光信号により選択状態の切り換えを行うことができる。

【0043】

ルックアップ・テーブル21は、16入力1出力のマルチプレクサ21aと、マルチプレクサ21aの各入力ノードに接続された16個の光再構成ビット素子21bとから構成されている。ルックアップ・テーブル21の状態は、この16個の光再構成ビット素子21bにより決定される。マルチプレクサ21aの選択入力ノードは、7入力1出力の4つのマルチプレクサ20を介して配線領域内の配線18と結合されている。各マルチプレクサ20の7つの入力ノードには、論理0、論理1、及び5本の配線領域内の配線18からの入力値が入力される。これら各マルチプレクサ20の接続状態は、3個の光再構成ビット素子によって決定される。

40

【0044】

マルチプレクサ21aの出力ノードは、Dフリップ・フロップ22に直結されている。Dフリップ・フロップ22は、マルチプレクサ21aの出力値をラッチする。また、Dフリップ・フロップ22の後段にある3入力1出力のマルチプレクサ23の入力ノードには、Dフリップ・フロップ22の出力、Dフリップ・フロップ22の反転出力、及びマルチプレクサ21aの出力が入力される。そして、マルチプレクサ23は、2個の光再構成ビ

50

ット素子によって、選択状態が決定される。

【0045】

マルチプレクサ23の出力ノードは、8つのスリー・ステート・バッファ24を介して配線領域内の配線18に接続されている。各スリー・ステート・バッファ24は、1ビットの光再構成ビット素子により接続又は非接続が決定される。

【0046】

Dフリップ・フロップ22のクリア(CLR)ノードに接続されたマルチプレクサ25は、論理0、論理1、及び配線領域内の配線18からの2ビットの入力が、2個の光再構成ビット素子により選択できる構成とされている。これにより、Dフリップ・フロップ22は、光からも電気回路からも初期化することができる。尚、電源起動時には、このマルチプレクサ25の出力が0となることで、Dフリップ・フロップ22が強制的にリセットされる。

10

【0047】

図5は図3のスイッチング・マトリックスの回路構成を表す図である。スイッチング・マトリックス16は、図3に示すように、縦横に引かれた各8本の配線18の組の交点に設けられたクロススイッチであり、それぞれ垂直に交差する配線同士を結合する役割を有する。1つのスイッチング・マトリックス16には、8本の配線の交点に設けられた8個の4方向スイッチ30が用いられている。各4方向スイッチ30は、既存のFPGAと同様に、6個のトランスマッション・ゲート31を有している。各トランスマッション・ゲート31は、1ビットの光再構成ビット素子32を有しており、光信号によって光再構成ビット素子32を切り換えることにより、オン・オフ制御を行うことができる。

20

【0048】

図6は図3のI/Oブロックの1入力分の回路構成図である。I/Oブロック17は、図3に示すように、光再構成型ゲートアレイの単位回路ブロックの中央部にあるスイッチング・マトリックス16以外の4つのスイッチング・マトリックス16のそれぞれの一端に接続されている。I/Oブロック17は、4つの単位回路ブロック外部からの入出力と、配線領域内の8本の配線18とを結合する役割を有する。従って、I/Oブロック17は、図6に示した1入力分の回路構成を4組有する構成からなる。

【0049】

図6において、I/Oブロック17の配線領域への入力回路は、入力ノードがI/Oブロックパッド34に接続され出力ノードが配線領域内の8本の配線18の何れかに接続された8個のスリー・ステート・バッファ35から構成されている。各スリー・ステート・バッファ35は、それぞれ1ビットの光再構成ビット素子35aを備え、光入力によるオン・オフ制御が可能である。

30

【0050】

また、I/Oブロック17の配線領域からI/Oブロックパッド34への出力回路は、2つのマルチプレクサ36、37、及び1個のスリー・ステート・バッファ38により構成されている。マルチプレクサ36は、4入力1出力マルチプレクサであり、入力ノードには配線領域内の2本の配線の信号、論理0、及び論理1が入力される。マルチプレクサ36は2ビットの光再構成ビット素子を備えており、2ビットの光入力信号により、入力ノードに入力される信号の何れかーを選択して出力ノードに出力する。マルチプレクサ36の出力ノードは、スリー・ステート・バッファ38の入力ノードに接続され、スリー・ステート・バッファ38の出力ノードはI/Oブロックパッド34に接続されている。

40

【0051】

また、マルチプレクサ37は、4入力1出力マルチプレクサであり、入力ノードには配線領域内の1本の配線の正論理信号及びその負論理信号、論理0、並びに論理1が入力される。マルチプレクサ36は2ビットの光再構成ビット素子を備えており、2ビットの光入力信号により、入力ノードに入力される信号の何れかーを選択して出力ノードに出力する。マルチプレクサ36の出力ノードは、スリー・ステート・バッファ38のイネーブル入力ノードに接続されている。電源起動時には、スリー・ステート・バッファ38のイネ

50

ープル入力ノードには論理 0 が出力され、総ての I / O ブロックパッド 3 4 はハイ・インピーダンスとなる。

【 0 0 5 2 】

図 7 は n ビットの光再構成ビット素子の回路構成を表す図である。光再構成ビット素子は、1 個の C I P 4 1 と 1 個のリセット付き T - F F (Toggle Flip-Flop) から構成された 1 ビットの光再構成ビット素子 4 3 が n 個並列接続された構成からなる。C I P 4 1 は、ソースが電源に、ゲートがリフレッシュ入力 (REFRESH) に接続された p M O S F E T 4 1 a と、アノードが接地されカソードが p M O S F E T 4 1 a のドレインに接続された受光素子であるフォト・ダイオード (Photodiode。以下、「 P D 」という。) 4 1 b からなる。P D 4 1 b のカソードと p M O S F E T 4 1 a のドレインの共通ノードであるトリガ入力ノード 4 1 c の負論理が、T - F F 4 2 のトリガ入力 T に接続されている。

10

【 0 0 5 3 】

T - F F 4 2 は、トリガ入力 T の立ち上がりエッジにおいて、出力 Q の論理値を反転させる。この T - F F 4 2 の出力 Q は、1 ビットの光再構成ビット素子 4 3 の出力値 C S として出力される。

【 0 0 5 4 】

1 ビットの光再構成ビット素子は、次のような動作を行う。まず、リフレッシュ入力 (REFRESH) をアサートし (L レベルとし)、p M O S F E T 4 1 a を O N 状態として、P D 4 1 b を電源電圧 Vcc で充電する。これにより、トリガ入力ノード 4 1 c は、論理 1 の電圧 (Vcc) となり、T - F F 4 2 のトリガ入力 T には論理 0 が入力される。次に、リフレッシュ入力 (REFRESH) をネゲートし (H レベルとし) て、p M O S F E T 4 1 a を O F F 状態とする。そして、ホログラムメモリ 2 からの再生光が P D 4 1 b に照射された場合には、P D 4 1 b は放電し、一定時間後にはトリガ入力ノード 4 1 c は論理 0 の電圧 (接地電圧) となり、T - F F 4 2 のトリガ入力 T には論理 1 が入力される。従って、再生光が P D 4 1 b に照射されてから一定時間経過後にクロックを立ち上げると、T - F F 4 2 は、出力 Q の論理レベルを反転する。一方、再生光が P D 4 1 b に照射されなかった場合には、クロックが立ち上がっても T - F F 4 2 は前状態を保持する。

20

【 0 0 5 5 】

このように、クロックの立ち上がりにおいて論理演算回路の構成情報が瞬時に切り替わることから、ダイナミックな再構成を利用した同期回路の実装が可能となる。

30

【 0 0 5 6 】

図 8 は図 7 における 1 ビットの光再構成ビット素子のトランジスタレベルの回路構成を表す図である。図 8 中の小さいインバータ記号は、ウィークタイプを示している。図 8 の回路では、P D 4 1 b の出力アンプや T - F F 4 2 の反転フィードバックに用いる排他論理和を 1 個の M O S トランジスタ 4 2 a と 1 個のインバータ 4 2 b により実現し、また、リセット機能をマスターからスレーブへの書き込みが行われていないときに限定してアクティブにできる仕様としたことでリセット機能を 1 個の M O S トランジスタ 4 2 c で実現することにより、回路規模を圧縮している。その結果、1 ビットの光再構成ビット素子 4 3 を 1 7 個のトランジスタにより構成することができる。

【 0 0 5 7 】

以上のように構成された本実施形態に係る光再構成型ゲートアレイのデータ書込装置において、以下その全体動作を説明する。

40

【 0 0 5 8 】

図 9 は本発明の実施形態 1 に係る光再構成型ゲートアレイのデータ書込方法を表すフローチャートである。まず、最初に、再生光照射制御回路 4 は、各区画の面発光レーザ 3 ' による再生照明光の照射角度を設定する (S 1)。そして、ホログラムメモリ 2 の全エリア (照射情報記録エリア 2 b を含む。) に対して再生照明光を照射する (S 2)。これにより、ホログラムメモリ 2 に記録された光パターンが再生光として光再構成型ゲートアレイ 1 及び再生光照射制御回路 4 に照射される。光再構成型ゲートアレイ 1 は、再生光が照射されると、その光パターンに従って、論理演算回路の再構成を行い、初期論理演算回路

50

が構成される (S3)。

【0059】

また、このとき、再生光照射制御回路4は、照射情報記録エリア2bからの再生光によって読み出される情報に基づき、次の再生光の照射により論理演算回路を再構成する光再構成型ゲートアレイ1内の区画(以下、「再構成区画」という。)を決定する(S4)。そして、再生光照射制御回路4は、各再構成区画に照射する再生照明光の照射角を決定する(S5)。そして、一定クロック数の経過後に、再生光照射制御回路4は、面発光レーザ3'により、各再構成区画及び照射情報記録エリア2bに対して所定の角度で再生照明光の照射を行う(S6)。これにより、ホログラムメモリ2に記録された光パターンが再生光として光再構成型ゲートアレイ1の再構成区画及び再生光照射制御回路4に照射される。光再構成型ゲートアレイ1は、再生光が照射された区画において、再生光の光パターンに従って、論理演算回路の再構成を行い、その区画における論理演算回路が再構成される(S7)。以下は、S4~S7の動作が繰り返される。

10

【0060】

最後に、上記のように部分再構成を繰り返し行う方法と、光再構成型ゲートアレイ1の全エリアで繰り返し再構成を行う方法とで、ホログラムメモリ2の使用効率についての比較評価を行う。尚、以下の評価では、光再構成型ゲートアレイ1は、各区画単位で任意の機能が実装されるものとする。

【0061】

以下で、平均生存クロック数kとは、ある区画に対してある論理回路が設定された後に、その論理回路が他の論理回路に交代されるまでのクロック数の平均値をいうものとする。また、光再構成型ゲートアレイ1全体の構成ビット数をN、光再構成型ゲートアレイ1内の区画数を 2^M とする。このとき、光再構成型ゲートアレイ1全体の論理回路の構成パターンの数は 2^N である。従って、各区画内における論理回路の構成パターンの数は 2^{N-M} である。

20

【0062】

ある時刻において、各区画内の論理回路が再構成される確率を P_A 、再構成されない確率を P_B とする。

【0063】

【数1】

$$P_A + P_B = 1$$

30

【0064】

各時刻において、一つの区画内の論理回路の交代が行われない確率 P_{B0} 及び交代が行われる確率 P_{A0} は、平均生存クロック数kから(数2)、(数3)のように算出される。

【0065】

【数2】

$$P_{B0} = \frac{k-1}{k}$$

40

【0066】

【数3】

$$P_{A0} = \frac{1}{k}$$

【0067】

一方、論理回路が交代された結果、交代後の論理回路が交代前の論理回路と同一の構成となる場合もあり得る。この場合、区画内の論理回路の再構成は行われない。従って、交代の前後で論理回路の構成が同一となる場合も考慮すると、各時刻において論理回路の再

50

構成が行われない確率 P_B は (数 4) により算出される。

【 0 0 6 8 】

【 数 4 】

$$P_B = \frac{k-1}{k} + \frac{1}{k2^{N-M}}$$

【 0 0 6 9 】

故に、1クロックあたりの全エリアの平均書き換えビット数 E_p は、(数 5) により算出される。

【 0 0 7 0 】

【 数 5 】

$$\begin{aligned} E_p &= 2^M [2^{N-M} (1 - P_B)] + 2^M \\ &= \frac{1}{k} (2^N - 2^M) + 2^M \end{aligned}$$

ここで、右辺第2項の 2^M は、再構成を行うか否かを決定するために必要とされるビット (照射情報記録エリア $2b$ 内のビット) を意味する。

【 0 0 7 1 】

一方、光再構成型ゲートアレイ1を区画に分割せず、光再構成型ゲートアレイ1の全エリアで繰り返し再構成を行う方法では、総ての区画において論理演算回路の再構成が行われない場合のみ、全エリアの論理回路の再構成が不要となる。従って、各時刻において論理演算回路の再構成が行われない確率 P_a は、(数 6) により表される。

【 0 0 7 2 】

【 数 6 】

$$P_a = \left(\frac{k-1}{k} + \frac{1}{k2^{N-M}} \right)^{2^M}$$

【 0 0 7 3 】

故に、1クロックあたりの全エリアの平均書き換えビット数 E_a は、(数 7) により算出される。

【 0 0 7 4 】

【 数 7 】

$$E_a = 2^N \left[1 - \left(\frac{k-1}{k} + \frac{1}{k2^{N-M}} \right)^{2^M} \right] + 1$$

ここで、右辺第2項の1は、再構成を行うか否かを決定するために必要とされるビットを意味する。

【 0 0 7 5 】

ホログラムメモリ2の利用効率を、全エリアを毎回再構成する方式における1クロックあたりの全エリアの平均書き換えビット数 E_a に対する、各区画ごとに部分的に再構成する方式における1クロックあたりの全エリアの平均書き換えビット数 E_p の比 E_p / E_a により定義する。(数 5)、(数 7) より、ホログラムメモリ2の利用効率は(数 8) のように表される。

【 0 0 7 6 】

10

20

30

40

【数 8】

$$\frac{E_p}{E_a} = \frac{1 - 2^{M-N} + k2^{M-N}}{k \left[1 - \left(\frac{k-1}{k} + \frac{1}{k2^{N-M}} \right)^{2^M} + 2^{-N} \right]}$$

【0077】

図10はN = 16の場合における平均生存クロック数kに対するホログラムメモリ2の利用効率の関係を表す図である。図10から分かるように、kが10以下の場合でも、本発明に係る部分再構成を繰り返し行う方法によれば、従来の光再構成型ゲートアレイ1の全エリアで繰り返し再構成を行う方法に比べて数倍のホログラムメモリ2の利用効率の改善が見込まれることが確認される。

10

【図面の簡単な説明】

【0078】

【図1】本発明の実施形態1に係る光再構成型ゲートアレイのデータ書込装置の全体構成を表す模式図である

【図2】本発明の実施形態1に係る光再構成型ゲートアレイのデータ書込装置の光学系の構成を表す模式図である。

【図3】光再構成型ゲートアレイの単位回路ブロックの回路構成例を表す図である。

【図4】図3の論理ブロックの回路構成を表す図である。

20

【図5】図3のスイッチング・マトリックスの回路構成を表す図である。

【図6】図3のI/Oブロックの1入力分の回路構成図である。

【図7】nビットの光再構成ビット素子の回路構成を表す図である。

【図8】図7における1ビットの光再構成ビット素子のトランジスタレベルの回路構成を表す図である。

【図9】本発明の実施形態1に係る光再構成型ゲートアレイのデータ書込方法を表すフローチャートである。

【図10】N = 16の場合における平均生存クロック数kに対するホログラムメモリの利用効率の関係を表す図である。

【図11】従来の光再構成型ゲートアレイのデータ書込装置の全体構成を表す模式図である。

30

【図12】論理関数ゲートの構成を表す模式図である。

【図13】非特許文献1, 3, 4に記載の光再構成型ゲートアレイのデータ書込装置の断面図である。

【符号の説明】

【0079】

- 1 光再構成型ゲートアレイ
- 2 ホログラムメモリ
- 2 a 区画
- 2 b 照射情報記録エリア
- 3 再生光照射手段
- 3 ' 面発光レーザ
- 3 a 区画
- 4 再生光照射制御回路
- 5 再生光
- 10 補正マスク
- 11 再生照明光
- 15 論理ブロック
- 16 スwitching・マトリックス
- 17 I/Oブロック

40

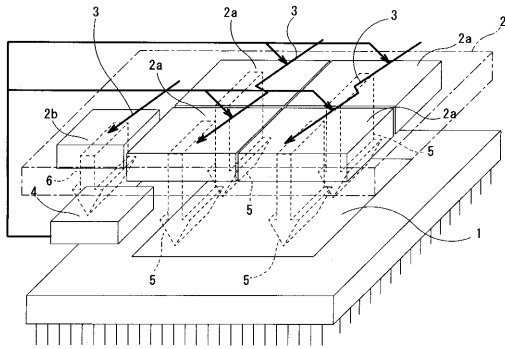
50

- 1 8 配線
- 2 0 , 2 1 a , 2 3 , 2 5 マルチプレクサ
- 2 1 ルックアップ・テーブル
- 2 1 b 光再構成ビット素子
- 2 2 Dフリップ・フロップ
- 2 4 スリー・ステート・バッファ
- 3 0 4方向スイッチ
- 3 1 トランсмисシヨン・ゲート
- 3 2 光再構成ビット素子
- 3 4 I/Oブロックパッド
- 3 5 スリー・ステート・バッファ
- 3 5 a 光再構成ビット素子
- 3 6 , 3 7 マルチプレクサ
- 3 8 スリー・ステート・バッファ
- 4 1 C I P (電荷蓄積型受光回路)
- 4 1 a p M O S F E T
- 4 1 b P D (フォト・ダイオード)
- 4 1 c トリガ入力ノード
- 4 2 T - F F (トグル・フリップ・フロップ)
- 4 2 a , 4 2 c M O S トランジスタ
- 4 2 b インバータ
- 4 3 光再構成ビット素子

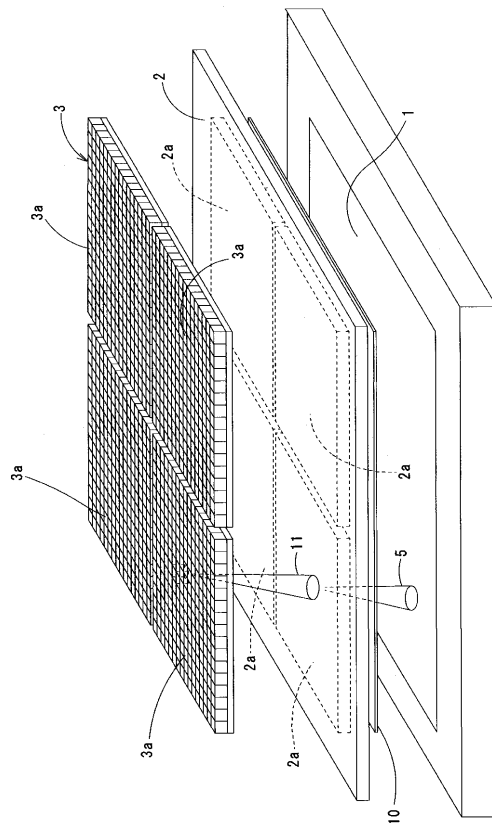
10

20

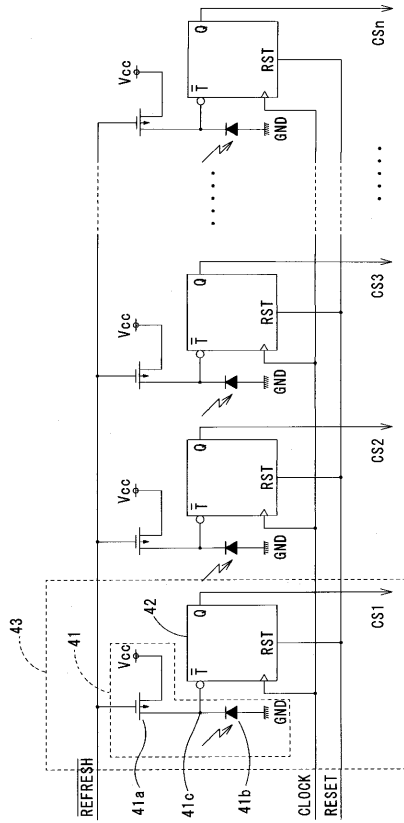
【 図 1 】



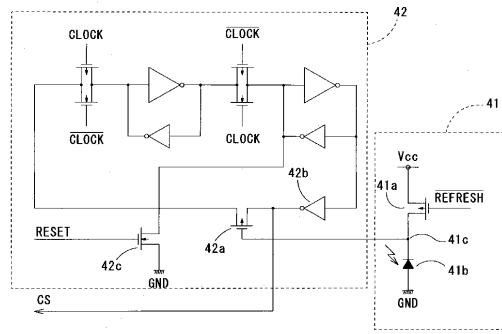
【 図 2 】



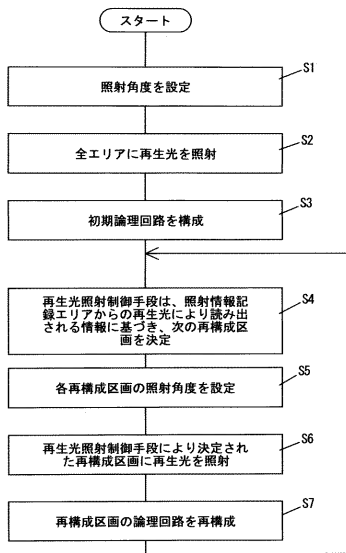
【 図 7 】



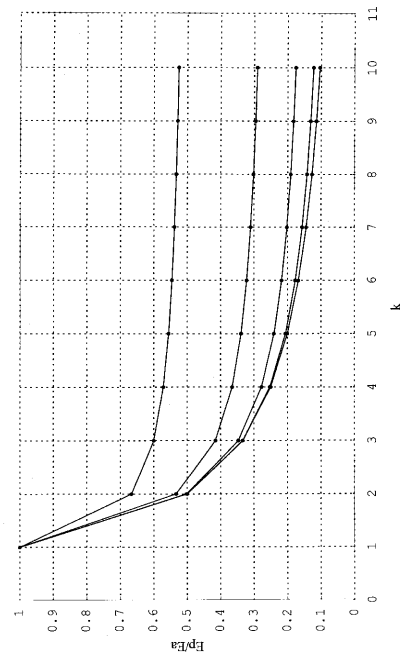
【 図 8 】



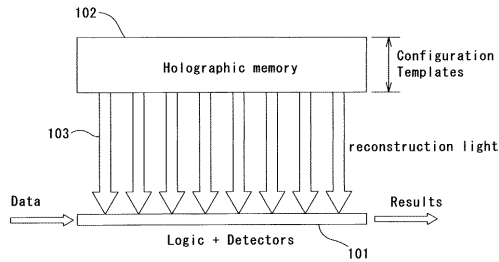
【 図 9 】



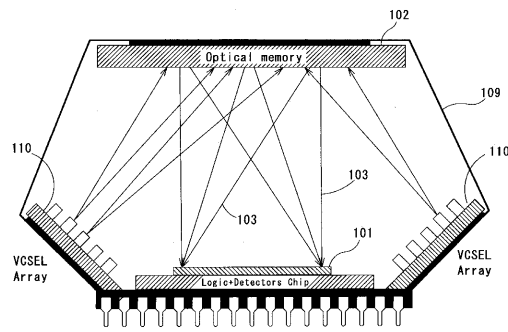
【 図 10 】



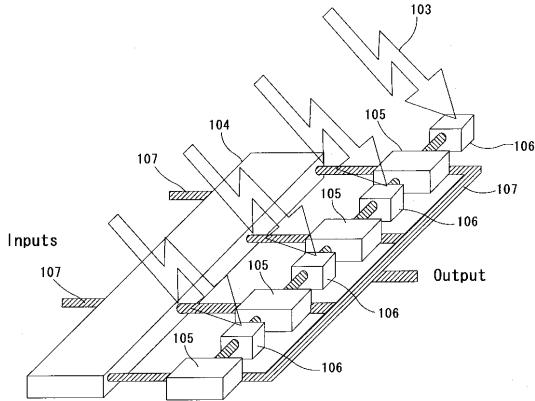
【図 1 1】



【図 1 3】



【図 1 2】



【手続補正書】

【提出日】平成16年5月11日(2004.5.11)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

また、マルチプレクサ37は、4入力1出力マルチプレクサであり、入力ノードには配線領域内の1本の配線の正論理信号及びその負論理信号、論理0、並びに論理1が入力される。マルチプレクサ37は2ビットの光再構成ビット素子を備えており、2ビットの光入力信号により、入力ノードに入力される信号の何れかーを選択して出力ノードに出力する。マルチプレクサ37の出力ノードは、スリー・ステート・バッファ38のイネーブル入力ノードに接続されている。電源起動時には、スリー・ステート・バッファ38のイネーブル入力ノードには論理0が出力され、総てのI/Oブロックパッド34はハイ・インピーダンスとなる。

フロントページの続き

【要約の続き】