

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02007/119540

発行日 平成21年8月27日 (2009. 8. 27)

(43) 国際公開日 平成19年10月25日 (2007. 10. 25)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 15/04 (2006.01)	G 1 1 C 15/04 6 3 1 W	
	G 1 1 C 15/04 6 3 1 F	
	G 1 1 C 15/04 6 0 1 A	

審査請求 有 予備審査請求 未請求 (全 26 頁)

出願番号 特願2008-510867 (P2008-510867)	(71) 出願人 504174135 国立大学法人九州工業大学 福岡県北九州市戸畑区仙水町1番1号
(21) 国際出願番号 PCT/JP2007/056498	
(22) 国際出願日 平成19年3月27日 (2007. 3. 27)	
(31) 優先権主張番号 特願2006-101106 (P2006-101106)	(74) 代理人 100121371 弁理士 石田 和人
(32) 優先日 平成18年3月31日 (2006. 3. 31)	
(33) 優先権主張国 日本国 (JP)	(72) 発明者 笹尾 勤 福岡県飯塚市川津680-4 九州工業大学情報工学部内

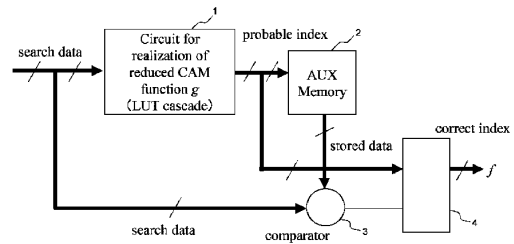
最終頁に続く

(54) 【発明の名称】 連想メモリ

(57) 【要約】

検索の高速性を維持しつつも、消費電力を抑え且つデバイスの構造を単純化して小さい実装面積で実装可能な連想メモリを提供する。

CAM関数fの無効出力をドントケアで置換した簡略化CAM関数gのLUT結合論理回路で構成された簡略化関数演算部と、CAM関数fの逆関数 f^{-1} が記憶された補助メモリと、LUT演算手段の出力がCAM関数fの出力に一致するか判定する一致判定手段とを備え、LUT演算手段は、入力データに対し簡略化CAM関数gの演算値(仮インデックス値)を出力し、補助メモリは、仮インデックス値が入力されるとそれに対する逆関数 f^{-1} の値を出力し、判定手段は、入力データと逆関数 f^{-1} の値とを比較して、両者が一致する場合はLUT演算手段の出力値を出力し、それ以外の場合は無効信号を出力する。



【特許請求の範囲】

【請求項 1】

入力データに対しそのデータに対応する固有のインデックスを出力する連想記憶メモリであって、

入力データに対しそのデータに対応する固有のインデックスを出力する関数（以下「CAM (Content Addressable Memory) 関数」という。） f の無効出力値をドント・ケアで置き換えた関数（以下「簡略化CAM関数」という。） g を表すLUT結合論理回路又はPLAにより構成された簡略化関数演算部と、

前記CAM関数 f の逆関数 f^{-1} が記憶された補助メモリと、

前記LUT演算手段の出力値がCAM関数 f の出力に一致するか否かを判定する一致判定手段と、
を備え、

前記LUT演算手段は、前記入力データに対して前記簡略化CAM関数 g の演算値（以下「仮インデックス値」という。）を前記補助メモリの読み出しアドレスとして出力し、

前記補助メモリは、前記仮インデックス値が読み出しアドレスとして入力されると、その仮インデックス値に対しする逆関数 f^{-1} の値を出力し、

前記判定手段は、前記入力データと前記補助メモリが出力する逆関数 f^{-1} の値とを比較して、両者が一致する場合は前記LUT演算手段の出力値を出力し、それ以外の場合は無効信号を出力すること

を特徴とする連想メモリ。

【請求項 2】

前記LUT結合論理回路は、LUTカスケード論理回路であることを特徴とする請求項1記載の連想メモリ。

【請求項 3】

前記LUT結合論理回路は、 p q 回路網であることを特徴とする請求項1記載の連想メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、連想メモリ（内容検査メモリ：Content Addressable Memory：以下「CAM」という。）に関し、特に、高速検索が可能で、消費電力を抑え、且つ小さい実装面積で実装可能な連想メモリに関する。

【背景技術】

【0002】

通常メモリは、与えられたインデックス（アドレス）に対して、そのアドレスに格納されている登録データを生成する。一方、CAMは、与えられた検索（入力）データに対して、それを格納するCAMのインデックス（アドレス）を生成する（非特許文献1, 2参照）。

【0003】

CAMは、パターン・マッチング、インターネットのルータ、プロセッサのキャッシュ、TLB (Translation Lookaside Buffer)、データ圧縮、データベースのアクセラレータ、ニューラルネット、メモリパッチなど幅広い分野において利用されている。

【0004】

通常、CAMは、その機能から、2値CAM (Binary CAM：以下「BCAM」という。)及び3値CAM (Ternary CAM：以下「TCAM」という。)の二種類に分類される。BCAMでは、各セルに0及び1を格納する。TCAMでは各セルに0, 1, 及び*を格納する。ここで、「*」はドント・ケア (don't care) を表し、0と1の両方にマッチする。

【0005】

〔定義1〕(BCAM)

10

20

30

40

50

n 入力で登録データ数 p の B C A M テーブルは、p 個の異なる 2 値ベクトルを格納する。また、p 個のベクトルは、アドレス 1 からアドレス p に順に格納されていると仮定する。また、各ベクトルのアドレスは m ビットで表現可能である。m は次式 (1) により表される。

【 0 0 0 6 】

【 数 1 】

$$m = \lceil \log_2(p + 1) \rceil \quad (1)$$

また、p 個のベクトルは、アドレス 1 からアドレス p に順に格納されていると仮定する。対応する B C A M 関数 $f: \{0,1\}^n \rightarrow \{0,1\}^m$ は、以下の条件を満たす：

$f(x)$ は入力 x と同じベクトルが B C A M テーブル中にあるとき、ベクトル x を格納する C A M のアドレス (1 から p の値の何れか) を出力する。入力 x と同じパターンが B C A M テーブル中に無い場合には、 $f(x)$ の値は 0 である。

(定義 終り)

【 0 0 0 7 】

(例 1)

(表 1) は、7 個の 2 値ベクトルを格納する B C A M を示す。対応する B C A M 関数を (表 2) に示す。何れも、入力データに完全に一致したベクトルを格納するアドレスを 3 ビットの数 (例えば、' 0 1 1 ') として出力する。入力ベクトルと一致するものが B C A M 中に格納されていない場合には、0 を出力する。

(例 終わり)

【 0 0 0 8 】

【 表 1 】

表 1: BCAM 関数の例

アドレス	ベクトル
1	0010
2	0111
3	1101
4	0101
5	0011
6	1011
7	0001

【 0 0 0 9 】

10

20

30

【表 2】

表 2: BCAM テーブルの例

x_1	x_2	x_3	x_4	f_2	f_1	f_0
0	0	0	0	0	0	0
0	0	0	1	1	1	1
0	0	1	0	0	0	1
0	0	1	1	1	0	1
0	1	0	0	0	0	0
0	1	0	1	1	0	0
0	1	1	0	0	0	0
0	1	1	1	0	1	0
1	0	0	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	0	0	0
1	0	1	1	1	1	0
1	1	0	0	0	0	0
1	1	0	1	0	1	1
1	1	1	0	0	0	0
1	1	1	1	0	0	0

10

20

【0 0 1 0】

〔定義 2〕(TCAM)

n 入力要素数 p の TCAM テーブルは、 p 個の 3 値ベクトルを格納する。また、 p 個のベクトルは、アドレス 1 からアドレス p に順に格納されていると仮定する。また、各ベクトルのアドレスは m ビットで表現可能である。ここで、 m は上記式 (1) により表される。各 3 値ベクトルは、0, 1, 又は * (ドント・ケア) から構成される。対応する TCAM 関数： $f: \{0,1\}^n \rightarrow \{0,1\}^m$ は、以下の条件を満たす：

入力 x に対して、 x と一致するベクトルが TCAM テーブル中にある場合、出力 $f(x)$ は、一致したベクトル中の最小のアドレスを示す。また、 x と一致するベクトルが TCAM テーブル中に無い場合には、0 を出力する。

(定義 終り)

【0 0 1 1】

(例 2)

(表 3) に示す TCAM は、7 個の 3 値ベクトルを格納する。対応する TCAM 関数を (表 4) に示す。入力 $x=(1,0,1,1)$ は、アドレス 5 及び 6 に蓄えられているパターンと一致する。5 の方が小さいので、出力は (0,1,0,1) となる。

(例 終わり)

30

40

【0 0 1 2】

【表 3】

表 3: TCAM 関数の例

アドレス	ベクトル
1	*010
2	0011
3	1101
4	1100
5	*011
6	1*11
7	*001

10

【0013】

【表 4】

表 4: TCAM テーブルの例

x_1	x_2	x_3	x_4	f_2	f_1	f_0
0	0	0	0	0	0	0
0	0	0	1	1	1	1
0	0	1	0	0	0	1
0	0	1	1	0	1	0
0	1	0	0	0	0	0
0	1	0	1	0	0	0
0	1	1	0	0	0	0
0	1	1	1	0	0	0
1	0	0	0	0	1	0
1	0	0	1	1	1	1
1	0	1	0	0	0	1
1	0	1	1	1	0	1
1	1	0	0	1	0	0
1	1	0	1	0	1	1
1	1	1	0	0	0	0
1	1	1	1	1	1	0

20

30

【0014】

CAMの機能をソフトウェアで実現することも可能であるが、ソフトウェアで実現したものは大幅に低速である。そのため、専用のハードウェア（半導体メモリ）を用いてCAMを実現することが多い。以下、ハードウェアで構成された従来のCAMについて説明する。

40

【0015】

図8は、従来のCAMの基本構成の一例を表すブロック図である（特許文献1参照）。CAM100は、比較レジスタ101、検索ビット線ドライバ102、 n 個のワード $W_1 \sim W_n$ 、 n 個の一致センス回路 $MSC_1 \sim MSC_n$ 、 n 個の一致フラグレジスタ $MFR_1 \sim MFR_n$ 、及びプライオリティ・エンコーダ（優先度付符号化回路）PEを備えている。

【0016】

50

比較レジスタ101は、mビットの検索データを格納するレジスタである。検索ビット線ドライバ102は、比較レジスタ101の各ビットを検索ビット線上にドライブする。各ワード $W_1 \sim W_n$ は、それぞれmビットのCAMセルを備えている。

【0017】

図9は、図8のCAMセルの構成回路図である。図9に例示したCAMセル103は、不一致検出型のものである。CAMセル103は、メモリ・セル104及び一致比較回路105から構成される。メモリ・セル104は、1ビットのデータを記憶するSRAM構成のメモリ・セルである。図9においてDがデータ、DNが反転データを表す。一致比較回路105は、メモリ・セル104に記憶された1ビットのデータと検索ビット線対SL、SLN上にドライブされる検索データとを比較し、その一致比較結果を一致線ML上に出力する。

10

【0018】

一致比較回路105は、3つのnMOSトランジスタ(以下「nMOS」という。)106, 107, 108を備えている。nMOS106, 107は、検索ビット線SLNと検索ビット線SLとの間に直列に接続されている。nMOS106, 107のゲートは、それぞれ、メモリ・セル104のデータD, 反転データDNに接続されている。nMOS108は、一致線MLとグランドとの間に接続されている。nMOS108のゲートは、nMOS106, 107の間のノード109に接続されている。

【0019】

まず、検索を行う前に、CAM100のそれぞれのワード $W_1 \sim W_n$ に、検索対象であるデータが記憶される。各ワード内の各CAMセル103において、メモリ・セル104へのデータの書き込み及びメモリ・セル104からのデータの読み出しは、通常のSRAMと同様にして行われる。

20

【0020】

検索時には、まず、比較レジスタ101に検索データが格納される。検索データの各のビットは、検索ビット線ドライバ102により、各々対応する検索ビット線上にドライブされる。

【0021】

各々のワード $W_1 \sim W_n$ では、各CAMセルに予め記憶されているデータと検索ビット線上にドライブされた検索データとの一致検索が同時(並列)に実行され、その結果が一致線 $ML_1 \sim ML_n$ 上に出力される。これらの検索結果は、それぞれ一致センス回路 $MSC_1 \sim MSC_n$ に入力される。各一致センス回路 $MSC_1 \sim MSC_n$ は、各検索結果を増幅し、一致センス出力として一致センス出力線 $MT_1 \sim MT_n$ に出力する。各一致センス出力は、一致フラグレジスタ $MFR_1 \sim MFR_n$ に格納され、一致フラグ出力として一致フラグ出力線 $MF_1 \sim MF_n$ に出力される。一致フラグは、「1」が「一致あり」、
「0」が「一致なし」を表すものとする。

30

【0022】

各一致フラグ出力は、プライオリティ・エンコーダPEに入力される。プライオリティ・エンコーダPEでは、所定の優先順位付けに従って、一致が検出されたワードの中から最優先順位のワードのアドレス(最優先一致アドレス:HMA)を選択し出力する。各ワードの優先順位は、ワード W_1 が最も高く、 W_n に向かうに従って順次優先順位が低くなるものとする。

40

【0023】

尚、各ワード $W_1 \sim W_n$ 内の各CAMセル103における一致検索は、次のようにして実行される。

【0024】

まず、初期化動作を実行する。初期化動作では、検索ビット線対SL, SLNがともに「L」(='0')とされる。一方、メモリ・セル104に記憶されているデータに応じて、一致比較回路105のnMOS106, 107のうち一方がオン状態、他方がオフ状態となる。従って、nMOS106, 107のうちオン状態の方を介して、両者の間のノ

50

ード109のレベルが‘L’となり、nMOS108はオフ状態となる。この状態で、一致線MLが‘H’ (= ‘1’) 状態にプリチャージされる。尚、一致線MLは‘H’が「一致」を表す。

【0025】

次に、検索ビット線を介して比較レジスタ101に記憶された検索データの各ビットが各CAMセル103に入力される。これにより、検索データSに応じて、検索ビット線対SL, SLNの何れか一方が‘H’、他方が‘L’となる。

【0026】

メモリ・セル104に記憶されているデータDと検索データSとが一致する場合、ノード109のレベルは‘L’であり、nMOS108はオフ状態に保持される。

10

【0027】

一方、データDと検索データSとが一致しない場合、ノード109のレベルは‘H’となり、nMOS108はオン状態になる。これにより、一致線MLはディスチャージされて‘L’状態となる。

【0028】

mビットのCAMセル103からなるCAMワードの一致線MLは、各CAMセル103のnMOS108が平行に接続されたワイヤードOR回路を構成している。従って、1ワードを構成するmビットのCAMセル103のすべてにおいて一致が検出された場合に限り、一致線MLは‘H’ (「一致」) の状態に保持される。一方、1ビットでもCAMセル103で不一致が検出されると、一致線MLは‘L’ (「不一致」) の状態となる。

20

【0029】

例えば、検索の結果、一致フラグレジスタMFR₁ ~ MFR_nに、一致フラグとして‘0’, ‘1’, ‘1’, ‘0’, ..., ‘1’, ‘0’が格納されたとする。この場合、ワードW₂, W₃, ..., W_{n-1}で一致が検出されている。従って、プライオリティ・エンコーダPEは、最も優先順位が高いワードW₂のアドレスをHMAとして出力する。また、一致フラグレジスタMFR₂に格納された一致フラグを‘0’にクリアすることで、その次に優先順位が高いワードW₃のアドレスをHMAとして出力することができる。以下同様にして、一致が検出されたワードのアドレスを順次出力することができる。

【0030】

尚、TCAMとして使用する場合、ドント・ケアのビットについては、検索ビット線対SL, SLNをともに‘L’ (= ‘0’) としておけばよい。

30

【0031】

図10は、図8のCAMセルの別の例の構成回路図である。図10に示すCAMセル103’は一致検出型のものであり、図9と同様、SRAM構成のメモリ・セル104及び一致比較回路105を備えている。CAMセル103’は、図9のCAMセル103において、一致比較回路105のnMOS108の接続が異なる。図DのnMOS108は、一致線ML_aと一致線ML_bとの間に接続されている。nMOS108のゲートは、nMOS106, 107の間のノード109に接続されている。

【0032】

CAMセル103’では、検索時には、初期化動作として、ビット線対SL, SLNが共に‘H’とされる。一方、メモリ・セル104に記憶されているデータに応じて、一致比較回路105のnMOS106, 107のうち一方がオン状態、他方がオフ状態となる。従って、nMOS106, 107のうちオン状態の方を介して、両者の間のノード109のレベルが‘H’となり、nMOS108はオン状態となる。この状態で、一致線MLの一端が‘H’ (= ‘1’) 状態にプリチャージされる。尚、一致線MLは‘H’が「不一致」を表す。

40

【0033】

mビットのCAMセル103’からなるCAMワードの一致線MLは、各CAMセル103’のnMOS108がシリアルに接続されたAND回路を構成する。従って、各々の

50

CAMセルの一致線 ML_a 、 ML_b は、各々のCAMセル103'のnMOS108を介して' H 'にプリチャージされる。

【0034】

その後、検索ビット線を介して比較レジスタ101に記憶された検索データの各ビットが各CAMセル103'に入力される。これにより、検索データSに応じて、検索ビット線対SL、SLNの何れか一方が' H '、他方が' L 'となる。

【0035】

メモリ・セル104に記憶されているデータDと検索データSとが一致する場合、ノード109のレベルは' H 'であり、nMOS108はオン状態に保持される。

【0036】

一方、データDと検索データSとが一致しない場合、ノード109のレベルは' L 'となり、nMOS108はオフ状態になる。

【0037】

CAMワードのmビットのCAMセル103'のすべての状態が確定した後、一致線Lの一方の端部からディスチャージを開始し、他方の端部で一致比較結果を判定する。このとき、1ビットでも不一致のCAMセル103'がある場合には、一致比較結果は' H '、すなわち、不一致の状態に保持される。一方、すべてのCAMセル103'で一致が検出された場合のみ、一致比較結果は' L '、すなわち一致状態となる。

【0038】

尚、TCAMとして使用する場合、ドント・ケアのビットについては、検索ビット線対SL、SLNをともに' H '(=' 1 ')としておけばよい。

【特許文献1】特開2004-295967号公報

【特許文献2】特願2003-389264号明細書

【特許文献3】特開2004-258799号公報

【特許文献4】特開2004-258799号公報

【非特許文献1】菅野卓雄監修，香山晋編，「超高速デバイス・シリーズ2 超高速MOSデバイス」，初版，倍風館，1986年2月，pp.324-325。

【非特許文献2】電子情報通信学会編，「LSIハンドブック」，第1版，オーム社，1994年11月，pp.523-525。

【非特許文献3】Kostas Pagiamtzis and Ali Sheikholeslami, "A Low-Power Content-Addressable Memory (CAM) Using Pipelined Hierarchical Search Scheme", IEEE Journal of Solid-State Circuits, Vol.39, No.9, Sept.2004, pp.1512-1519.

【非特許文献4】T.Sasao, M.Matsuura, and Y.Iguchi, "A cascade realization of multi-output function for reconfigurable hardware", International Workshop on Logic and Synthesis (IWLS01), Lake Tahoe, CA, June 12-15, 2001, pp.225-230.

【非特許文献5】T.Sasao and M.Matsuura, "BDD representation for incompletely specified multiple-output logic functions and its applications to functional decomposition," Design Automation Conference, June 2005, (pp.373-378).

【非特許文献6】井口、笹尾、"LUTカスケード・アーキテクチャについて、"平成15年電気学会電子・情報・システム部門大会、MC2-4、2003年8月29日~30日、秋田大学。

【発明の開示】

【発明が解決しようとする課題】

【0039】

上記従来のCAMは、RAMに比べると、並列に検索可能であるため高速であるが、デバイスの構成は複雑となる。そのため、CAMの1ビットあたりの価格(ビットコスト)は、RAMに比べると10~30倍程度、高価なものになる。

【0040】

また、1ビットあたりの消費電力がRAMに比べて遙かに大きい(非特許文献3参照)。これは、上で説明したように、すべてのCAMセルを同時にアクセスするためである。そのため、1ビットあたりの消費電力は、通常のRAMの約50倍程度にもなる。

10

20

30

40

50

【 0 0 4 1 】

そこで、本発明の目的は、検索の高速性を維持しつつも、消費電力を抑え且つデバイスの構造を単純化して小さい実装面積で実装可能な連想メモリを提供することにある。

【 課題を解決するための手段 】

【 0 0 4 2 】

以下、本明細書において使用する用語の定義及び本発明の前提となる理論を説明し、その後本発明の構成及び作用について説明する。

【 0 0 4 3 】

〔 1 〕 C A M 関数の性質

〔 定義 3 〕 (分解表、基本分解表、列複雑度)

10

関数 $f(X) : B^n \rightarrow B^q$ 、及び $X=(x_1, x_2, \dots, x_n)$ が与えられているものとする。ここで、 $B=\{0, 1\}$ である。 (X_L, X_H) を X の分割とする。 f の「分解表」とは、二次元のマトリックスであって、列のラベルは、 X_L に B の構成要素をすべての可能な組み合わせに対して割り当てたものであり、また行のラベルは、 X_H に B の構成要素をすべての可能な組み合わせに対して割り当てたものである。また、対応するマトリックスの値は $f(X_L, X_H)$ の値に等しい。

関数 f の分解表のうちで、 $X_L=(x_1, x_2, \dots, x_{n_L})$ 且つ $X_H=(x_{n_L+1}, x_{n_L+2}, \dots, x_n)$ となる分解表を「基本分解表」という。

分解表の異なる列パターンの個数を分解表の「列複雑度」という。

尚、分解表の特別な場合として、 $X_L=X$ の場合も考える。

(定義 終り)

20

【 0 0 4 4 】

〔 定義 4 〕 (C 尺度)

変数の順序を (x_1, x_2, \dots, x_n) としたとき、論理関数 f の基本分解表の列複雑度の最大値を、 f の「C 尺度」という。

(定義 終り)

【 0 0 4 5 】

(例 3)

$f_1=x_1x_2 \quad x_3x_4 \quad x_5x_6$ の C 尺度は 3 であるが、 $f_2=x_1x_5 \quad x_2x_6 \quad x_3x_4$ の C 尺度は 8 である。

(例 終わり)

30

【 0 0 4 6 】

分解表の列複雑度は、M T B D D (多端子二分決定グラフ) の幅に等しい。従って、論理関数の C 尺度は、与えられた入力変数の順における M T B D D の幅の最大値に等しい。与えられた論理関数 $f(x_1, x_2, \dots, x_n)$ に対して、C 尺度は容易に計算でき、一意的に定まる。後述するように、C 尺度が小さい関数は、L U T カスケード (LUT (Lookup-table) cascade) で効率的に実現可能である。従って、C 尺度は、論理関数を L U T カスケードで実現する際の複雑さの尺度となる。

【 0 0 4 7 】

〔 補題 1 〕

与えられた関数 f に対して、非零出力を生ずる入力の組み合わせの個数を p とする。このとき、 f の C 尺度は高々 $p+1$ である。

(補題 終り)

40

【 0 0 4 8 】

〔 定理 1 〕 (B C A M 関数の C 尺度)

要素数 p の B C A M テーブルが与えられたとき、その B C A M 関数の C 尺度は高々 $p+1$ である。

(定理 終り)

【 0 0 4 9 】

〔 定理 2 〕 (T C A M 関数の C 尺度)

T C A M テーブルが p 個のベクトルを格納し、各ベクトルが高々 k 個のドント・ケアを有

50

するとき、対応するTCAM関数のC尺度は高々 2^{k_p+1} である。

(定理終り)

【0050】

〔2〕LUTカスケード

CAM関数は通常のRAMでも実現可能である。例えば、上記(表1)に示した要素7のBCAM関数は、(表2)に示したように、16ワードのRAMにより実現することができる。ここで、各ワードは3ビットである。n入力のCAM関数を単一のRAMで実現する場合、RAMの大きさは、BCAMがわずかに数個のベクトルしか含まない場合であっても、 2^n に比例して大きくなる。そこで、LUTカスケードを用いることにより、必要なメモリ量を大幅に削減することが可能となる(特許文献3参照)。

10

【0051】

〔定理3〕

与えられた関数fに対して、 X_L を分解表の列に対応する変数、 X_H を行に対応する変数とし、 μ を分解表の列複雑度とする。このとき、関数fは図1に示すような回路で実現することが可能である。この場合、二つのブロックHとGの間を結ぶ信号線数(以下「レイル数」という。)は

【0052】

【数2】

$$\lceil \log_2 \mu \rceil \tag{2}$$

20

である。

(定理終り)

【0053】

二つのブロック間を結ぶ信号線数が X_L 中の変数の個数よりも少ないとき、関数を実現するためのメモリ量を削減できる可能性がある。この手法を「関数分解」という。与えられた関数を繰り返し関数分解することにより、図2に示すようなLUTカスケードが得られる(非特許文献4参照)。LUTカスケードは「セル」から構成され、隣接するセル間を接続する信号線を「レイル」という。C尺度が小さな関数は小型のLUTカスケードで実現可能である。C尺度を求めるには、必ずしも分解表を使用する必要はなく、多出力関数の特性関数を表現する二分決定グラフ(Binary Decision Diagram for Characteristic Function: 以下「BDD_for_CF」という。)から効率的に計算することができる(特許文献2, 非特許文献5参照)。

30

【0054】

〔定理4〕

C尺度が μ の論理関数は、入力数が高々

【0055】

【数3】

$$\lceil \log_2 \mu \rceil + 1 \tag{3}$$

出力数が

40

【0056】

【数4】

$$\lceil \log_2 \mu \rceil \tag{4}$$

のセルから構成されたLUTカスケードで実現可能である。

(定理終り)

【0057】

〔定理5〕

関数fを実現するLUTカスケードを考える。いま、nを外部入力変数、sをセル数、rを最大レイル数(即ち、セル間の信号線数)、kをセルの最大入力数、 μ を関数fのC尺度と

50

する。

【 0 0 5 8 】

【 数 5 】

$$k > r, r = \lceil \log_2 \mu \rceil \quad (5)$$

が成立するとき、以下の関係を満たす f を実現する L U T カスケードが存在する。

【 0 0 5 9 】

【 数 6 】

$$s \leq \left\lceil \frac{n-r}{k-r} \right\rceil \quad (6)$$

10

(定理 終り)

【 0 0 6 0 】

[3] ドント・ケアを用いた設計法

[3 - 1] B C A M 関数の設計法

B C A M 関数では、真理値表において、非零出力の値が、全体の組み合わせの数 2^n に比べて大幅に少ない。つまり、次の (仮定 1) が成立するものとする。

【 0 0 6 1 】

(仮定 1) B C A M テーブルの入力ビット数を n 、ベクトル数を p とするとき、 $p \ll 2^n$ 。

20

【 0 0 6 2 】

例えば、 $n=32$ で $p=1000$ の B C A M を考えるとき、非零出力の割合は全最小項の個数の $1000 / 2^{32} = 2.3 \times 10^{-7}$ となる。

【 0 0 6 3 】

B C A M 関数を B D D で表現すると、B D D の最大幅が、C 尺度を超えないこと、及び [定理 1] から、レイル幅は $p+1$ を超えないことがわかる。しかし、全体の幅は $p+1$ 近くなる。従って、B C A M 関数を L U T カスケードで実現する場合、入力数が

【 0 0 6 4 】

【 数 7 】

$$\lceil \log_2(p+1) \rceil + 1 \quad (7)$$

30

のセルが多数必要となる。そこで、ここではドント・ケアの概念を用いて、B C A M 関数を実現するハードウェア量を削減する方法について、図 3 を参照しながら説明する。

【 0 0 6 5 】

[アルゴリズム 1]

(1) f を B C A M 関数とする。また、 f において C A M に登録されていないデータに対する出力値をドント・ケアとした関数を g とする。

【 0 0 6 6 】

(2) g の特性関数を表現する二分決定グラフ (BDD_for_CF) を生成し、簡単化を行う。

40

【 0 0 6 7 】

(3) 簡単化した B D D から、L U T カスケード 1 を生成する。一般に、L U T カスケード 1 は、 f を実現する L U T カスケード (これを「厳密な L U T カスケード」と呼ぶ) よりも簡単になる。

【 0 0 6 8 】

(4) 検索データが登録データと一致するときは、L U T カスケード 1 は正しい値を出力する。検索データが登録データと一致しないときは、L U T カスケード 1 は、誤った値を出力する可能性がある。

【 0 0 6 9 】

(5) 誤りを補正するために、 m 入力 n 出力の補助メモリ 2 を用いる。ここで、 m は次式

50

で表される。

【 0 0 7 0 】

【 数 8 】

$$m = \lceil \log_2(p+1) \rceil \quad (8)$$

この補助メモリ 2 には、各アドレスに B C A M テーブルの対応するデータが格納されている。

【 0 0 7 1 】

(6) L U T カスケード 1 の出力のインデックスを補助メモリ 2 に供給し、補助メモリ 2 内の登録データを読み出す。そして、一致回路 3 により、入力データと補助メモリ 2 の出力データとを比較する。両者が一致すれば、L U T カスケード 1 の出力値は正しいことが保証される。従ってエンコーダ 4 は L U T カスケード 1 の出力のインデックスをそのまま出力する。一方、補助メモリ 2 の出力データと入力データとが一致しないときは、C A M 内にそのデータは登録されていない。従って、そのときには、エンコーダ 4 は無効のインデックス (0) を出力する。

(アルゴリズム 終り)

【 0 0 7 2 】

補助メモリ 2 の全ビット数は、 $n2^m$ であり、ハードウェアのコストは、L U T カスケード 1 のコストに比べ無視できる程度である。

【 0 0 7 3 】

(3 - 2) T C A M 関数の設計法

T C A M 関数の場合、T C A M テーブルは 3 値となるので、補助メモリ 2 は、 m 入力 $2n$ 出力となる。また、一致回路 3 で、ドント・ケアに対応するビットは無視する。他の部分は B C A M と同じである。

【 0 0 7 4 】

(4) 本発明の構成

本発明に係る連想メモリの構成は、入力データに対しそのデータに対応する固有のインデックスを出力する連想記憶メモリであって、

入力データに対しそのデータに対応する固有のインデックスを出力する関数 (以下「C A M (Content Addressable Memory) 関数」という。) f の無効出力値をドント・ケアで置き換えた関数 (以下「簡略化 C A M 関数 (reduced Content Addressable Memory function) 」という。) g を表す L U T 結合論理回路又は P L A (Programmable Logic Array) により構成された簡略化関数演算部と、

前記 C A M 関数 f の逆関数 f^{-1} が記憶された補助メモリと、

前記 L U T 演算手段の出力値が C A M 関数 f の出力に一致するか否かを判定する一致判定手段と、
を備え、

前記 L U T 演算手段は、前記入力データに対して前記簡略化 C A M 関数 g の演算値 (以下「仮インデックス値」という。) を前記補助メモリの読み出しアドレスとして出力し、

前記補助メモリは、前記仮インデックス値が読み出しアドレスとして入力されると、その仮インデックス値に対しする逆関数 f^{-1} の値を出力し、

前記判定手段は、前記入力データと前記補助メモリが出力する逆関数 f^{-1} の値とを比較して、両者が一致する場合は前記 L U T 演算手段の出力値を出力し、それ以外の場合は無効信号を出力することを特徴とする。

【 0 0 7 5 】

この構成によれば、L U T 結合論理回路は、通常の R A M を複数個用いて構成することができる。また、補助メモリも通常の R A M で構成できる。また、C A M 関数 f そのものを表す L U T 結合論理回路ではなく、C A M 関数 f の無効出力値をドント・ケアで置き換えた簡略化関数 g を表す L U T 結合論理回路又は P L A を用いることによって、当該 L U T 結合論理回路又は P L A を構成するために必要なメモリ量を大幅に削減することができ

る。従って、全体として、従来のCAMに比べ、デバイスの構造を単純化して小さい実装面積により実装が可能となる。

【0076】

また、通常のRAMで構成することによって、専用のCAM回路を必要としない。故に、ASICで構成する以外に、汎用のRAMを内蔵したFPGA(Field Programmable Gate Array)やCLD(Complex Programmable Logic Device)のようなプログラマブル・デバイスを用いて簡単に低コストで構成することもできる。

【0077】

また、判定手段以外はすべて通常のRAMで構成できる。そして、1回の検索動作に対して、数回(LUT結合論理回路でのRAMのアクセス回数+1)のRAMのアクセスで仮インデックス値が得られる。各RAMのアクセスでは、RAM内の1つのアドレスのみがアクセスされる。全体として、数回のRAMのメモリ・アクセスのみで仮インデックス値が得られる。従って、従来のCAMに比べると、消費電力を大幅に低減することが可能となる。

10

【0078】

一方、高速性の面では、従来のCAMに比べると遅くなるものの、通常のRAMをCPUを用いて検索する方法に比べると遙かに高速に検索を行うことができる。

【0079】

ここで、「LUT結合論理回路」とは、複数のLUT(Look-Up Table)をカスケード状又はネットワーク状に結合した回路をいうが、必ずしもハードウェア的に複数のLUTを配置・結合する必要はない。例えば、1つのメモリ内に複数のLUTを記憶させ、LUTの選択を順次切り替えながら、メモリの出力値をメモリの読み出しアドレスにフィードバックすることによってLUT結合を実現するような回路であってもよい。LUT結合論理回路としては、LUTカスケード論理回路の他に、LUTをネットワーク状に結合したLUTネットワークなどを使用することも可能である。

20

【0080】

尚、本発明はBCAM及びTCAMの双方に適用することが可能である。

【発明の効果】

【0081】

以上のように、本発明によれば、検索の高速性を維持しつつ、消費電力を抑え且つデバイスの構造を単純化して小さい実装面積で実装可能な連想メモリを提供することができる。

30

【図面の簡単な説明】

【0082】

【図1】論理関数の関数分解を表す図である。

【図2】中間出力を有するLUTカスケードを表す図である。

【図3】ドント・ケアを用いたCAM関数の実現法を説明する図である。

【図4】本発明の実施例1に係る連想メモリの全体構成を表す図である。

【図5】図4の簡略化関数演算部5の構成を表す図である。

【図6】図4の一致判定手段7の構成を表す図である。

40

【図7】実施例2に係る連想メモリの一致判定手段7の構成を表す図である。

【図8】従来のCAMの基本構成の一例を表すブロック図である。

【図9】図8のCAMセルの構成回路図である。

【図10】図8のCAMセルの別の例の構成回路図である。

【符号の説明】

【0083】

- 1 LUTカスケード
- 2 補助メモリ
- 3 一致回路
- 4 エンコーダ

50

- 5 簡略化関数演算部
- 6 補助メモリ
- 7 一致判定手段
- 10 連想メモリ
- 11 入力変数レジスタ
- 12 - 1 ~ 12 - s 論理関数メモリ
- 13 出力変数レジスタ
- 21 EXNORゲート
- 22 ANDゲート
- 23 ANDゲート
- 31 pq素子

10

【発明を実施するための最良の形態】

【0084】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

【実施例1】

【0085】

図4は、本発明の実施例1に係る連想メモリの全体構成を表す図である。本実施例の連想メモリ10は、簡略化関数演算部5、補助メモリ6、及び一致判定手段7を備えている。

【0086】

20

連想メモリ10は、外部回路から入力される n ビットの入力データ $X=(x_1, \dots, x_n)$ に対しその入力データ X に対応する m ビットの固有のインデックス $A=(a_1, \dots, a_m)$ を出力する。入力データ X は、簡略化関数演算部5及び一致判定手段7に入力される。

【0087】

以下では、入力データ X に対しその入力データ X に対応する固有のインデックス A を出力するCAM関数を、 F と記す。また、CAM関数 F の出力のうち、無効なインデックス値をドット・ケアで置き換えた簡略化CAM関数を、 G と記す。

【0088】

簡略化関数演算部5は、簡略化CAM関数 G を演算するLUT結合論理回路により構成されている。簡略化関数演算部5は、入力データ X に対し仮インデックス $A'=G(X)$ を演算する。この仮インデックス A' は、補助メモリ6及び一致判定手段7に出力される。

30

【0089】

補助メモリ6は、CAM関数 F の逆関数 F^{-1} 、すなわち、固有のインデックス A に対しそのインデックス A に対応するデータ X を出力するデータ出力関数が、LUTとして記憶されている。補助メモリ6には、簡略化関数演算部5が出力する仮インデックス A' が入力され、それに対する逆算データ $X'=F^{-1}(A')$ が出力される。仮インデックス A' は、一致判定手段7に出力される。

【0090】

一致判定手段7は、入力データ X と逆算データ X' とを比較し、両者が一致するか否かを判定する。そして、両者が一致する場合には仮インデックス A' を出力インデックス A として出力し、一致しない場合には無効値を出力する。

40

【0091】

図5は、図4の簡略化関数演算部5の構成を表す図である。本実施例1においては、簡略化関数演算部5として、LUTカスケード論理回路を用いる。

【0092】

簡略化関数演算部5は、入力変数レジスタ11、論理関数メモリ12-1~12-s、及び出力変数レジスタ13を備えている。

【0093】

入力変数レジスタ11は、外部から入力される入力データ X を一時的に保持するレジスタである。論理関数メモリ12-1~12-sは、簡略化CAM関数 G を関数分解して得

50

られるCAM関数Gの部分関数 G_1, \dots, G_s がLUTとして格納されている。ここで、Xの分割を $X=(X_1, X_2, \dots, X_s)$ とした場合、各部分関数 G_1, \dots, G_s は次のようになる。

【0094】

【数9】

$$\begin{aligned} (A'_1, R_1) &= G_1(X_1) \\ (A'_2, R_2) &= G_2(X_2, R_1) \\ &\vdots \\ (A'_{s-1}, R_{s-1}) &= G_{s-1}(X_{s-1}, R_{s-2}) \\ A'_s &= G_s(X_s, R_{s-1}) \\ A' &= (A'_1, A'_2, \dots, A'_s) \end{aligned} \tag{9}$$

10

【0095】

ここでは、ベクトル $A'_1, A'_2, \dots, A'_{s-1}$ は、LUTカスケードの中間出力であり、ベクトル A'_s はLUTカスケードの最終出力である。仮インデックス A' は、これらのベクトルの合成として表される。また、ベクトル R_1, R_2, \dots, R_{s-1} は、LUTカスケードの中間変数を表す。

【0096】

出力変数レジスタ13は、各論理関数メモリ12-1~12-sが出力する中間出力 $A'_1, A'_2, \dots, A'_{s-1}$ 及び最終出力 A'_s を保持し、仮インデックス A' として出力するレジスタである。

20

【0097】

尚、LUTカスケード論理回路の詳しい動作については、特許文献4及び非特許文献6に記載されているため、ここでは説明を省略する。

【0098】

図6は、図4の一致判定手段7の構成を表す図である。図6では、一例として、入力データXが8ビット、出力インデックスAが8ビットの場合を示しているが、入力データX及び出力インデックスAのビット数はこれに限られるものではない。

【0099】

一致判定手段7は、入力データXの各ビットに対応して設けられたEXNORゲート21、1個のANDゲート22、及び出力インデックスAの各ビットに対応して設けられたANDゲート23により構成される。

30

【0100】

入力データX及び逆算データX'の各ビット x_i, x'_i ($i=1, 2, \dots, 8$)は、それぞれ対応するEXNORゲート21に入力され、EXNOR演算が行われる。各EXNORゲート21の演算結果は、ANDゲート22に入力され、AND演算が行われる。このANDゲート22の出力Qを、一致判定信号と呼ぶ。

【0101】

一方、仮インデックスA'の各ビット a_1', a_2', \dots, a_8' は、それぞれ各ANDゲート23の一方の入力ノードに入力される。また、各ANDゲート23の他方の入力ゲートには、一致判定信号Qが入力される。

40

【0102】

以上のように構成された本実施例に係る連想メモリ10について、以下その動作を説明する。

【0103】

まず、外部回路から入力データXが入力されると、簡略化関数演算部5は、CAM関数G(X)の演算を行い、その結果を仮インデックスA'として出力する。ここで、入力データXに対する真のインデックスが存在する場合、仮インデックスA'の値は真のインデックスの値に一致する。一方、真のインデックスが存在しない場合には、仮インデックスA'の値はドント・ケアとなる。従って、仮インデックスA'は真のインデックスを含むものの、その値

50

が真のインデックスを表すのかドント・ケアを表すのかの判別はできない。

【 0 1 0 4 】

次に、仮インデックスA'は補助メモリ6に入力される。補助メモリ6は、仮インデックスA'に対してデータ出力関数 $F^{-1}(A')$ のLUT演算を行い、その結果を逆算データ $X' = F^{-1}(A')$ として出力する。このとき、仮インデックスA'は真のインデックスを表す場合には、逆算データX'は入力データXと同じ値となる。しかし、仮インデックスA'がドント・ケアの場合には、仮インデックスA'はデタラメな値なので、逆算データX'には無効値が出力される。

【 0 1 0 5 】

次に、一致判定手段7のi番目のEXNORゲート21 ($i=1, 2, \dots, 8$)には、それぞれ入力データXのi番目の成分 x_i と逆算データX'のi番目の成分 x_i' とが入力される。EXNORゲート21は、論理演算

【 0 1 0 6 】

【 数 1 0 】

$$q_i = \overline{x_i \oplus x_i'} \quad (10)$$

を行い、演算値 q_i を出力する。演算値 q_i の値は、成分 x_i と成分 x_i' とが一致する場合は1、一致しない場合は0となる。

【 0 1 0 7 】

各演算値 q_i は、ANDゲート22に入力され、AND演算が行われる。これにより、入力データXと逆算データX'の各成分が完全に一致する場合には一致判定信号Qは1となり、それ以外の場合には一致判定信号Qは0となる。従って、この一致判定信号Qを用いることによって、仮インデックスA'が真のインデックス値を表しているか否かの判別ができる。

【 0 1 0 8 】

i番目のANDゲート23 ($i=1, 2, \dots, 8$)には、それぞれ仮インデックスA'のi番目の成分 x_i と一致判定信号Qが入力される。そして、各ANDゲート23はこれらのAND演算を行い、その結果を出力インデックスAのi番目の成分 a_i として出力する。これにより、仮インデックスA'が真のインデックス値を表している場合には、出力インデックスAとして真のインデックス値が出力され、それ以外の場合には出力インデックスAとして0が出力される。

【 0 1 0 9 】

以上のようにして、入力データXに対するCAM関数の演算が行われる。上述のように、本実施の形態では、簡略化関数演算部5及び補助メモリ6はすべてメモリで構成されているため、通常のRAMを用いて構成することが可能である。従って、プロセスの微細化が容易であり回路規模を小さくすることができる。また、メモリであるため、使用しない期間を省電力状態として消費電力の節減を図ることも可能である。

【 実施例 2 】

【 0 1 1 0 】

本実施例2に係る連想メモリの全体構成及び一致判定手段7の構成は、図4、図6と同様であり、説明は省略する。実施例2に係る連想メモリは、簡略化関数演算部5の構成が実施例1とは異なる。

【 0 1 1 1 】

図7は、実施例2に係る連想メモリの簡略化関数演算部5の構成を表す図である。本実施例の簡略化関数演算部5は、複数のpq素子31を樹形状に結合した構成からなる。pq素子31は、p入力q出力のメモリである。各pq素子31のp, qの値はそれぞれのpq素子31ごとに任意に設定される。各pq素子31には、簡略化CAM関数Gを関数分解して得られる部分関数 G_1, G_2, \dots がLUTとして格納されている。このように複数のpq素子31を樹形状に結合した回路をここでは「pq回路網」と呼ぶ。

【 0 1 1 2 】

10

20

30

40

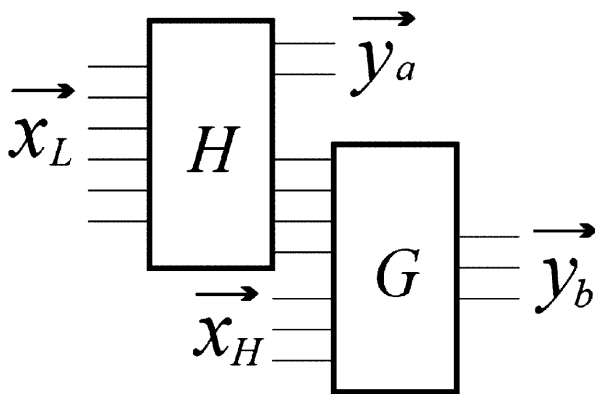
50

尚、図7の構成は一例であり、 p q 素子 3 1 の結合の仕方は、CAM関数Gにより適宜選択される。

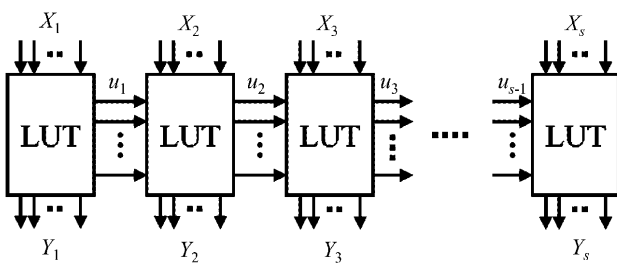
【 0 1 1 3 】

このように、簡略化関数演算部 5 として p q 回路網を使用しても、実施例 1 と同様の連想メモリを構成することができる。

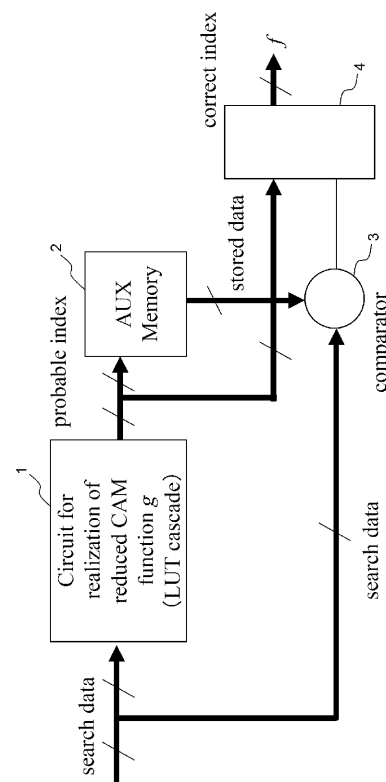
【 図 1 】



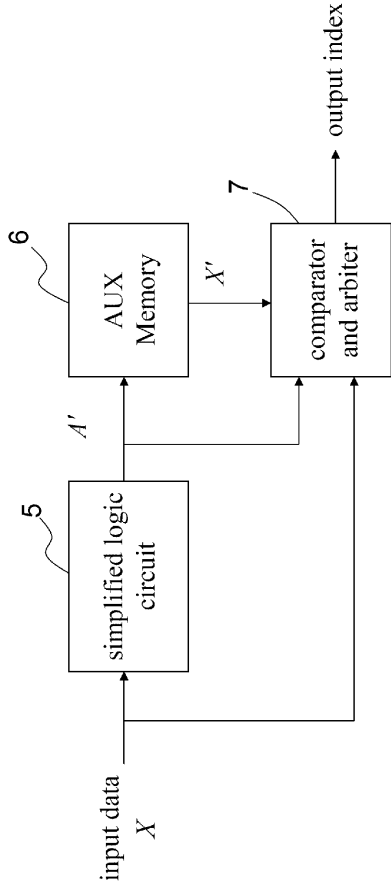
【 図 2 】



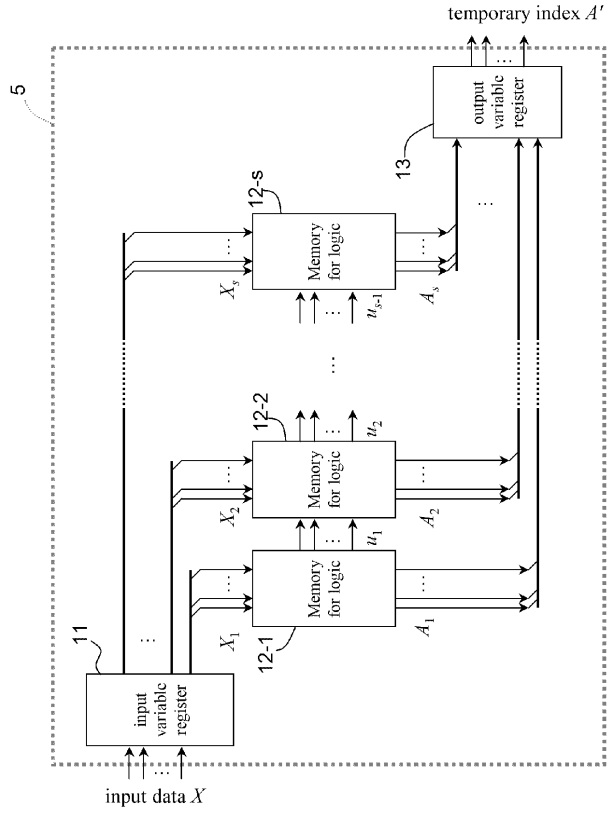
【 図 3 】



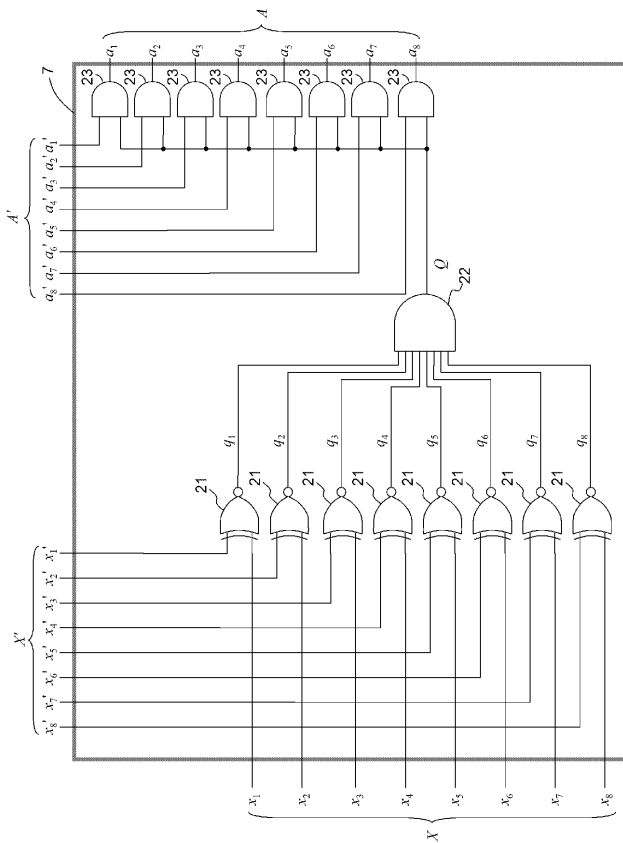
【 図 4 】



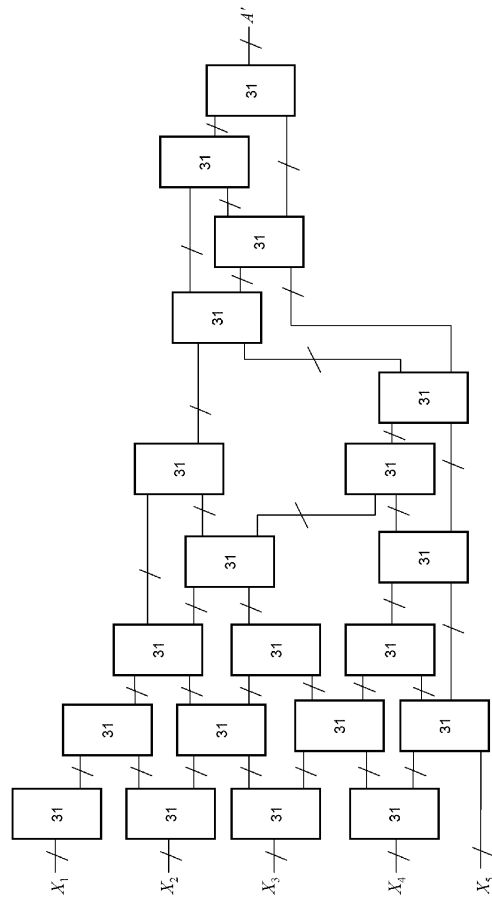
【 図 5 】



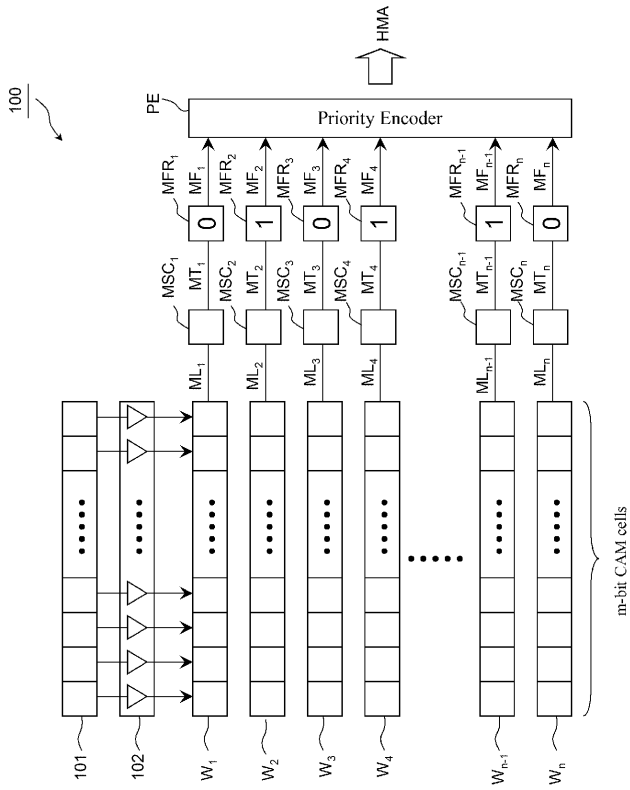
【 図 6 】



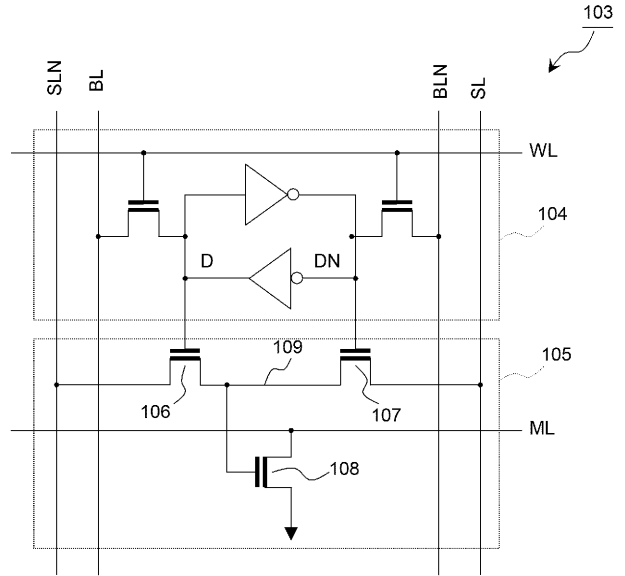
【 図 7 】



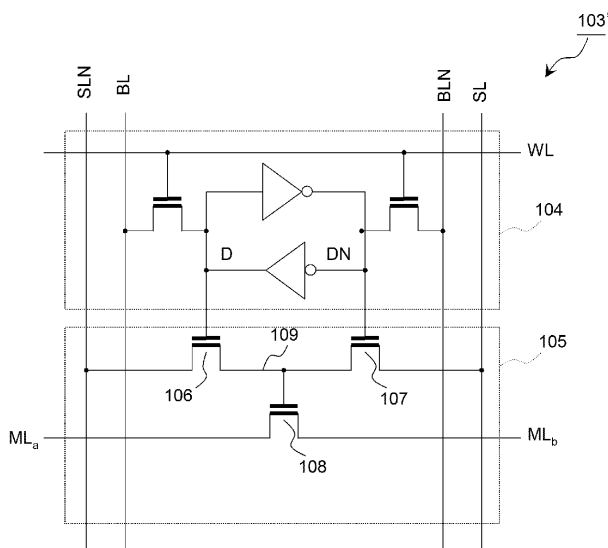
【 図 8 】



【 図 9 】



【 図 10 】



【手続補正書】

【提出日】平成21年7月3日(2009.7.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力データに対しそのデータに対応する固有のインデックスを出力する連想記憶メモリであって、

入力データに対しそのデータに対応する固有のインデックスを出力する関数（以下「CAM (Content Addressable Memory) 関数」という。） f の無効出力値をドント・ケアで置き換えた関数（以下「簡略化CAM関数」という。） g を表すLUT結合論理回路又はPLAにより構成された簡略化関数演算部と、

前記CAM関数 f の逆関数 f^{-1} が記憶された補助メモリと、

前記簡略化関数演算部の出力値がCAM関数 f の出力に一致するか否かを判定する一致判定手段と、

を備え、

前記簡略化関数演算部は、前記入力データに対して前記簡略化CAM関数 g の演算値（以下「仮インデックス値」という。）を前記補助メモリの読み出しアドレスとして出力し、

前記補助メモリは、前記仮インデックス値が読み出しアドレスとして入力されると、その仮インデックス値に対しする逆関数 f^{-1} の値を出力し、

前記判定手段は、前記入力データと前記補助メモリが出力する逆関数 f^{-1} の値とを比較して、両者が一致する場合は前記簡略化関数演算部の出力値を出力し、それ以外の場合は無効信号を出力すること

を特徴とする連想メモリ。

【請求項2】

前記LUT結合論理回路は、LUTカスケード論理回路であることを特徴とする請求項1記載の連想メモリ。

【請求項3】

前記LUT結合論理回路は、 pq 回路網であることを特徴とする請求項1記載の連想メモリ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正の内容】

【0074】

〔1〕本発明の構成

本発明に係る連想メモリの構成は、入力データに対しそのデータに対応する固有のインデックスを出力する連想記憶メモリであって、

入力データに対しそのデータに対応する固有のインデックスを出力する関数（以下「CAM (Content Addressable Memory) 関数」という。） f の無効出力値をドント・ケアで置き換えた関数（以下「簡略化CAM関数 (reduced Content Addressable Memory function)」という。） g を表すLUT結合論理回路又はPLA (Programmable Logic Array) により構成された簡略化関数演算部と、

前記CAM関数 f の逆関数 f^{-1} が記憶された補助メモリと、

前記簡略化関数演算部の出力値がCAM関数 f の出力に一致するか否かを判定する一致

判定手段と、
を備え、

前記簡略化関数演算部は、前記入力データに対して前記簡略化CAM関数 g の演算値（以下「仮インデックス値」という。）を前記補助メモリの読み出しアドレスとして出力し、

前記補助メモリは、前記仮インデックス値が読み出しアドレスとして入力されると、その仮インデックス値に対しする逆関数 f^{-1} の値を出力し、

前記判定手段は、前記入力データと前記補助メモリが出力する逆関数 f^{-1} の値とを比較して、両者が一致する場合は前記簡略化関数演算部の出力値を出力し、それ以外の場合は無効信号を出力することを特徴とする。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2007/056498
A. CLASSIFICATION OF SUBJECT MATTER G06F7/00(2006.01)i, G11C15/04(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F7/00, G11C15/04, G06F11/22, G06F17/50, H03K19/173, H03K19/177 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-229163 A (International Business Machines Corp.), 12 August, 2004 (12.08.04), Full text; Fig. 2 & US 2004/0205056 A1	1-3
A	JP 2002-334114 A (Allied Telesis Kabushiki Kaisha), 22 November, 2002 (22.11.02), Full text; Fig. 1 & US 2002/0169937 A1 & EP 1256885 A2	1-3
A	JP 2000-105770 A (Matsushita Electric Industrial Co., Ltd.), 11 April, 2000 (11.04.00), Full text; Fig. 1 (Family: none)	1-3
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 30 May, 2007 (30.05.07)		Date of mailing of the international search report 12 June, 2007 (12.06.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/056498

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	Tsutomu Sasao, Design Methods for Multiple-Valued Input Address Generators, 36th International Symposium on Multiple-Valued Logic (ISMVL'06), 2006.05, p.1	1-3

国際調査報告		国際出願番号 PCT/JP2007/056498									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G06F7/00(2006.01)i, G11C15/04(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G06F7/00, G11C15/04, G06F11/22, G06F17/50, H03K19/173, H03K19/177											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2007年										
日本国実用新案登録公報	1996-2007年										
日本国登録実用新案公報	1994-2007年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	JP 2004-229163 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2004.08.12, 全文, 第2図 & US 2004/0205056 A1	1-3									
A	JP 2002-334114 A (アライドテレシス株式会社) 2002.11.22, 全文, 第1図 & US 2002/0169937 A1 & EP 1256885 A2	1-3									
A	JP 2000-105770 A (松下電器株式会社) 2000.04.11, 全文, 第1図 (ファミリーなし)	1-3									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 30.05.2007		国際調査報告の発送日 12.06.2007									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 緑川 隆	5E 2950								
		電話番号 03-3581-1101 内線	3521								

国際調査報告		国際出願番号 PCT/JP2007/056498
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	Tsutomu Sasao, Design Methods for Multiple-Valued Input Address Generators, 36th International Symposium on Multiple-Valued Logic (ISMVL'06), 2006.05, p.1	1-3

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。