

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-20598  
(P2010-20598A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>G06F 15/82 (2006.01)</b>	G06F 15/82 630Z	5B011
<b>G06F 1/32 (2006.01)</b>	G06F 1/00 332B	

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2008-181408 (P2008-181408)  
(22) 出願日 平成20年7月11日 (2008.7.11)

(出願人による申告) 平成19年度、独立行政法人科学技術振興機構、戦略的創造研究推進事業、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 504171134  
国立大学法人 筑波大学  
茨城県つくば市天王台一丁目1番1  
(71) 出願人 000125369  
学校法人東海大学  
東京都渋谷区富ヶ谷2丁目28番4号  
(74) 代理人 100137752  
弁理士 亀井 岳行  
(71) 出願人 509093026  
公立大学法人高知工科大学  
高知県香美市土佐山田町宮ノ口185番地  
(72) 発明者 西川 博昭  
茨城県つくば市天王台一丁目1番1号 国立大学法人 筑波大学内

最終頁に続く

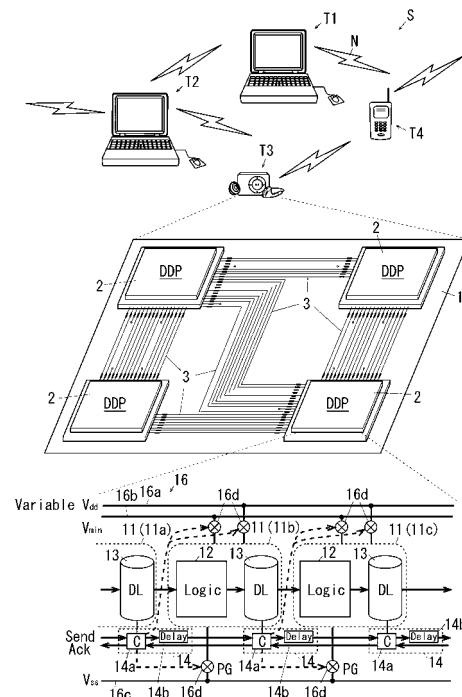
(54) 【発明の名称】 ネットワークシステムおよびネットワークシステムにおける電源制御方法

(57) 【要約】

【課題】 情報流通環境を低消費電力化すること。

【解決手段】 データ駆動型プロセッサ(2)の各パイプラインステージ(11)に設けられ且つパケットの流れの上流側および下流側のパイプラインステージ(11)の状態に応じてパケットの転送を制御するデータ転送制御回路(14a)であって、前記各パイプラインステージ(11)に対して電源を供給する電源供給線(16)による電源供給及び供給停止の切り替えを行う切り替え素子(16d)に対して、前記下流側のパイプラインステージ(11)に電源が必要ない場合に、前記切り替え素子(16d)を制御して下流側のパイプラインステージ(11)への電源供給を停止する前記データ転送制御回路(14a)と、を有する端末(T1~T4)どうしの通信により形成される自律分散型通信網(N)を備えたネットワークシステム(S)。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

処理されるデータが分割されたパケットが全て受信されたか否かを判別することにより発火条件が成立したか否かを判別する発火制御部と、前記発火条件が成立した場合に前記発火制御部から送信されたデータに応じた処理を実行するデータ処理部と、を少なくともも有するデータ駆動型プロセッサと、

前記発火制御部およびデータ処理部により構成された複数のパイプラインステージと、各パイプラインステージに設けられ且つパケットの流れの上流側および下流側のパイプラインステージの状態に応じてパケットの転送を制御するデータ転送制御回路であって、前記各パイプラインステージに対して駆動電力を供給する電源供給線に設けられて前記電源供給線による駆動電力供給及び供給停止の切り替えを行う切り替え素子に対して、前記下流側のパイプラインステージに電源が必要ない場合に、前記切り替え素子を制御して下流側のパイプラインステージへの駆動電力供給を停止する前記データ転送制御回路と、を有する端末相互間の自律分散型通信を介して情報が送受信されることを特徴とするネットワークシステム。

10

**【請求項 2】**

受信したパケットを保持するデータラッチと、データラッチから送信されたパケットを処理する論理回路とを有する前記パイプラインステージと、

下流側のパイプラインステージの論理回路で処理が行われる場合に前記切り替え素子を制御して下流側のパイプラインステージに対して駆動電力を供給すると共に、下流側のパイプラインステージの論理回路で処理が行われておらず且つデータラッチでデータが保持されている場合に前記切り替え素子を制御して下流側のパイプラインステージに対して前記駆動電源に比べて消費電力が小さいデータ保持用電力を供給する前記データ転送制御回路と、

20

を備えたことを特徴とする請求項 1 に記載のネットワークシステム。

**【請求項 3】**

前記論理回路における処理負荷に基づいて、前記駆動電力の電圧を変化させることにより、前記論理回路の処理速度と消費電力を変化させることを特徴とする請求項 1 または 2 に記載のネットワークシステム。

**【請求項 4】**

前記パイプラインステージが CMOS 回路で構成されており、前記論理回路における処理負荷に基づいて、前記駆動電力の電圧と、パイプラインステージを構成する CMOS トランジスタの基板バイアス電圧を変化させることにより、前記論理回路の処理速度と消費電力を変化させることを特徴とする請求項 1 ないし 3 のいずれかに記載のネットワークシステム。

30

**【請求項 5】**

端末間の通信を無線通信で行うことを特徴とする請求項 1 ないし 4 のいずれかに記載のネットワークシステム。

**【請求項 6】**

処理されるデータが分割されたパケットが全て受信されたか否かを判別することにより発火条件が成立したか否かを判別する発火制御部と、前記発火条件が成立した場合に前記発火制御部から送信されたデータに応じた処理を実行するデータ処理部と、を少なくともも有するデータ駆動型プロセッサと、

40

前記発火制御部およびデータ処理部により構成された複数のパイプラインステージと、を有する端末相互間の自律分散型通信を介して情報が送受信されることを特徴とするネットワークシステムにおける電源制御方法であって、

各パイプラインステージの状態に基づいて、各パイプラインステージに電源が必要ない場合に、パイプラインステージへの電源供給を停止することを特徴とするネットワークシステムにおける電源制御方法。

**【請求項 7】**

前記各パイプラインステージが、受信したパケットを保持するデータラッチと、データ

50

ラッチから送信されたパケットを処理する論理回路とを有し、前記論理回路における処理負荷に応じて前記パイプラインステージに供給する駆動電力の電圧を変化させることを特徴とする請求項6に記載のネットワークシステムにおける電源制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ駆動型プロセッサを使用したネットワークシステムおよび前記ネットワークシステムにおける電源制御方式に関し、特に、低消費電力化されたネットワークおよびネットワークシステムにおける電源制御方式に関する。

【背景技術】

【0002】

従来の計算機において、高速で並列処理が可能なデータ駆動型プロセッサの開発が行われている。前記データ駆動型プロセッサ(Data-Driven Processor)は、プログラム中のすべての命令について、必要な入力データがすべて揃った時点で実行可能とするデータ駆動原理に基づいて、作成されている。

このようなデータ駆動原理を使用した技術として、下記の特許文献1, 2記載の技術が従来公知である。

【0003】

特許文献1(特開2004-13602号公報)には、データ駆動プロセッサが複数のプロセッシングエレメント(PE)を有し、各プロセッシングエレメント(PE)にデータが分割されたパケットが入力される構成が記載されている。特許文献1記載の構成では、プロセッシングエレメント(PE)が、発火制御部(FC)、関数処理部(FP)、プログラム記憶部(PS)等を有し、入力されてくるパケットに基づいて発火制御部(FC:Firing Control)において全てのパケットを受信してデータが揃ったか否か判別される。そして、全てのパケットが揃うと発火条件が成立したとして、発火制御部(FC)から関数処理部(FP:Functional Processor)にパケットが送信されて演算が行われ、その結果がプログラム記憶部(PS:Program Storage)に送信される。プログラム記憶部(PS)は、送信されたデータと、命令メモリ(IM)に指定された新たな命令とに応じて、新たな命令に応じたパケットを生成し、指定された宛先である別のプロセッシングエレメント(PE)に、パケット送信する。

【0004】

また、特許文献1には、各プロセッシングエレメント(PE)が、自己同期式エラステックパイプラインによるスーパーパイプライン構造を有することが記載されている。すなわち、プロセッシングエレメント(PE)内の発火制御部(FC)、関数処理部(FP)、プログラム記憶部(PS)等の各機能ブロックが、複数のパイプラインステージで構成されている。そして、各パイプラインステージが、パケットを保持するデータラッチ(DL:Data Latch)、保持されたパケットを処理する論理回路(LC:Logic Circuit)及び、データラッチへの同期信号(クロック信号、トリガー信号)を供給する自己同期式転送制御機構(STCM:Self-timed Transfer Control Mechanism)とを備えている。そして、各パイプラインステージにおいて、パケットの流れの上流側および下流側のパイプラインステージの状態(データが空、または、データ処理中)に応じて、自律的にパケットの転送タイミングが決定されている。

【0005】

特許文献2(特開2005-108086号公報)には、データ駆動型プロセッサに関する技術が記載されている。特許文献2記載の発明では、第1スイッチ(SW1)で接続された各プロセッシングエレメント(PE)において、データ依存関係に基づいて命令が発行されて並列処理されるデータ駆動パケットと、プログラムカウンタに基づいて逐次的に命令発行されて逐次処理される制御駆動パケットとが同一のパイプライン上で処理可能構成が記載されている。

【0006】

10

20

30

40

50

特許文献 2 記載の各プロセッシングエレメント ( P E ) は、入力パケットに基づいて命令をフェッチする命令フェッチ部 ( I F : Instruction Fetch ) と、命令フェッチ部 ( I F ) でフェッチされて発行された命令をデコードする命令デコード部 ( I D : Instruction Decode ) と、命令デコード部 ( I D ) から出力された命令を分岐させる第 2 スイッチ ( S W 2 ) と、第 2 スイッチ ( S W 2 ) から送信されたパケットに基づいて発火条件を判別する発火制御部 ( F C ) と、発火条件が成立した場合に発火制御部 ( F C ) から送信されたパケットに基づいて命令を実行 ( 数値の計算や、メモリの読み書き、アドレス・分岐先の計算等 ) する実行ユニット ( E X : Execution ) と、実行ユニット ( E X ) で処理された命令が分岐の計算等の制御駆動命令である場合にレジスタ ( R E G ) への書き込みを実行するライトバック部 ( W B : Write Back ) と、を有している。

10

【 0 0 0 7 】

【特許文献 1】特開 2 0 0 4 - 1 3 6 0 2 号公報 ( 「 0 0 1 9 」 ~ 「 0 0 3 5 」 )

【特許文献 2】特開 2 0 0 5 - 1 0 8 0 8 6 号公報 ( 「 0 0 2 5 」 ~ 「 0 0 5 7 」 )

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

前記特許文献 1 , 2 記載の発明や、従来他の発明では、情報処理を高速化することに注視して研究、開発が行われているが、低消費電力化の観点に基づいての研究、開発は不十分な状況にある。インターネットは、現在、我が国の総発電量の 5 % 程度を消費しているが、情報流通環境におけるトラフィック ( ネットワーク上を移動するデータ量 ) の増加がそのまま続くと、数年後には、2 0 % を超えるものと予想されている。

20

【 0 0 0 9 】

特に、端末相互間の自律分散型通信 ( いわゆる、アドホックネットワーク ) を介して情報が伝送されるネットワークにおいては、端末は他の端末からパケットを受信したとき、あるいは自らがパケットを送信するときだけ動作すれば良い。そのため、従来は、端末に搭載されたプロセッサに低消費電力の待機状態を設け、パケットの送受信を行なわないときは待機状態とし、さらに、使用されない回路ブロックへの電源供給を停止することで消費電力の低減を図っていた。しかし、待機状態から動作状態への復帰は割り込み処理で行なうため、復帰のためのオーバーヘッドが発生し、待機状態と動作状態の切替が頻発する場合、消費電力低減の効果が限られていた。

30

【 0 0 1 0 】

本発明は前記事情に鑑み、情報流通環境を低消費電力化することを技術的課題とする。

【課題を解決するための手段】

【 0 0 1 1 】

前記技術的課題を解決するために請求項 1 記載の発明のネットワークシステムは、処理されるデータが分割されたパケットが全て受信されたか否かを判別することにより発火条件が成立したか否かを判別する発火制御部と、前記発火条件が成立した場合に前記発火制御部から送信されたデータに応じた処理を実行するデータ処理部と、を少なくとも有するデータ駆動型プロセッサと、

40

前記発火制御部およびデータ処理部により構成された複数のパイプラインステージと、各パイプラインステージに設けられ且つパケットの流れの上流側および下流側のパイプラインステージの状態に応じてパケットの転送を制御するデータ転送制御回路であって、前記各パイプラインステージに対して駆動電力を供給する電源供給線に設けられて前記電源供給線による駆動電力供給及び供給停止の切り替えを行う切り替え素子に対して、前記下流側のパイプラインステージに電源が必要ない場合に、前記切り替え素子を制御して下流側のパイプラインステージへの駆動電力供給を停止する前記データ転送制御回路と、を有する端末相互間の自律分散型通信を介して情報が送受信されることを特徴とする。

【 0 0 1 2 】

請求項 2 に記載の発明は、請求項 1 に記載のネットワークシステムにおいて、

受信したパケットを保持するデータラッチと、データラッチから送信されたパケットを

50

処理する論理回路とを有する前記パイプラインステージと、

下流側のパイプラインステージの論理回路で処理が行われる場合に前記切り替え素子を制御して下流側のパイプラインステージに対して駆動電力を供給すると共に、下流側のパイプラインステージの論理回路で処理が行われておらず且つデータラッチでデータが保持されている場合に前記切り替え素子を制御して下流側のパイプラインステージに対して前記駆動電源に比べて消費電力が小さいデータ保持用電力を供給する前記データ転送制御回路と、

を備えたことを特徴とする。

【0013】

請求項3に記載の発明は、請求項1または2に記載のネットワークシステムにおいて、前記論理回路における処理負荷に基づいて、前記駆動電力の電圧を変化させることにより、前記論理回路の処理速度と消費電力を変化させることを特徴とする。

10

【0014】

請求項4に記載の発明は、請求項1ないし3のいずれかに記載のネットワークシステムにおいて、

前記パイプラインステージがCMOS回路で構成され、前記論理回路における処理負荷に基づいて、前記駆動電力の電圧および前記パイプラインステージを構成するCMOSトランジスタの基板バイアス電圧を変化させることにより、前記論理回路の処理速度と消費電力を変化させることを特徴とする。

【0015】

20

請求項5に記載の発明は、請求項1ないし4のいずれかに記載のネットワークシステムにおいて、

端末間の通信を無線通信で行うことを特徴とする。

【0016】

前記技術的課題を解決するために請求項6に記載の発明のネットワークシステムにおける電源制御方法は、

処理されるデータが分割されたパケットが全て受信されたか否かを判別することにより発火条件が成立したか否かを判別する発火制御部と、前記発火条件が成立した場合に前記発火制御部から送信されたデータに応じた処理を実行するデータ処理部と、を少なくともも有するデータ駆動型プロセッサと、

30

前記発火制御部およびデータ処理部により構成された複数のパイプラインステージと、を有する端末相互間の自律分散型通信を介して情報が送受信されることを特徴とするネットワークシステムにおける電源制御方法であって、

各パイプラインステージの状態に基づいて、各パイプラインステージに電源が必要ない場合に、パイプラインステージへの電源供給を停止することを特徴とする。

【0017】

請求項7に記載の発明は、請求項6に記載のネットワークシステムにおける電源制御方法において、

前記各パイプラインステージが、受信したパケットを保持するデータラッチと、データラッチから送信されたパケットを処理する論理回路とを有し、前記論理回路における処理負荷に応じて前記パイプラインステージに供給する駆動電力の電圧を変化させることを特徴とする。

40

【発明の効果】

【0018】

請求項1または6に記載の発明によれば、情報流通環境を低消費電力化することができる。

請求項2に記載の発明によれば、データを保持するだけの場合に、必要最低限の電力供給とすることができ、さらに低消費電力化することができる。

請求項3、4、7に記載の発明によれば、処理負荷に応じて最適な電力を供給することができ、さらに低消費電力化することができる。

50

請求項 5 に記載の発明によれば、自律分散型の無線通信において、低消費電力化することができる。

【発明を実施するための最良の形態】

【0019】

次に図面を参照しながら、本発明の実施の形態の具体例（実施例）を説明するが、本発明は以下の実施例に限定されるものではない。

なお、以下の図面を使用した説明において、理解の容易のために説明に必要な部材以外の図示は適宜省略されている。

【実施例 1】

【0020】

図 1 は本発明のネットワークシステムの実施例 1 の全体説明図である。

図 1 において、本発明の実施例 1 の超低消費電力化ネットワークシステム S は、複数の端末 T 1 ~ T 4 を有する。実施例 1 の超低消費電力ネットワークシステム S は、端末 T 1 ~ T 4 の無線通信により形成される自律分散型通信網、いわゆる、アドホックネットワーク (Ad hoc Network) N により構成されており、データの一例としての音声データや動画データがストリーミング配信可能である。また、実施例 1 の各端末 T 1 ~ T 4 は、アドホックネットワーク通信機能を有する情報処理装置（いわゆる PC : パーソナルコンピュータ、ノート型 PC またはデスクトップ型 PC）や、携帯型情報端末（いわゆる PDA : Personal Digital Assistant）、携帯型音楽再生装置等により構成することが可能である。

【0021】

実施例 1 の各端末 T 1 ~ T 4 は、他の端末 T 1 ~ T 4 から送信されて受信したデータを処理するデータ処理チップ 1 を有する。前記データ処理チップ 1 は、複数のデータ駆動型プロセッサ 2 と、各データ駆動型プロセッサ 2 同士を電氣的に接続する配線 3 とを有するチップマルチプロセッサにより構成されている。

【0022】

図 2 は実施例 1 のデータ駆動型プロセッサの機能ブロック図である。

図 2 において、前記データ駆動型プロセッサ 2 は、複数のプロセッシングエレメント 6 と、各プロセッシングエレメント 6 同士を接続して情報の送受信を行う内部接続ネットワーク 7 (Inter-Connection Network) を有する。各プロセッシングエレメント 6 は、例えば、前記特許文献 1 に記載の発火制御部 (FC) や、関数処理部 (FP) を含むデータ処理部の一例としての算術論理部 (ALU : Arithmetic Logic Unit)、プログラム記憶部 (PS) を有するデータ駆動型のプロセッシングエレメントや、前記特許文献 2 に記載の命令フェッチ部 (IF)、命令デコード部 (ID)、命令実行部 (EX) を含む算術論理部 (ALU)、ライトバック部 (WB)、スーパースカラプロセッサで使用される予約ステーション (RS : Reservation Station) 等を有するスーパースカラ型のプロセッシングエレメントを使用可能である。なお、各部の説明は、前述の従来技術の説明において説明し、また、特許文献 1, 2 に開示されているため、詳細な説明は省略する。

【0023】

図 3 は実施例 1 の低消費電力型の自己同期式エラスティックパイプラインの説明図である。

図 3 において、実施例 1 のプロセッシングエレメント 6 は、自己同期式のエラスティックパイプラインによるスーパーパイプライン構造を有している。実施例 1 のプロセッシングエレメント 6 は、少なくとも発火制御部 FC や算術論理部 ALU を有し、実装されている場合には、プログラム記憶部 PS や命令フェッチ部 IF、命令デコード ID、ライトバック部 WB 等のパイプラインステージ 11 を有する。

【0024】

図 3 において、各パイプラインステージ 11 は、パケットの流れに沿って上流側のパイプラインステージ 11 から送信されたパケットに基づいて各パイプラインステージ 11 の処理を実行する論理回路 (LC : Logic Circuit) 12 と、論理回路 12 に接続され且つ論理回路で処理されたパケットを保持するデータラッチ (DL : Data Latch) 13 と、デ

10

20

30

40

50

ータラッチ 1 3 へ同期信号（クロック信号、トリガー信号）を供給する自己同期式転送制御機構（S T C M : Self-timed Transfer Control Mechanism）1 4 とを有する。

【 0 0 2 5 】

前記論理回路 1 2 およびデータラッチ 1 3 には、駆動用の電源電圧を供給する電源供給線 1 6 が接続されている。前記電源供給線 1 6 は、論理回路 1 2 で処理を実行する際に必要な駆動電圧（正電圧、ドレイン電圧、駆動電力） $V_{dd}$ を供給する駆動電圧線 1 6 a と、論理回路 1 2 で処理を実行せず且つデータラッチ 1 3 でパケットデータを保持するのに十分で駆動電圧  $V_{dd}$  よりも低い電圧である最低電圧（最低電力、データ保持用電力） $V_{min}$  を供給する最低電圧線 1 6 b と、負電圧（ソース電圧、基準電圧、例えば接地：アース） $V_{ss}$  を供給する負電圧線 1 6 c とを有し、各電圧線 1 6 a ~ 1 6 c には、各パイプラインステージ 1 1 毎に、電圧供給の接続、切り離しを切り替える切り替え素子の一例としてのパワーゲーティング（P G）1 6 d が設けられている。すなわち、前記パワーゲーティング 1 6 d を制御することで、各論理回路 1 2 およびデータラッチ 1 3 に駆動電圧  $V_{dd}$  や最低電圧  $V_{min}$  を供給したり、電圧供給をオフにすることができる。

10

【 0 0 2 6 】

前記電源供給線 1 6 には、電源回路 1 7 が接続されており、前記各電圧  $V_{dd}$  ,  $V_{min}$  ,  $V_{ss}$  を供給する。なお、前記電源回路 1 7 には、電圧制御回路 1 8 が接続されており、駆動電圧  $V_{dd}$  は、電圧制御回路 1 8 により可変の電圧値に制御可能である。前記電圧制御回路 1 8 は、データ駆動型プロセッサ 2 の I / O を通過する入力パケットに基づいて、通過するパケット量の予測を行い、予測された総パケット量の処理を行うために必要な電圧に応じた値に制御できる。前記通過するパケット量の予測は、例えば、I / O を通過するパケットのヘッダー情報に含まれる総データ量に関する情報に基づいて、今後通過する総パケット量を判別し、処理に必要な負荷を、予め実験等により求められて設定されたテーブル等に基づいて判別、予測することが可能である。よって、前記電圧制御回路 1 8 により、負荷に応じて無駄の少ない駆動電圧  $V_{dd}$  を供給でき、不要で過大な電圧が供給されることが低減できる。

20

【 0 0 2 7 】

実施例 1 の自己同期式転送制御機構 1 4 は、各データラッチ 1 3 に対応して設けられたデータ転送制御回路の一例としての C 素子（Coincidence Element）1 4 a と、各論理回路 1 2 におけるパケット処理時間を保証する遅延素子（Delay Element）1 4 b とを有する。

30

前記 C 素子 1 4 a には、上流側のパイプラインステージ 1 1 からパケットを送信する際に上流側の C 素子 1 4 a から送信される転送要求信号（Send-in 信号）と、下流側の C 素子 1 4 a から送信される転送許可信号（Ack-in 信号：Acknowledgement-in）とが入力され、入力された Send-in 信号と Ack-in 信号に対応して、上流側の C 素子 1 4 a に対して転送許可信号（Ack-out 信号）と、下流側の C 素子 1 4 a に対して転送要求信号（Send-out 信号）とが出力される。すなわち、前記 C 素子 1 4 a は、転送要求信号と転送許可信号とのハンドシェークを行う素子である。

そして、前記各 C 素子 1 4 a の Send-out には、遅延素子 1 4 b が接続されている。また、各 C 素子 1 4 a は、下流側のパイプラインステージ 1 1 の各パワーゲーティング 1 6 d に接続されている。

40

【 0 0 2 8 】

前記 Send 信号には、転送待機（実施例 1 では「0」に設定）と、転送要求（実施例 1 では「1」に設定）があり、Ack 信号には、転送許可（実施例 1 では「1」に設定）と、転送禁止（実施例 1 では「0」に設定）とがある。

以下、理解の容易のために、パケットの流れに沿って連続する 3 つのパイプラインステージ 1 1 について、上流側のパイプラインステージ 1 1 を上流側パイプラインステージ 1 1 a、中流のパイプラインステージ 1 1 を中流側パイプラインステージ 1 1 b、下流側のパイプラインステージ 1 1 を下流側パイプラインステージ 1 1 c と呼ぶものとする。

【 0 0 2 9 】

50

実施例 1 では、Send 信号および Ack 信号の初期値は、Send 信号が全て転送待機、Ack 信号が全て転送許可に設定されている。この状態では、各パイプラインステージ 1 1 a ~ 1 1 c では、各 C 素子 1 4 a に対応するデータラッチ 1 3 にデータが無く、上流側のパイプラインステージ 1 1 から送信されるパケットも無い状態であり、その下流側のパイプラインステージ 1 1 で処理中や保持されているパケットもないため、下流側の論理回路 1 2 およびデータラッチ 1 3 には、電圧を供給する必要が無い。したがって、各 C 素子 1 4 a から、その下流側のパイプラインステージ 1 1 の各パワーゲーティング P G に電圧の切り離し信号が出力され、電圧供給が停止される。

【 0 0 3 0 】

初期状態から、上流側パイプラインステージ 1 1 a の C 素子 1 4 a にパケットが入力されると、中流側パイプラインステージ 1 1 b の C 素子 1 4 a に入力される Send-in 信号が「 0 」から「 1 」に変わる。これに対応して、Ack-out 信号は、「 1 」から「 0 」に変わって、上流側から次のパケットの入力を信号を禁止すると共に、Send-out 信号が「 0 」から「 1 」に変わって、下流側パイプラインステージ 1 1 c に対してパケットの転送要求を行う。このとき、下流側パイプラインステージ 1 1 c では次に論理回路 1 2 で処理が実行されるため、下流側パイプラインステージ 1 1 c に対して駆動電圧 V dd が供給されるように、中流側パイプラインステージ 1 1 b の C 素子 1 4 a からパワーゲーティング 1 6 d に制御信号が出力される。

【 0 0 3 1 】

次に、各論理回路 1 2 で処理が実行される時間が経過すると、遅延回路 1 4 b の機能により、Send-out 信号が「 1 」から「 0 」に変わって、転送待機状態に変わる。上流側パイプラインステージ 1 1 a の Send-out 信号、すなわち、中流側パイプラインステージ 1 1 b の Send-in 信号が、転送待機状態に戻ると、中流側パイプラインステージ 1 1 b の Ack-out 信号が「 0 」から「 1 」に変わり、転送許可状態に戻り、初期状態に戻る。

【 0 0 3 2 】

ここで下流側パイプラインステージ 1 1 c の処理時間が長かったり、パイプラインステージ 1 1 においてパケットを保持していない場合に、何らかの状態を保持する必要がある場合がある。例えば、発火制御部 ( F C ) で待ち合わせパケットを保持する場合や、プロトコル処理等で有限状態機械 ( F S M : Finite State Machine、または有限オートマトン、 F A : Finite Automaton ) の状態を保持する場合等がある。これらの要因により、中流側パイプラインステージ 1 1 b から下流側パイプラインステージ 1 1 c にパケットの送信が禁止されて中流側のデータラッチ 1 3 にデータが保持された状態となることがある。

【 0 0 3 3 】

この状態では、上流側パイプラインステージ 1 1 a の C 素子において、Send-out 信号が転送待機状態であり、且つ、Ack-in 信号が転送禁止状態になることがある。この時、中流側パイプラインステージ 1 1 b では、論理回路 1 2 では処理が終了しており、データラッチ 1 3 でデータが保持されているだけの状態であるため、上流側パイプラインステージ 1 1 a の C 素子 1 4 a は、中流側パイプラインステージ 1 1 b に最低電圧 V min が供給されるようにパワーゲーティング 1 6 d に制御信号を出力する。

【 0 0 3 4 】

なお、実施例 1 の超低消費電力化ネットワークシステム S では、前記プロセッシングエレメント 6 間を接続する内部接続ネットワーク 7 は、各プロセッシングエレメント 6 から出力されたパケットに基づいて次に処理が行われるプロセッシングエレメント 6 を判別し、パケットの流れを制御する分岐部を有するルータ ( Router ) により構成されている。この内部接続ネットワーク 7 も、C 素子を有し、分岐部への電源供給をパワーゲーティングで制御する超低消費電力型の自己同期式エラスティックパイプラインにより構成されている。

【 0 0 3 5 】

( 実施例 1 の作用 )

前記構成を備えた実施例 1 の超低消費電力化ネットワークシステム S では、アドホック



ネットワークNが採用されており、サーバーやアクセスポイント等の大規模で常時電力を消費して、消費電力が多くなるインフラストラクチャーが必要なネットワークに比べて、端末T1～T4間の無線通信でサーバー等が必要ない。したがって、低消費電力化することができる。

【0036】

また、実施例1の超低消費電力化ネットワークシステムSでは、データ駆動型のプロセッサ2を有しており、常時パケットの受信を待機して電力を消費するプロセッサに比べて、パケットを受信した場合に受信したパケットに応じて処理を行うため、電力消費が低減されている。

【0037】

図4は従来の自己同期式エラスティックパイプラインにおけるパイプライン充填率と消費電流との関係を説明する説明図であり、横軸にパイプライン充填率を取り縦軸に消費電流を取ったグラフである。

図4において、従来の自己同期式エラスティックパイプラインでは、パイプライン充填率 $[ = ( \text{データラッチがデータを保持しているパイプラインステージの数} ) / ( \text{パイプラインステージの総数} ) \times 100 ]$ と消費電流の最大値に対する割合とは、パイプライン充填率が高くなりすぎて過負荷にならない限り、パイプライン充填率が高くなるほど電流が多く必要となる関係となっている。このとき、図4に示すように、消費電流は、パイプライン充填率が低くても、パイプラインステージを構成するCMOS回路のMOSトランジスタのリーク電流によって、50%程度の消費電流が発生している。

【0038】

図5は実施例1の自己同期式エラスティックパイプラインにおいて駆動電圧を一定値にした場合のスループットと消費電流の説明図であり、図5Aは横軸にパイプライン充填率を取り縦軸にスループットを取ったグラフ、図5Bは横軸にパイプライン充填率を取り縦軸に消費電流を取ったグラフである。

また、実施例1では、データ駆動型プロセッサ2や内部接続ネットワーク7は、自己同期式エラスティックパイプラインが採用され、且つ、パワーゲーティング16dで電源制御が行なわれている。図5Aにおいて、自己同期式エラスティックパイプライン11およびパワーゲーティング16dを採用した実施例1の自己同期式エラスティックパイプライン11において、駆動電圧V<sub>dd</sub>を一定の電圧値にした場合には、パイプライン充填率と、スループット $[ = ( \text{単位時間当たりの命令の処理数} ) / ( \text{単位時間当たりに処理できる命令の最大数} ) \times 100 ]$ とは、過負荷にならない限り比例した。

【0039】

また、図5Bにおいて、実施例1のパワーゲーティング16dを採用した自己同期式エラスティックパイプライン11では、パイプライン充填率と消費電流の最大値に対する割合も、過負荷にならない限り比例した。すなわち、図5に示すように、パワーゲーティング16dを採用したことで、図4の従来の場合に比べて、リーク電流の影響が抑制され、消費電力が低減されている。

したがって、実施例1では、処理される負荷に応じて電流が消費され、無駄な電力消費がされないため、処理される命令数にかかわらず常時所定の電力消費がされるデータ駆動型ではない従来構成に比べて、消費電力を低減することができる。

【0040】

特に、実施例1では、下流側のパイプラインステージでデータ処理もデータ保持も行われていない場合には、電源をカットして、リーク電流の影響が抑制されている。また、下流側のパイプラインステージ11でデータ処理が行われず且つデータ保持のみ実行されている場合には、電源をデータ保持に必要な最低限度供給し、下流側のパイプラインステージ11でデータ処理が行われる場合には、必要な駆動電圧V<sub>dd</sub>が供給される。したがって、各パイプラインステージ11の状態に関わらず、駆動電圧が供給されている場合に比べて、消費電力を低減することができる。

【0041】

10

20

30

40

50

図 6 は実施例 1 の自己同期式エラスティックパイプラインにおいて駆動電圧を負荷に応じて変化させた場合の packets 到来レート、パイプライン充填率および消費電流の関係の説明図であり、図 6 A は横軸に packets 到来レートを取り縦軸にパイプライン充填率を取ったグラフ、図 6 B は横軸に packets 到来レートを取り縦軸に消費電流を取ったグラフである。

実施例 1 の自己同期式エラスティックパイプライン 11 では、駆動電圧  $V_{dd}$  が処理負荷に応じて変化されており、駆動電圧  $V_{dd}$  が低下してスループットが低下した分をパイプライン充填率を上げることでカバーしている。図 6 において、図 5 に示すように駆動電圧  $V_{dd}$  が一定の場合は、パイプライン充填率と packets 到来レート  $[ = ( \text{単位時間あたりに到来する packets の数} ) / ( \text{最高速で処理したときに単位時間あたりに処理できる packets の数} ) \times 100 ]$  は比例するが、負荷に応じて駆動電圧  $V_{dd}$  を変化させた場合、図 6 A に示すように、packets 到来レートが比較的低いうちからパイプライン充填率が上がる。したがって、図 6 B に示すように、packets 到来レートに対して消費電流がほぼ比例し、さらなる低消費電力化が期待できる。

【 0042 】

したがって、実施例 1 の超低消費電力化ネットワークシステム S では、アドホックネットワーク N、データ駆動型プロセッサ 2、自己同期式エラスティックパイプライン、および、C 素子による電源制御、および、可変電圧  $V_{dd}$  の制御により、従来に比べて、大幅に消費電力が低減できる。

【 0043 】

図 7 は実施例 1 のネットワークシステムにおけるシミュレーション結果の説明図であり、横軸にユーザ数、縦軸にターンアラウンドタイムを取った図である。

実施例 1 の超低消費電力化ネットワークシステム S において、アドホックネットワークに接続された端末の数であるユーザ数を変化させて、動画像、音声、ドキュメントデータ、制御情報を送信した場合におけるターンアラウンドタイム（データやコマンドの入力が終了してから、処理結果の出力が終わって次の要求の受け入れが可能になるまでの時間）の変化を測定した。

図 7 において、ユーザ数が増加してもターンアラウンドタイムはほとんど変化せず、実施例 1 の超低消費電力化ネットワークシステム S において、実時間での多重処理が実現されることが確認された。

【 0044 】

（変更例）

以上、本発明の実施例を詳述したが、本発明は、前記実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内で、種々の変更を行うことが可能である。本発明の変更例（H01）～（H04）を下記に例示する。

（H01）前記実施例において例示したように、データ駆動型プロセッサ 2 や内部接続ネットワーク 7 において、パワーゲーティングを有する自己同期式エラスティックパイプラインを採用することが望ましいが、例えば、プロセッシングエレメント 6 内でのみ採用して、内部接続ネットワーク 7 では従来の構成とすることも可能である。

【 0045 】

（H02）前記実施例において、パイプラインステージ 11 毎にそれぞれパワーゲーティングを設けたが、この構成に限定されず、複数個のパイプラインステージを一塊として、塊毎にパワーゲーティングを設けたり、プロセッサ単位、プロセッサクラスタ（プロセッサの固まり）単位でパワーゲーティングを設けて制御することも可能である。

（H03）前記実施例において、ネットワークとして、無線通信による自律分散型通信網を例示したが、この構成に限定されず、有線で接続された端末間の自律分散型通信網とすることも可能である。さらに、低消費電力化の観点から自律分散型通信網であることが望ましいが、自律分散型通信網以外の通信網とすることも可能である。

【 0046 】

（H04）前記実施例において、駆動電圧  $V_{dd}$  を変化させる実施例を例示したが、この構成

10

20

30

40

50

に限定されず、例えば、各パイプラインステージを構成するCMOSトランジスタの基板バイアス電圧を制御することで、各パイプラインステージの論理回路の処理速度と消費電力を制御することも可能である。また、図5に示すように、駆動電圧V<sub>dd</sub>が一定の場合でも、図4に示す従来技術に比べて低消費電力化の効果があるため、駆動電圧V<sub>dd</sub>を固定値とすることも可能である。

【図面の簡単な説明】

【0047】

【図1】図1は本発明のネットワークシステムの実施例1の全体説明図である。

【図2】図2は実施例1のデータ駆動型プロセッサの機能ブロック図である。

【図3】図3は実施例1の低消費電力型の自己同期式エラスティックパイプラインの説明図である。 10

【図4】図4は従来の自己同期式エラスティックパイプラインにおけるパイプライン充填率と消費電流との関係を説明する説明図であり、横軸にパイプライン充填率を取り縦軸に消費電流を取ったグラフである。

【図5】図5は実施例1の自己同期式エラスティックパイプラインにおいて駆動電圧を一定値にした場合のスループットと消費電流の説明図であり、図5Aは横軸にパイプライン充填率を取り縦軸にスループットを取ったグラフ、図5Bは横軸にパイプライン充填率を取り縦軸に消費電流を取ったグラフである。

【図6】図6は実施例1の自己同期式エラスティックパイプラインにおいて駆動電圧を負荷に応じて変化させた場合の packets 到来レート、パイプライン充填率および消費電流の関係の説明図であり、図6Aは横軸に packets 到来レートを取り縦軸にパイプライン充填率を取ったグラフ、図6Bは横軸に packets 到来レートを取り縦軸に消費電流を取ったグラフである。 20

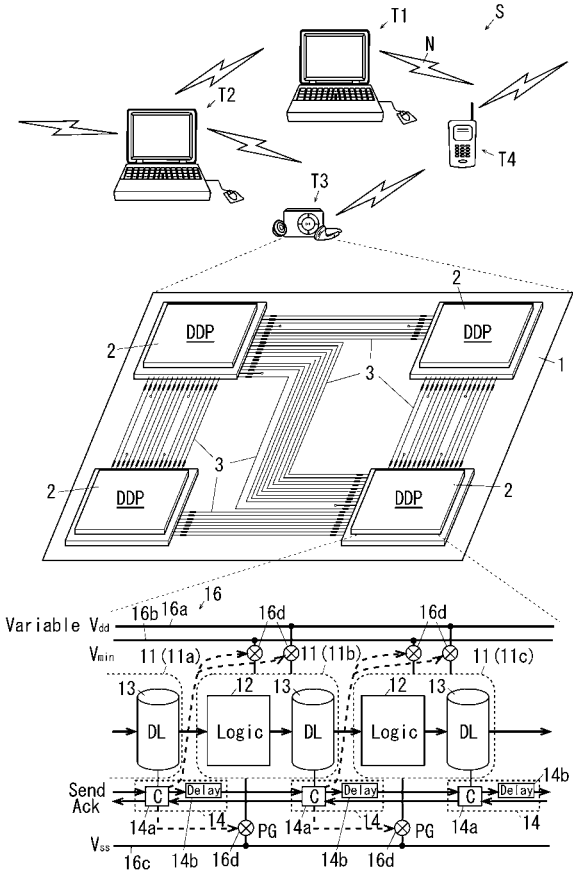
【図7】図7は実施例1のネットワークシステムにおけるシミュレーション結果の説明図であり、横軸にユーザ数、縦軸にターンアラウンドタイムを取った図である。

【符号の説明】

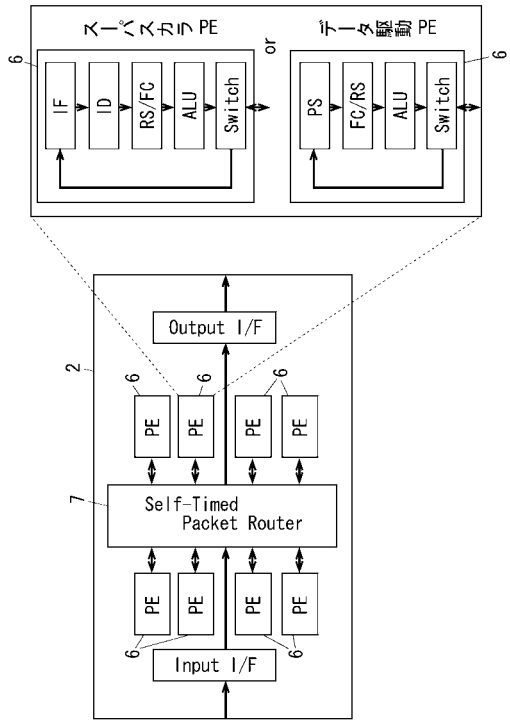
【0048】

2 ... データ駆動型プロセッサ、  
 1 1 ... パイプラインステージ、  
 1 2 ... 論理回路、  
 1 3 ... データラッチ、  
 1 4 a ... データ転送制御回路、  
 1 6 ... 電源供給線、  
 1 6 d ... 切り替え素子、  
 A L U ... データ処理部、  
 F C ... 発火制御部、  
 N ... 自律分散型無線通信網、  
 S ... ネットワークシステム。

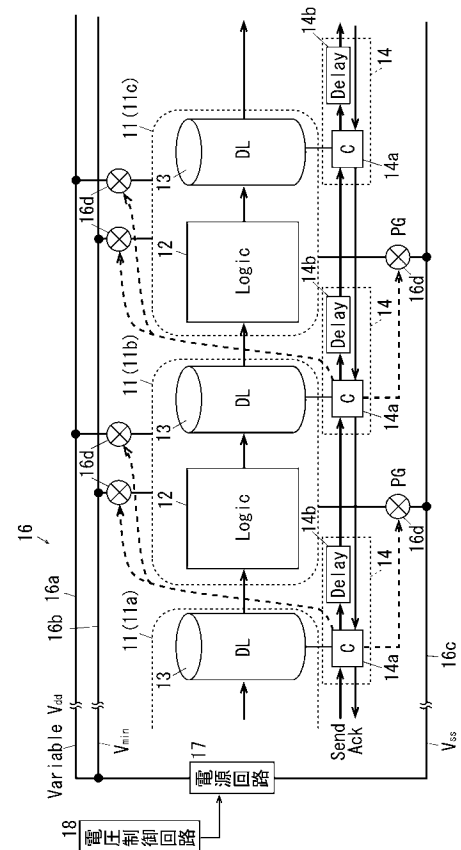
【図 1】



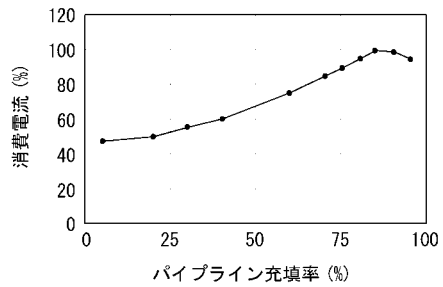
【図 2】



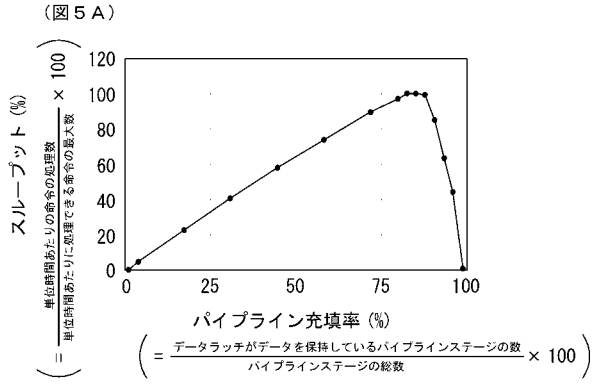
【図 3】



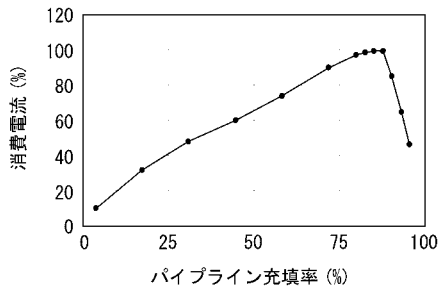
【図 4】



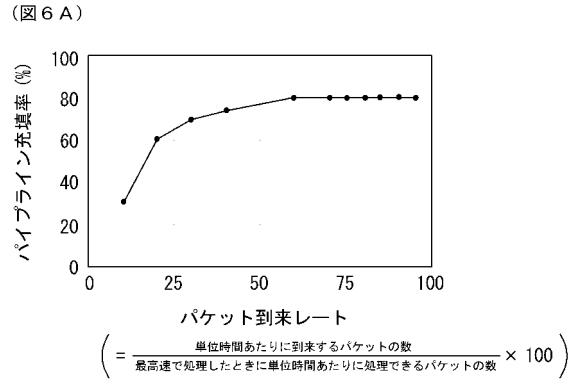
【 図 5 】



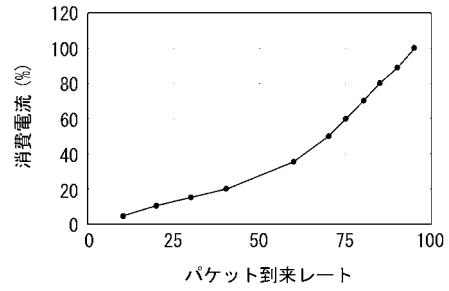
(図 5 B)



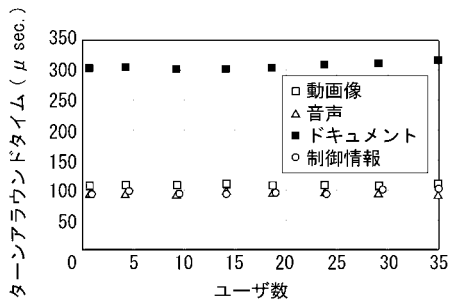
【 図 6 】



(図 6 B)



【 図 7 】



---

フロントページの続き

(72)発明者 岩田 誠

高知県香美市土佐山田町宮ノ口185番地 学校法人 高知工科大学内

(72)発明者 石井 啓之

東京都港区高輪2-3-23 学校法人 東海大学内

Fターム(参考) 5B011 EA08 EA09 KK03 LL06 LL11