

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4998801号
(P4998801)

(45) 発行日 平成24年8月15日(2012.8.15)

(24) 登録日 平成24年5月25日(2012.5.25)

(51) Int.Cl.	F I	
HO 1 L 43/12 (2006.01)	HO 1 L 43/12	
HO 1 L 43/10 (2006.01)	HO 1 L 43/10	
HO 1 L 29/66 (2006.01)	HO 1 L 29/66	T
HO 1 L 29/73 (2006.01)	HO 1 L 29/72	Z
HO 1 L 21/331 (2006.01)	HO 1 L 29/82	Z

請求項の数 3 (全 10 頁) 最終頁に続く

(21) 出願番号	特願2008-213517 (P2008-213517)	(73) 特許権者	503360115 独立行政法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(22) 出願日	平成20年8月22日(2008.8.22)	(73) 特許権者	301021533 独立行政法人産業技術総合研究所 東京都千代田区霞が関1-3-1
(65) 公開番号	特開2010-50297 (P2010-50297A)	(74) 代理人	100087480 弁理士 片山 修平
(43) 公開日	平成22年3月4日(2010.3.4)	(74) 代理人	100137615 弁理士 横山 照夫
審査請求日	平成22年12月10日(2010.12.10)	(72) 発明者	齋藤 秀和 茨城県つくば市吾妻4丁目11-2-10 7-201号

最終頁に続く

(54) 【発明の名称】 トンネル素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

G a A s を含む半導体膜を形成する工程と、
前記半導体膜上に酸化ガリウム膜を形成する工程と、
前記酸化ガリウム膜上に導電性膜を形成する工程と、
を有し、
前記酸化ガリウム膜は、前記半導体膜および前記導電性膜の一方から他方にトンネル電流が流れるトンネル絶縁膜であり、

前記酸化ガリウム膜を形成する工程は、酸化ガリウム単結晶をソースとし蒸着法を用いることを特徴とするトンネル素子の製造方法。

【請求項2】

G a A s を含む半導体膜を形成する工程と、
前記半導体膜上に酸化ガリウム膜を形成する工程と、
前記酸化ガリウム膜上に導電性膜を形成する工程と、
を有し、
前記酸化ガリウム膜は、前記半導体膜および前記導電性膜の一方から他方にトンネル電流が流れるトンネル絶縁膜であり、

前記酸化ガリウム膜を形成する工程は、前記半導体膜を形成する工程が実行された後、酸化性気体に曝されることなく連続して実行されることを特徴とするトンネル素子の製造方法。

【請求項 3】

前記半導体膜の少なくとも一部の膜と前記導電性膜の少なくとも一部の膜との少なくとも一方は強磁性体であることを特徴とする請求項 1 または 2 記載のトンネル素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トンネル素子の製造方法に関し、特に、酸化ガリウム膜をトンネル絶縁膜としたトンネル素子の製造方法に関する。

【背景技術】

10

【0002】

トンネル素子は、2つの導電性膜の間にキャリアがトンネル伝導可能な膜厚を有するトンネル絶縁膜を設けた素子である。導電性膜の一方を半導体膜とし、半導体膜上にトンネル絶縁膜および導電性膜を形成することにより、半導体素子とトンネル素子との集積化が可能となる。非特許文献1および非特許文献2には、GaAsを含む半導体を用いたトンネル素子が開示されている。非特許文献1および非特許文献2においては、GaAsを含む半導体上に形成した酸化マグネシウム膜をトンネル絶縁膜として用いている。

【0003】

トンネル素子の導電性膜を強磁性体とすることにより、TMR (Tunneling Magnetoresistive) 素子を実現することができる。

20

【非特許文献1】Appl. Phys. Lett., Vol. 81, No. 2, p265.

【非特許文献2】Phys. Rev. Lett., Vol. 94, p056601.

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、GaAsを含む半導体膜上にトンネル絶縁膜を形成すると、接合抵抗が高く、十分なトンネル電流が得られない。また、接合抵抗の制御性が悪い。さらに、例えば、このようなトンネル絶縁膜を用いたTMR素子を作製すると、磁気抵抗変化率が小さくなる。

【0005】

30

本発明は、上記課題に鑑みなされたものであり、大きなトンネル電流が流れ、かつ接合抵抗の制御性のよいトンネル素子の製造方法を提供することを目的とする

【課題を解決するための手段】

【0013】

本発明は、GaAsを含む半導体膜を形成する工程と、前記半導体膜上に酸化ガリウム膜を形成する工程と、前記酸化ガリウム膜上に導電性膜を形成する工程と、を有し、前記酸化ガリウム膜は、前記半導体膜および前記導電性膜の一方から他方にトンネル電流が流れるトンネル絶縁膜であり、前記酸化ガリウム膜を形成する工程は、酸化ガリウム単結晶をソースとし蒸着法を用いることを特徴とするトンネル素子の製造方法である。本発明によれば、酸化ガリウム単結晶をソースとし蒸着法を用いることにより、一層大きなトンネル電流が流れ、かつ接合抵抗の制御性の一層よいトンネル素子を製造することができる。

40

【0014】

本発明は、GaAsを含む半導体膜を形成する工程と、前記半導体膜上に酸化ガリウム膜を形成する工程と、前記酸化ガリウム膜上に導電性膜を形成する工程と、を有し、前記酸化ガリウム膜は、前記半導体膜および前記導電性膜の一方から他方にトンネル電流が流れるトンネル絶縁膜であり、前記酸化ガリウム膜を形成する工程は、前記半導体膜を形成する工程が実行された後、酸化性気体に曝されることなく連続して実行されることを特徴とするトンネル素子の製造方法である。本発明によれば、一層大きなトンネル電流が流れ、かつ接合抵抗の制御性の一層よいトンネル素子を製造することができる。

【0015】

50

上記構成において、前記半導体膜の少なくとも一部の膜と前記導電性膜の少なくとも一部の膜との少なくとも一方は強磁性体である構成とすることができる。この構成によれば、磁気抵抗変化率の大きいトンネル素子を製造することができる。

【発明の効果】

【0017】

本発明によれば、酸化ガリウムをトンネル絶縁膜とすることにより、十分なトンネル電流が流れ、かつ接合抵抗の制御性のよいトンネル素子の製造方法を提供することができる。

【発明を実施するための最良の形態】

【0018】

図1は、本発明の原理を示す図である。GaAsを含む半導体膜10と導電性膜30と間にトンネル絶縁膜として酸化ガリウム膜20が設けられている。酸化ガリウム膜20は、半導体膜10および導電性膜30に接して設けられている。酸化ガリウム膜20には、半導体膜10および導電性膜30の一方から他方にトンネル電流が流れる。つまり、酸化ガリウム膜20は、半導体膜10および導電性膜30の一方から他方にトンネル電流が流れる程度の膜厚を有する。GaAsを含む半導体膜10は、例えば、GaAs単結晶膜である。または、GaAsと他のIII-V族半導体との混晶、例えば $Al_xGa_{1-x}As$ 膜、 $In_xGa_{1-x}As$ である。半導体膜10はp型またはn型導電性とするため、不純物が添加されている。酸化ガリウム膜20が接する半導体膜10は、GaAsを含めば導電性でなくともよい。半導体膜10を強磁性体とする場合、半導体膜10には磁性元素が添加される。導電性膜30は、例えば金属膜であり、Au等である。導電性膜30を強磁性体とする場合は、導電性膜30の少なくとも一部をFe、CoまたはNiのような強磁性金属またはこれらの合金とする。半導体膜10と導電性膜30とを強磁性体とすることにより、トンネル素子をTMR素子とすることができる。

【0019】

GaAsを含む半導体膜10上に酸化マグネシウムのようなトンネル絶縁膜を形成すると、接合抵抗（つまり、半導体膜10と導電性膜30との間の抵抗）が大きくなるのは、GaAsを含む半導体膜10とトンネル絶縁膜との界面に界面準位が形成されてしまうためと考えられる。GaAs単結晶膜上に形成されたトンネル絶縁膜だけでなく、例えばGaAsと他のIII-V族半導体との混晶膜上に形成されたトンネル絶縁膜についても接合抵抗が大きくなる。そこで、図1のように、半導体膜10上にトンネル絶縁膜として酸化ガリウム膜20を形成する。GaAsを含む半導体膜10と酸化ガリウム膜20との界面には界面準位が生成され難い。これは、酸化ガリウム膜20がGaAsの一方の元素の酸化物であるためである。よって、半導体膜10は、例えばGaAsと他のIII-V族半導体との混晶のように、GaAsを含む半導体膜10であればよい。本発明によれば、上記のように、トンネル絶縁膜を酸化ガリウム膜とすることにより、接合抵抗を小さくすることができる。

【実施例1】

【0020】

実施例1は、半導体膜10をn型GaAs基板14とn型 $Al_{0.2}Ga_{0.8}As$ 膜12との積層膜とし、導電性膜30をFe膜32とAu膜34との積層膜とする例である。図2(a)から図2(b)は作製した実施例1に係るトンネル素子の製造工程を示す断面図、図3は作製したトンネル素子の製造工程の条件を示す図である。

【0021】

図2(a)および図3を参照に、Siを $1 \times 10^{18} \text{ cm}^{-3}$ 添加したn型GaAs基板14上に、MBE(Molecular Beam Epitaxy)法を用い、膜厚が20nmのSiを $1 \times 10^{19} \text{ cm}^{-3}$ 添加したn型 $Al_{0.2}Ga_{0.8}As$ 膜12を形成する。 $Al_{0.2}Ga_{0.8}As$ 膜12の成膜は、Al、GaおよびAsをそれぞれソースとし、Kセルを用い、形成温度を540℃として行う。これにより、GaAs基板14と $Al_{0.2}Ga_{0.8}As$ 膜12とから半導体膜10が形成される。

10

20

30

40

50

【0022】

図2(b)および図3を参照に、n型 $Al_{0.2}Ga_{0.8}As$ 膜12上に、膜厚が t の酸化ガリウム膜20を蒸着法を用い形成する。酸化ガリウム膜20の成膜は、1つの結晶からなる酸化ガリウム(Ga_2O_3)単結晶をソースにEB(Electron Beam)蒸着法を用い、室温で行う。 $Al_{0.2}Ga_{0.8}As$ 膜12の成膜と酸化ガリウム膜20の成膜とは異なるチャンパーを用いて行うが、 $Al_{0.2}Ga_{0.8}As$ 膜12の成膜と酸化ガリウム膜20の成膜との間に、 $Al_{0.2}Ga_{0.8}As$ 膜12の表面を大気には曝していない。

【0023】

図2(c)および図3を参照に、酸化ガリウム膜20上に、膜厚が5nmのFe膜32を形成する。Fe膜32上に、膜厚が5nmのAu膜を形成する。Fe膜32およびAu膜34の形成は、それぞれFeおよびAuをソースにEB蒸着法を用い、室温で行う。これにより、Fe膜32とAu膜34とからなる導電性膜30が形成される。

【0024】

実施例1と同様にトンネル絶縁膜が酸化マグネシウム膜からなる比較例1に係るトンネル素子を作製した。比較例1に係るトンネル素子は図2(b)におけるトンネル絶縁膜を酸化マグネシウムで形成した以外は、実施例1と同じ製造方法で作製している。作製した比較例1と実施例1に係るトンネル素子の半導体膜10と導電性膜30との間の素子抵抗を測定した。素子抵抗が、トンネル素子の接合抵抗に相当する。

【0025】

図4は、室温で測定した比較例1および実施例1に係るトンネル素子の単位面積当りの素子抵抗をトンネル絶縁膜の膜厚 t に対し示した図である。比較例1では、トンネル絶縁膜の膜厚 t が小さい領域で素子抵抗が大きい。膜厚 t が大きくなっても、素子抵抗は大きくは変わらない。一方、実施例1においては、トンネル絶縁膜の膜厚 t が小さい領域では、素子抵抗は小さい。膜厚 t が大きくなると、素子抵抗は実線のように指数関数的に大きくなる。これは、理想的なトンネル電流が流れていることを示している。

【0026】

実施例1によれば、 $GaAs$ を含む半導体膜10上に形成するトンネル絶縁膜を酸化ガリウム膜20とすることにより、理想的なトンネル電流が流れるトンネル素子を実現することができる。これにより、トンネル絶縁膜を薄くすることにより接合抵抗の低いトンネル素子を実現できる。また、酸化ガリウム膜20の膜厚を変化させることにより、任意の接合抵抗が容易に得られる。接合抵抗をトンネル電流が流れる程度とするためには、酸化ガリウム膜20の膜厚は、5nm以下が好ましい。さらに、酸化ガリウム膜20の膜厚を3nm以下とすることにより、比較例1より素子抵抗を小さくすることができる。

【0027】

また、実施例1に係るトンネル素子の製造方法によれば、図2(b)および図3のように、酸化ガリウム膜20を形成する際に、酸化ガリウム単結晶をソースとし蒸着法を用いている。酸化ガリウム膜20を形成する際のソースとして $GdGaO$ が用いられることがある。しかしながら、 Gd は磁性元素のため、 Gd が酸化ガリウム膜20に含まれると、トンネル素子としてTMR素子を形成する際には好ましくない。また、酸化ガリウム多結晶をソースに用いることもある。しかしながら、酸化ガリウム多結晶は、酸化ガリウムの粉末、または酸化ガリウムを焼結して形成されている。このようなソースは、結晶表面に酸素等の不純物が吸着されている。よって、酸化ガリウム多結晶をソースとした場合、良好な酸化ガリウム膜20が形成できない。実施例2によれば、酸化ガリウム単結晶をソースとし蒸着法を用いることにより、良好な膜質の酸化ガリウム膜20を形成することができる。また、酸化ガリウム単結晶は、表面積が小さくなるように、1つの結晶からなるソースを用いることが好ましい。

【0028】

さらに、酸化ガリウム膜20を形成する工程は、半導体膜10を形成する工程が実行された後、大気(つまり酸化性気体)に曝されることなく実行される。これにより、半導体

10

20

30

40

50

膜10と酸化ガリウム膜20との間に砒素化合物等が形成されることを抑制し、良好な酸化ガリウム膜20を形成することができる。

【0029】

酸化ガリウム膜20は、 Ga_2O_3 に近い組成のアモルファス状態であると考えられるが、上記組成、状態に限られるものではない。

【実施例2】

【0030】

実施例2は、半導体膜10をp型GaAs基板14とp型GaAs膜13と $Ga_{0.95}Mn_{0.05}As$ 膜11との積層膜とし、導電性膜30をFe膜32とCo膜33とAu膜34との積層膜とする例である。図5は作製した実施例2に係るトンネル素子の断面図、図6は作製したトンネル素子の製造工程の条件を示す図である。

10

【0031】

図5および図6を参照に、Beを $1 \times 10^{18} \text{ cm}^{-3}$ 添加したp型GaAs基板14上に、膜厚が30nmのBeを $1 \times 10^{19} \text{ cm}^{-3}$ 添加したp型GaAs膜13を形成する。GaAs膜13上に、膜厚が30nmの $Ga_{0.95}Mn_{0.05}As$ 膜11を形成する。GaAs膜13および $Ga_{0.95}Mn_{0.05}As$ 膜11の成膜は、Kセルを用いたMBE法で、形成温度がそれぞれ540および220にて行う。これにより、GaAs基板14、GaAs膜13および $Ga_{0.95}Mn_{0.05}As$ 膜11から半導体膜10が形成される。

【0032】

$Ga_{0.95}Mn_{0.05}As$ 膜11上に、膜厚が3nmの酸化ガリウム膜20を蒸着法を用い形成する。酸化ガリウム膜20の成膜は、実施例1と同じであり、1つの結晶からなる酸化ガリウム(Ga_2O_3)単結晶をソースにEB蒸着法を用い、室温で行う。

20

【0033】

酸化ガリウム膜20上に、膜厚が5nmのFe膜32、膜厚が10nmのCo膜33および膜厚が20nmのAu膜34を順次形成する。Fe膜32、Co膜33およびAu膜34の成膜は、EB蒸着法を用い、室温で行う。これにより、Fe膜32、Co膜33およびAu膜34からなる導電性膜30が形成される。

【0034】

作製した実施例2に係るトンネル素子(TMR素子)を用い、-267において磁気抵抗曲線を測定した。図7は、磁界の強さに対する磁気抵抗変化率を示した図である。なお、磁気抵抗変化率は、 $[R(H) - R_p] / R_p \times 100 (\%)$ で定義される。ここで、 $R(H)$ は磁界H中での素子抵抗、 R_p は上下の磁性膜の磁化方向が完全に平行に揃った時の素子抵抗である。図8(a)~図8(d)は、それぞれ図7における(a)~(d)でのトンネル素子の半導体膜10および導電性膜30の磁化の方向を示した図である。図7および図8(a)を参照に、磁界の強さが4000eでは、半導体膜10および導電性膜30は同じ方向に磁化している。すなわち平行磁化状態である。よって、TMR素子の抵抗変化率は小さい。図8(b)を参照に、磁界の強さを小さくし、磁界の強さを負とすると、半導体膜10および導電性膜30のうち保磁力の小さい一方(図8(b)では半導体膜10)の磁化が反転する。これにより、半導体膜10と導電性膜30との磁化方向が異なり、反平行状態となる。よって、TMR素子の抵抗変化率が大きくなる。図8(c)を参照に、磁界の強さをさらに小さくすると、導電性膜30の磁化が反転する。これにより、半導体膜10と導電性膜30との磁化方向は平行状態となる。よって、TMR素子の抵抗変化率が小さくなる。図8(d)を参照に、磁界の強さを大きくし、磁界の強さを正とすると、半導体膜10の磁化が反転する。これにより、半導体膜10と導電性膜30との磁化方向は反平行状態となり、抵抗変化率は大きくなる。さらに、磁界の強さを大きくすると、図8(a)に戻り、導電性膜30の磁化が反転し、抵抗変化率は小さくなる。

30

40

【0035】

実施例2と同様にトンネル絶縁膜が酸化マグネシウム膜からなる比較例2に係るトンネル素子を作製した。比較例2に係るトンネル素子はトンネル絶縁膜を酸化マグネシウムで

50

形成した以外は、実施例 2 と同じ製造方法で作製している。

【 0 0 3 6 】

表 1 は、実施例 2 および比較例 2 における磁気抵抗変化率の最大値を測定した結果である。磁気抵抗変化率は、図 7 における最大の抵抗変化率である。実施例 2 においては、磁気抵抗変化率の最大値は、58%であった。一方、比較例 1 においては、磁気抵抗変化率の最大値が 1%であった。実施例 2 では、磁気抵抗変化率が大きい。これは、トンネル絶縁膜をスピン偏極したキャリアが走行する際に、スピン偏極が保持されていることを示している。一方、比較例 1 では、磁気抵抗変化率が小さい。これは、トンネル絶縁膜をスピン偏極したキャリアが走行する際に、スピン偏極が保持されないことを示している。

【表 1】

	実施例2	比較例2
トンネル絶縁膜	酸化ガリウム	酸化マグネシウム
磁気抵抗変化率	58%	1%

10

【 0 0 3 7 】

実施例 2 によれば、トンネル絶縁膜として酸化ガリウム膜を用いることにより、良好な TMR 素子を実現することができる。実施例 2 において、半導体膜 10 は、少なくとも一部の膜が強磁性体であればよく、導電性膜 30 は少なくとも一部の膜が強磁性体であればよい。より磁気抵抗変化率の大きな TMR 素子を実現するためには、強磁性体の膜は酸化ガリウム膜 20 に接していることが好ましい。

20

【実施例 3】

【 0 0 3 8 】

実施例 3 は、実施例 1 に係るトンネル素子を用いたスピントランジスタの例である。スピントランジスタでは、強磁性体においてスピン偏極したキャリアをトンネル絶縁膜を介し半導体膜に注入する場合がある。これにより、スピン偏極したホットキャリアを半導体膜に注入することができる。このような場合、トンネル絶縁膜において、スピン偏極が保持されることが好ましい。よって、トンネル絶縁膜として酸化ガリウム膜を用いることにより、良好な特性のスピントランジスタを実現することができる。

30

【 0 0 3 9 】

実施例 3 は、Appl. Phys. Lett., Vol. 56, p665 に記載されているスピントランジスタに実施例 1 に係るトンネル素子を適用した例である。図 9 は、実施例 3 に係るスピントランジスタの断面模式図である。図 9 を参照に、非磁性体である GaAs を含む半導体膜 40 上に酸化ガリウム膜 42 および 46 を介しそれぞれ導電性膜 44 および 48 が形成されている。導電性膜 44 はソース電極であり、導電性膜 48 はドレイン電極である。導電性膜 44 および 48 の間の半導体膜 40 上にはゲート電極 49 が形成されている。導電性膜 44 および 48 は強磁性体である。

【 0 0 4 0 】

実施例 3 では、トンネル絶縁膜である酸化ガリウム膜 42 および 46 は、非磁性半導体膜 40 と強磁性体導電性膜 44 および 48 との間に設けられている。ソース電極である導電性膜 44 から注入されたスピン偏極されたキャリアが半導体膜 40 を介しドレイン電極である導電性膜 48 に至る。導電性膜 44 と 48 とが平行磁化または反平行磁化かにより、導電性膜 44 と 48 との間の抵抗を変化させることができる。

40

【 0 0 4 1 】

実施例 3 の変形例は、Appl. Phys. Lett., Vol. 89, p232502 に記載されているスピントランジスタに実施例 2 に係るトンネル素子を適用した例である。図 10 は、実施例 3 の変形例に係るスピントランジスタの断面模式図である。図 10 を参照に、コレクタ層である n 型半導体 50 上に、ベース層である p 型 GaMnAs 膜からなる強磁性半導体膜 52

50

が形成されている。強磁性半導体膜 5 2 上にトンネル絶縁膜である酸化ガリウム膜 5 4 が形成されている。酸化ガリウム膜 5 4 上に、エミッタ電極である強磁性体導電性膜 5 6 が形成されている。

【 0 0 4 2 】

実施例 3 の変形例では、導電性膜 5 6 から注入されたスピン偏極されたキャリアが強磁性半導体膜 5 2 に至る。導電性膜 5 6 と強磁性半導体膜 5 2 とが平行磁化または反平行磁化かにより、導電性膜 5 6 と強磁性半導体膜 5 2 との間の抵抗を変化させることができる。

【 0 0 4 3 】

実施例 3 およびその変形例によれば、トンネル絶縁膜において、注入されたキャリアのスピン偏極が保持されるため、良好な特性を有するスピントランジスタを実現することができる。

10

【 0 0 4 4 】

以上、発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【 図面の簡単な説明 】

【 0 0 4 5 】

【 図 1 】 図 1 は、本発明の原理を示す断面図である。

【 図 2 】 図 2 (a) から図 2 (c) は、実施例 1 に係るトンネル素子の製造工程を示す断面図である。

20

【 図 3 】 図 3 は、実施例 1 に係るトンネル素子の製造条件を示す図である。

【 図 4 】 図 4 は、比較例 1 および実施例 1 に係るトンネル素子の単位面積当りの素子抵抗をトンネル絶縁膜の膜厚 t に対し示した図である。

【 図 5 】 図 5 は、実施例 2 に係るトンネル素子の断面図である。

【 図 6 】 図 6 は、実施例 2 に係るトンネル素子の製造条件を示す図である。

【 図 7 】 図 7 は、実施例 2 における磁界の強さに対する磁気抵抗変化率を示した図である。

【 図 8 】 図 8 (a) から図 8 (d) は、それぞれ図 7 における (a) ~ (d) でのトンネル素子の半導体膜および導電性膜の磁化の方向を示した図である

30

【 図 9 】 図 9 は、実施例 3 に係るスピントランジスタの断面模式図である。

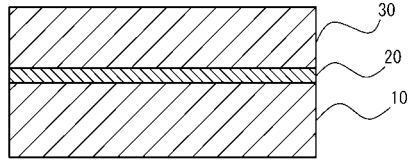
【 図 1 0 】 図 1 0 は、実施例 3 の変形例に係るスピントランジスタの断面模式図である。

【 符号の説明 】

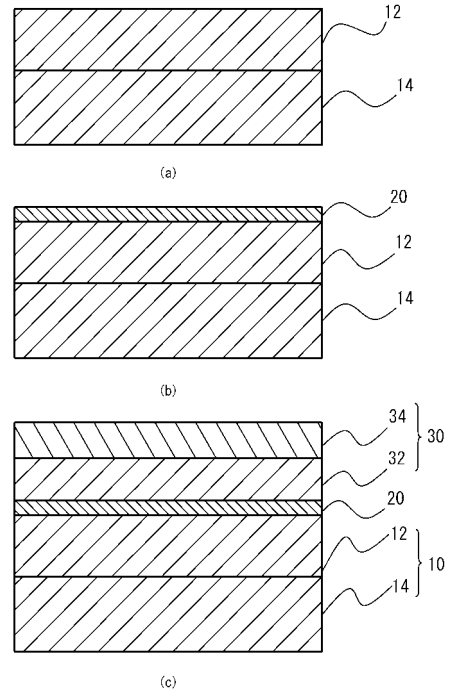
【 0 0 4 6 】

- | | |
|-----|---------|
| 1 0 | 半導体膜 |
| 2 0 | 酸化ガリウム膜 |
| 3 0 | 導電性膜 |

【図1】



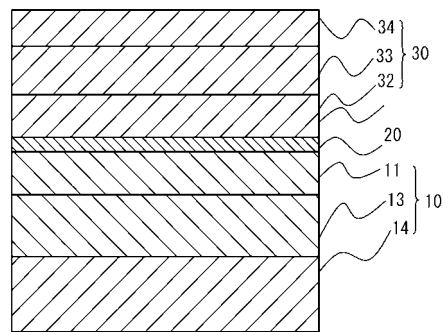
【図2】



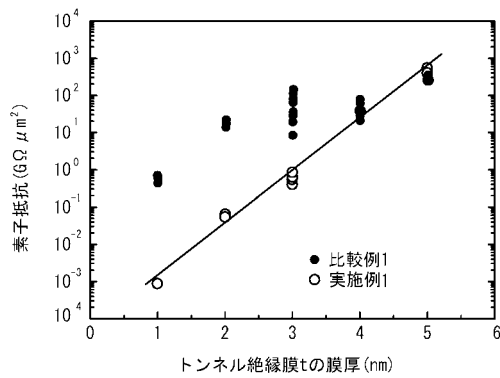
【図3】

No.	材料	添加物	膜厚	形成方法	形成温度	ソース
34	Au膜	-	5nm	EB蒸着	室温	Au
32	Fe膜	-	5nm	EB蒸着	室温	Fe
20	酸化ガリウム膜	-	t	EB蒸着	室温	Ga ₂ O ₃ 単結晶
12	Al _{0.3} Ga _{0.7} As膜	Si 1×10cm ⁻²	20nm	MBE Kセル	540°C	Al, Ga, As
14	GaAs基板	Si 1×10cm ⁻²	-	-	-	-

【図5】



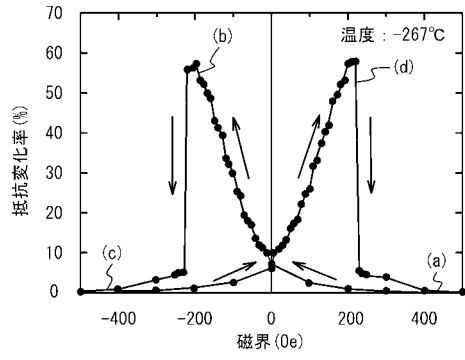
【図4】



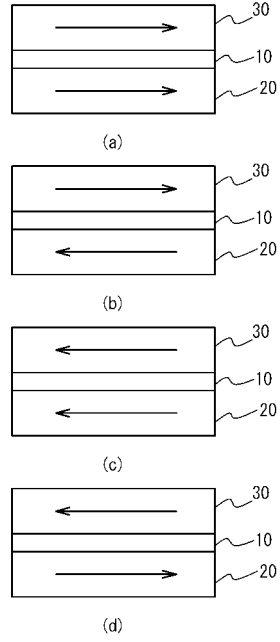
【図6】

No.	材料	添加物	膜厚	形成方法	形成温度
34	Au膜	-	20nm	EB蒸着	室温
33	Co膜	-	10nm	EB蒸着	室温
32	Fe膜	-	5nm	EB蒸着	室温
20	酸化ガリウム膜	-	3nm	EB蒸着	室温
11	Ga _{0.9} Mn _{0.1} As膜	-	30nm	MBE Kセル	220°C
13	GaAs膜	Be 1×10cm ⁻²	30nm	MBE Kセル	540°C
14	GaAs基板	Be 1×10cm ⁻²	-	-	-

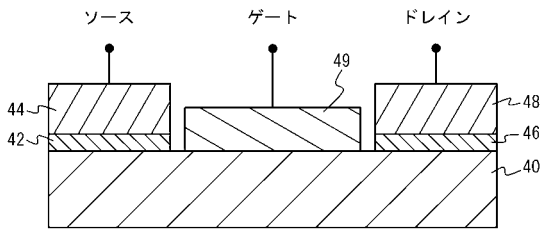
【図7】



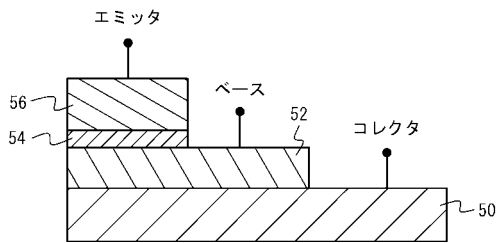
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L 29/82	(2006.01)	H 0 1 L 21/316		X
H 0 1 L 21/316	(2006.01)	H 0 1 L 43/08		Z
H 0 1 L 43/08	(2006.01)			

(72)発明者 安藤 功兒
茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

審査官 長谷川 直也

(56)参考文献 特開2007-299992(JP,A)
特開2008-004654(JP,A)
特開2004-165441(JP,A)
特開2003-283000(JP,A)
特表平08-504303(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 21/312 - 21/32、21/33 - 21/331、
21/47 - 21/475、27/22、
29/66 - 29/737、29/82、
43/00 - 43/14、
G 1 1 B 5/33 - 5/39