

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3556190号
(P3556190)

(45) 発行日 平成16年8月18日(2004.8.18)

(24) 登録日 平成16年5月21日(2004.5.21)

(51) Int. Cl.⁷

F I

H04 J 13/00	H04 J 13/00	A
H03 H 17/02	H03 H 17/02	601 C
H03 H 17/06	H03 H 17/06	633 Z

請求項の数 19 (全 16 頁)

(21) 出願番号	特願2001-306794 (P2001-306794)	(73) 特許権者	503360115
(22) 出願日	平成13年10月2日 (2001.10.2)		独立行政法人 科学技術振興機構
(65) 公開番号	特開2003-115819 (P2003-115819A)		埼玉県川口市本町4丁目1番8号
(43) 公開日	平成15年4月18日 (2003.4.18)	(73) 特許権者	597044841
審査請求日	平成13年10月2日 (2001.10.2)		梅野 健
			東京都小金井市貫井北町4-2-1 独立行政法人通信総合研究所内
		(74) 代理人	100095407
			弁理士 木村 満
		(74) 代理人	100110135
			弁理士 石井 裕一郎
		(72) 発明者	梅野 健
			東京都小金井市貫井北町4-2-1 独立行政法人通信総合研究所内

最終頁に続く

(54) 【発明の名称】 拡散変調装置、拡散変調方法、プログラム、ならびに、情報記録媒体

(57) 【特許請求の範囲】

【請求項1】

入力されたデジタル複素数の実数部と虚数部とを、チップレート1/Dの所定の拡散符号によってスクランブル化した複素数を入力するスクランブル部と、

前記スクランブル部により出力された複素数をフィルタ装置に入力として与えて、拡散変調する変調部と、

を備える拡散変調装置であって、

前記スクランブル部の実数部に対する拡散符号と虚数部に対する拡散符号とは、エルゴード性を持つ写像力学系の軌道の各点で与えられ、当該エルゴード性を持つ写像力学系は、2次以上のチェビシェフ多項式を写像とする写像力学系であり、

前記フィルタ装置は、所定のインパルス定数 r ($-1 < r < 1$)と所定の遅延時間定数 D とを用いて、複素数の系列をフィルタ処理し、

(a) 複素数の系列の入力を受け付ける入力受付部と、

(b) 前記入力受付部により入力を受け付けられた複素数の系列のうち、実数部の系列を入力として受け付けてフィルタ処理した系列を出力する実処理部と、

(c) 前記入力受付部により入力を受け付けられた複素数の系列のうち、虚数部の系列を入力として受け付けてフィルタ処理した系列を出力する虚処理部と、

(d) 前記実処理部により出力された系列を実数部とし、前記虚処理部により出力された系列を虚数部とする複素数の系列を出力する出力部と、

を備え、

(e) 前記実処理部、ならびに、前記虚処理部は、入力された系列を遅延させた複数の系列を出力し、当該複数の系列のそれぞれを増幅し、当該増幅された系列の総和を出力し、当該複数の系列の遅延時間は公差Dの等差数列をなし、これらのそれぞれに対する増幅率は公比-rもしくは公比-1/rの等比数列をなすことを特徴とするもの。

【請求項2】

請求項1に記載の拡散変調装置において、前記フィルタ装置にかえて、以下のフィルタ装置を備えることを特徴とするもの。

所定の実インパルス定数 r ($-1 < r < 1$)と所定の実数定数 x ($x > 0$)と所定の遅延時間定数 D とを用いて、複素数の系列をフィルタ処理するフィルタ装置であって、

複素数の系列の入力を受け付ける入力受付部と、

前記入力受付部により入力を受け付けられた複素数の系列のうち、実数部の系列を、それぞれ $0, D, 2D, 3D, \dots, (N-1)D$ (N は所定の正整数)だけ遅延させた複数の系列を出力する実遅延部と、

前記実遅延部により遅延されて出力された複数の系列のそれぞれを、当該遅延時間が T である場合、 $x(-r)^{N-T/D}$ 倍して増幅した複数の系列を出力する実増幅部と、

前記実増幅部により増幅されて出力された複数の系列の総和を出力する実加算部と、

前記入力受付部により入力を受け付けられた複素数の系列のうち、虚数部の系列を、それぞれ $0, D, 2D, 3D, \dots, (N-1)D$ だけ遅延させた複数の系列を出力する虚遅延部と、

前記虚遅延部により遅延されて出力された複数の実数系列のそれぞれを、当該遅延時間が T である場合、 $x(-r)^{N-T/D}$ 倍して増幅した複数の系列を出力する虚増幅部と、

前記虚増幅部により増幅されて出力された複数の系列の総和を出力する虚加算部と、

前記実加算部により出力された系列を実数部とし、前記虚加算部により出力された系列を虚数部とする複素数の系列を出力する出力部と、

を有するフィルタ装置。

【請求項3】

請求項2に記載の拡散変調装置であって、

前記フィルタ装置において、

前記実遅延部ならびに虚遅延部は、「それぞれ $0, D, 2D, 3D, \dots, (N-1)D$ だけ遅延させる」のかへて、それぞれ $D, 2D, 3D, \dots, (N-1)D, ND$ だけ遅延させ、

前記実増幅部ならびに虚増幅部は、「当該遅延時間が T である場合、 $x(-r)^{N-T/D}$ 倍して増幅」するのにかへて当該遅延時間が T である場合、 $x(-r)^{N-(T-D)/D}$ 倍して増幅する

ことを特徴とするもの。

【請求項4】

請求項2に記載の拡散変調装置であって、

前記フィルタ装置において、

前記実増幅部ならびに虚増幅部は、「当該遅延時間が T である場合、 $x(-r)^{N-T/D}$ 倍して増幅」するのにかへて当該遅延時間が T である場合、 $x(-r)^{1+T/D}$ 倍して増幅する

ことを特徴とするもの。

【請求項5】

請求項2に記載の拡散変調装置であって、

前記フィルタ装置において、

前記実遅延部ならびに虚遅延部は、「それぞれ $0, D, 2D, 3D, \dots, (N-1)D$ だけ遅延させる」のかへて、それぞれ $D, 2D, 3D, \dots, (N-1)D, ND$ だけ遅延させ、

前記実増幅部ならびに虚増幅部は、「当該遅延時間が T である場合、 $x(-r)^{N-T/D}$ 倍して増幅」するのにかへて当該遅延時間が T である場合、 $x(-r)^{T/D}$ 倍して増幅する

ことを特徴とするもの。

【請求項6】

請求項1から5のいずれか1項に記載の拡散変調装置であって、

前記スクランブル部によるスクランブル化は、IMT 2000 W-CDMAシステ

10

20

30

40

50

μ規格、CDMA2000システム規格、もしくは、無線LAN IEEE802.11b規格に従う

ことを特徴とするもの。

【請求項7】

請求項1から6のいずれか1項に記載の拡散変調装置であって、

前記フィルタ装置において、

前記所定の実インパルス定数 r は、所定精度の固定小数点数表現で $2\cdot 3^{1/2}$ に等しい

ことを特徴とするもの。

【請求項8】

請求項1から7のいずれか1項に記載の拡散変調装置であって、

前記フィルタ装置において、

前記実遅延部、前記実増幅部、前記実加算部、前記虚遅延部、前記虚増幅部、および、前記虚加算部は、ASIC (Application Specific Integrated Circuit)、DSP (Digital Signal Processor)、もしくは、FPGA (Field Programmable Gate Array) によって構成される

ことを特徴とするもの。

【請求項9】

入力されたデジタル複素数の実数部と虚数部とを、チップレート $1/D$ の所定の拡散符号によってスクランブル化した複素数を出力するスクランブル工程と、

前記スクランブル工程にて出力された複素数をフィルタ方法に入力として与えて、拡散変調する変調工程と、

を備える拡散変調方法であって、

前記スクランブル工程の実数部に対する拡散符号と虚数部に対する拡散符号とは、エルゴード性を持つ写像力学系の軌道の各点で与えられ、当該エルゴード性を持つ写像力学系は、2次以上のチェビシェフ多項式を写像とする写像力学系であり、

前記フィルタ方法は、所定のインパルス定数 r ($-1 < r < 1$)と所定の遅延時間定数 D とを用いて、複素数の系列をフィルタ処理し、

(a) 複素数の系列の入力を受け付ける入力受付工程と、

(b) 前記入力受付工程にて入力を受け付けられた複素数の系列のうち、実数部の系列を入力として受け付けてフィルタ処理した系列を出力する実処理工程と、

(c) 前記入力受付工程にて入力を受け付けられた複素数の系列のうち、虚数部の系列を入力として受け付けてフィルタ処理した系列を出力する虚処理工程と、

(d) 前記実処理工程にて出力された系列を実数部とし、前記虚処理工程にて出力された系列を虚数部とする複素数の系列を出力する出力工程と、

を備え、

(e) 前記実処理工程、ならびに、前記虚処理工程では、入力された系列を遅延させた複数の系列を出力し、当該複数の系列のそれぞれを増幅し、当該増幅された系列の総和を出力し、当該複数の系列の遅延時間は公差 D の等差数列をなし、これらのそれぞれに対する増幅率は公比 $-r$ もしくは公比 $-1/r$ の等比数列をなす

ことを特徴とする方法。

【請求項10】

請求項9に記載の拡散変調方法において、前記フィルタ方法にかえて、以下のフィルタ方法を備えることを特徴とするもの。

所定の実インパルス定数 r ($-1 < r < 1$)と所定の実数定数 x ($x > 0$)と所定の遅延時間定数 D とを用いて、複素数の系列をフィルタ処理するフィルタ方法であって、

複素数の系列の入力を受け付ける入力受付工程と、

前記入力受付工程にて入力を受け付けられた複素数の系列のうち、実数部の系列を、それぞれ $0, D, 2D, 3D, \dots, (N-1)D$ (N は所定の正整数)だけ遅延させた複数の系列を出力する実遅延工程と、

前記実遅延工程にて遅延されて出力された複数の系列のそれぞれを、当該遅延時間が T

10

20

30

40

50

である場合、 $x(-r)^{N-T/D}$ 倍して増幅した複数の系列を出力する実増幅工程と、
 前記実増幅工程にて増幅されて出力された複数の系列の総和を出力する実加算工程と、
 前記入力受付工程にて入力を受け付けられた複素数の系列のうち、虚数部の系列を、それぞれ0, D, 2D, 3D, ..., (N-1)Dだけ遅延させた複数の系列を出力する虚遅延工程と、
 前記虚遅延工程にて遅延されて出力された複数の実数系列のそれぞれを、当該遅延時間がTである場合、 $x(-r)^{N-T/D}$ 倍して増幅した複数の系列を出力する虚増幅工程と、
 前記虚増幅工程にて増幅されて出力された複数の系列の総和を出力する虚加算工程と、
 前記実加算工程にて出力された系列を実数部とし、前記虚加算工程にて出力された系列を虚数部とする複素数の系列を出力する出力工程と、
 を有するフィルタ方法。

10

【請求項11】

請求項10に記載の拡散変調方法であって、
 前記フィルタ方法において、
 前記実遅延工程ならびに虚遅延工程では、「それぞれ0, D, 2D, 3D, ..., (N-1)Dだけ遅延させる」のかえて、それぞれD, 2D, 3D, ..., (N-1)D, NDだけ遅延させ、
 前記実増幅工程ならびに虚増幅工程では、「当該遅延時間がTである場合、 $x(-r)^{N-T/D}$ 倍して増幅」するのにかえて当該遅延時間がTである場合、 $x(-r)^{N-(T-D)/D}$ 倍して増幅する
 ことを特徴とする方法。

20

【請求項12】

請求項10に記載の拡散変調方法であって、
 前記フィルタ方法において、
 前記実増幅工程ならびに虚増幅工程では、「当該遅延時間がTである場合、 $x(-r)^{N-T/D}$ 倍して増幅」するのにかえて当該遅延時間がTである場合、 $x(-r)^{1+T/D}$ 倍して増幅する
 ことを特徴とする方法。

【請求項13】

請求項10に記載の拡散変調方法であって、
 前記フィルタ方法において、
 前記実遅延工程ならびに虚遅延工程では、「それぞれ0, D, 2D, 3D, ..., (N-1)Dだけ遅延させる」のかえて、それぞれD, 2D, 3D, ..., (N-1)D, NDだけ遅延させ、
 前記実増幅工程ならびに虚増幅工程では、「当該遅延時間がTである場合、 $x(-r)^{N-T/D}$ 倍して増幅」するのにかえて当該遅延時間がTである場合、 $x(-r)^{T/D}$ 倍して増幅する
 ことを特徴とする方法。

30

【請求項14】

請求項9から13のいずれか1項に記載の拡散変調方法であって、
 前記スクランブル工程によるスクランブル化は、IMT 2000 W-CDMAシステム規格、CDMA 2000システム規格、もしくは、無線LAN IEEE 802.11b規格に従う
 ことを特徴とするもの。

【請求項15】

請求項9から14のいずれか1項に記載の拡散変調方法であって、
 前記フィルタ方法において、
 前記所定の実インパルス定数rは、所定精度の固定小数点数表現で $2-3^{1/2}$ に等しい
 ことを特徴とする方法。

40

【請求項16】

請求項9から15のいずれか1項に記載の拡散変調方法であって、
 前記フィルタ方法において、
 前記実遅延工程、前記実増幅工程、前記実加算工程、前記虚遅延工程、前記虚増幅工程、および、前記虚加算工程は、ASIC (Application Specific Integrated Circuit)、DSP (Digital Signal Processor)、もしくは、FPGA (Field Programmable Gate Array) を用いて実現される。

50

e Array) において実行される

ことを特徴とする方法。

【請求項 17】

コンピュータを、請求項 1 から 8 のいずれか 1 項に記載の拡散変調装置として機能させることを特徴とするプログラム。

【請求項 18】

コンピュータに、請求項 9 から 16 のいずれか 1 項に記載の拡散変調方法を実行させることを特徴とするプログラム。

【請求項 19】

請求項 17 または 18 に記載のプログラムを記録したことを特徴とするコンピュータ読取可能な情報記録媒体 (コンパクトディスク、フレキシブルディスク、ハードディスク、光磁気ディスク、デジタルビデオディスク、磁気テープ、または、半導体メモリを含む)。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フィルタ装置、拡散変調装置、フィルタ方法、拡散変調方法、プログラム、ならびに、情報記録媒体に関する。

【0002】

【従来の技術】

20

従来から、IMT 2000 W-CDMA システム、1CDMA 2000 システム、無線 LAN IEEE 802.11b などのシステムによる無線通信技術が提案されている。このような無線通信においては、同じ周波数帯を複数の通信接続に用いるために、CDMA (Code Division Multiple Access) を利用している。

【0003】

CDMA では、互いに異なる拡散符号を用いて通信情報を拡散変調することにより、複数の通信接続を同じ周波数帯に入れ込み、また、同じ周波数帯から所望の通信接続を分離することができる。

【0004】

30

一方で、これらの無線通信においては、伝送すべき情報を複素数の系列に変換して処理を行うのが一般的である。

【0005】

【発明が解決しようとする課題】

したがって、このような無線通信技術において、分離性能のよい拡散符号を用いて拡散変調を行うための簡易な技術が求められている。

【0006】

本発明は、このような拡散変調を行うのに好適なフィルタ装置、拡散変調装置、フィルタ方法、拡散変調方法、プログラム、ならびに、情報記録媒体を提供することを目的とする。

40

【0007】

【課題を解決するための手段】

以上の目的を達成するため、本発明の原理にしたがって、下記の発明を開示する。

【0008】

本発明の第 1 の観点に係るフィルタ装置は、所定の実インパルス定数 r ($-1 < r < 1$) と所定の実数定数 x ($x > 0$) と所定の遅延時間定数 D とを用いて、複素数の系列をフィルタ処理し、入力受付部と、実遅延部と、実増幅部と、実加算部と、虚遅延部と、虚増幅部と、虚加算部と、出力部と、を備え、以下のように構成する。

【0009】

ここで、入力受付部は、複素数の系列の入力を受け付ける。

50

【 0 0 1 0 】

一方、実遅延部は、入力受付部により入力を受け付けられた複素数の系列のうち、実数部の系列を、それぞれ $0, D, 2D, 3D, \dots, (N-1)D$ (N は所定の正整数)だけ遅延させた複数の系列を出力する。

【 0 0 1 1 】

さらに、実増幅部は、実遅延部により遅延されて出力された複数の系列のそれぞれを、当該遅延時間が T である場合、 $x(-r)^{N-T/D}$ 倍して増幅した複数の系列を出力する。上記のように、遅延させた複数の系列のそれぞれの遅延時間 T は、 $0, D, 2D, 3D, \dots, (N-1)D$ であるから、それぞれに対する増幅率は、

$$\begin{aligned} \frac{x(-r)^{N-0/D}}{x(-r)^{N-D/D}} &= x(-r)^N, \\ \frac{x(-r)^{N-D/D}}{x(-r)^{N-2D/D}} &= x(-r)^{N-1}, \\ \frac{x(-r)^{N-2D/D}}{x(-r)^{N-3D/D}} &= x(-r)^{N-2}, \\ \frac{x(-r)^{N-3D/D}}{x(-r)^{N-(N-1)D/D}} &= x(-r)^{N-3}, \dots, \\ \frac{x(-r)^{N-(N-1)D/D}}{x(-r)^1} &= x(-r)^1 \end{aligned}$$

となる。

【 0 0 1 2 】

そして、実加算部は、実増幅部により増幅されて出力された複数の系列の総和を出力する。

【 0 0 1 3 】

一方、虚遅延部は、入力受付部により入力を受け付けられた複素数の系列のうち、虚数部の系列を、それぞれ $0, D, 2D, 3D, \dots, (N-1)D$ だけ遅延させた複数の系列を出力する。

【 0 0 1 4 】

さらに、虚増幅部は、虚遅延部により遅延されて出力された複数の系列のそれぞれを、当該遅延時間が T である場合、 $x(-r)^{N-T/D}$ 倍して増幅した複数の系列を出力する。上記のように、遅延させた複数の系列のそれぞれの遅延時間 T は、 $0, D, 2D, 3D, \dots, (N-1)D$ であるから、それぞれに対する増幅率は、

$$\begin{aligned} \frac{x(-r)^{N-0/D}}{x(-r)^{N-D/D}} &= x(-r)^N, \\ \frac{x(-r)^{N-D/D}}{x(-r)^{N-2D/D}} &= x(-r)^{N-1}, \\ \frac{x(-r)^{N-2D/D}}{x(-r)^{N-3D/D}} &= x(-r)^{N-2}, \\ \frac{x(-r)^{N-3D/D}}{x(-r)^{N-(N-1)D/D}} &= x(-r)^{N-3}, \dots, \\ \frac{x(-r)^{N-(N-1)D/D}}{x(-r)^1} &= x(-r)^1 \end{aligned}$$

となる。

【 0 0 1 5 】

そして、虚加算部は、虚増幅部により増幅されて出力された複数の系列の総和を出力する。

【 0 0 1 6 】

一方、出力部は、実加算部により出力された系列を実数部とし、虚加算部により出力された系列を虚数部とする複素数の系列を出力する。

【 0 0 1 7 】

また、本発明のフィルタ装置において、実遅延部ならびに虚遅延部は、「それぞれ $0, D, 2D, 3D, \dots, (N-1)D$ だけ遅延させる」のにかえて、それぞれ $D, 2D, 3D, \dots, (N-1)D, ND$ だけ遅延させ、実増幅部ならびに虚増幅部は、「当該遅延時間が T である場合、 $x(-r)^{N-T/D}$ 倍して増幅」するのにかえて当該遅延時間が T である場合、 $x(-r)^{N-(T-D)/D}$ 倍して増幅するように構成することができる。この場合、それぞれに対する増幅率は、

$$\begin{aligned} \frac{x(-r)^{N-(D-D)/D}}{x(-r)^{N-(2D-D)/D}} &= x(-r)^N, \\ \frac{x(-r)^{N-(2D-D)/D}}{x(-r)^{N-(3D-D)/D}} &= x(-r)^{N-1}, \\ \frac{x(-r)^{N-(3D-D)/D}}{x(-r)^{N-((N-1)D-D)/D}} &= x(-r)^{N-2}, \dots, \\ \frac{x(-r)^{N-((N-1)D-D)/D}}{x(-r)^{N-(ND-D)/D}} &= x(-r)^2, \\ \frac{x(-r)^{N-(ND-D)/D}}{x(-r)^1} &= x(-r)^1 \end{aligned}$$

10

20

30

40

50

となる。

【0018】

また、本発明のフィルタ装置において、実増幅部ならびに虚増幅部は、「当該遅延時間がTである場合、 $x(-r)^{N-T/D}$ 倍して増幅」するのにかえて当該遅延時間がTである場合、 $x(-r)^{1+T/D}$ 倍して増幅するように構成することができる。この場合、それぞれに対する増幅率は、

$$\begin{aligned} \frac{x(-r)^{1+0/D}}{x(-r)^{1+D/D}} &= x(-r)^1, \\ \frac{x(-r)^{1+D/D}}{x(-r)^{1+2D/D}} &= x(-r)^2, \\ \frac{x(-r)^{1+2D/D}}{x(-r)^{1+3D/D}} &= x(-r)^3, \\ \frac{x(-r)^{1+3D/D}}{x(-r)^{1+(N-1)D/D}} &= x(-r)^4, \dots, \\ \frac{x(-r)^{1+(N-1)D/D}}{x(-r)^N} &= x(-r)^N \end{aligned}$$

10

となる。

【0019】

また、本発明のフィルタ装置において、実遅延部ならびに虚遅延部は、「それぞれ0, D, 2D, 3D, ..., (N-1)Dだけ遅延させる」のにかえて、それぞれD, 2D, 3D, ..., (N-1)D, NDだけ遅延させ、実増幅部ならびに虚増幅部は、「当該遅延時間がTである場合、 $x(-r)^{N-T/D}$ 倍して増幅」するのにかえて当該遅延時間がTである場合、 $x(-r)^{T/D}$ 倍して増幅するように構成することができる。この場合、それぞれに対する増幅率は、

$$\begin{aligned} \frac{x(-r)^{D/D}}{x(-r)^{2D/D}} &= x(-r), \\ \frac{x(-r)^{2D/D}}{x(-r)^{3D/D}} &= x(-r)^2, \\ \frac{x(-r)^{3D/D}}{x(-r)^{(N-1)D/D}} &= x(-r)^3, \dots, \\ \frac{x(-r)^{(N-1)D/D}}{x(-r)^{ND/D}} &= x(-r)^{N-1}, \\ \frac{x(-r)^{ND/D}}{x(-r)^N} &= x(-r)^N \end{aligned}$$

20

となる。

【0020】

本発明の他の観点に係るフィルタ装置は、所定のインパルス定数 r ($-1 < r < 1$) と所定の遅延時間定数 D とを用いて、複素数の系列をフィルタ処理し、入力受付部と、実処理部と、虚処理部と、出力部と、を備え、以下のように構成する。

【0021】

ここで、入力受付部は、複素数の系列の入力を受け付ける。

30

【0022】

一方、実処理部は、入力受付部により入力を受け付けられた複素数の系列のうち、実数部の系列を入力として受け付けてフィルタ処理した系列を出力する。

【0023】

さらに、虚処理部は、入力受付部により入力を受け付けられた複素数の系列のうち、虚数部の系列を入力として受け付けてフィルタ処理した系列を出力する。

【0024】

そして、出力部は、実処理部により出力された系列を実数部とし、虚処理部により出力された系列を虚数部とする複素数の系列を出力する。

【0025】

一方、実処理部、ならびに、虚処理部は、入力された系列を遅延させた複数の系列を出力し、当該複数の系列のそれぞれを増幅し、当該増幅された系列の総和を出力し、当該複数の系列の遅延時間は公差 D の等差数列をなし、これらのそれぞれに対する増幅率は公比 $-r$ もしくは公比 $-1/r$ の等比数列をなす。

40

【0026】

所定の実インパルス定数 r は、所定精度の固定小数点数表現で $2^{-3^{1/2}}$ に等しいように構成することができる。

【0027】

また、本発明のフィルタ装置において、実遅延部、実増幅部、実加算部、虚遅延部、虚増幅部、および、虚加算部は、ASIC (Application Specific I

50

ntegrated Circuit)、DSP(Digital Signal Processor)、もしくは、FPGA(Field Programmable Gate Array)によって構成されるように構成することができる。

【0028】

本発明の他の観点に係る拡散変調装置は、上記のフィルタ装置を用い、スクランブル部と、変調部と、を備え、以下のように構成する。

【0029】

ここで、スクランブル部は、入力されたデジタル複素数の実数部と虚数部とを、チップレート $1/D$ の所定の拡散符号によってスクランブル化した複素数を出力する。

【0030】

一方、変調部は、スクランブル部により出力された複素数をフィルタ装置に入力として与えて、拡散変調する。

【0031】

また、本発明の拡散変調装置において、スクランブル部によるスクランブル化は、IMT 2000 W-CDMAシステム規格、CDMA 2000システム規格、もしくは、無線LAN IEEE 802.11b規格に従うように構成することができる。

【0032】

また、本発明の拡散変調装置において、スクランブル部は、ゴールド符号、ペーカー系列、もしくは、ウォルシュ=アダマール符号のいずれか1つを拡散符号としてスクランブル化するように構成することができる。

【0033】

また、本発明の拡散変調装置において、スクランブル部の拡散符号は、エルゴード性を持つ写像力学系の軌道の各点で与えられるように構成することができる。

【0034】

また、本発明の拡散変調装置において、スクランブル部のエルゴード性を持つ写像力学系は、2次以上のチェビシェフ多項式を写像とする写像力学系であるように構成することができる。

【0035】

本発明の他の観点に係るフィルタ方法は、所定のインパルス定数 r ($-1 < r < 1$)と所定の遅延時間定数 D とを用いて、複素数の系列をフィルタ処理し、入力受付工程と、実処理工程と、虚処理工程と、出力工程と、を備え、以下のように構成する。

【0036】

ここで、入力受付工程では、複素数の系列の入力を受け付ける。

【0037】

一方、実処理工程では、入力受付工程にて入力を受け付けられた複素数の系列のうち、実数部の系列を入力として受け付けてフィルタ処理した系列を出力する。

【0038】

さらに、虚処理工程では、入力受付工程にて入力を受け付けられた複素数の系列のうち、虚数部の系列を入力として受け付けてフィルタ処理した系列を出力する。

【0039】

そして、出力工程では、実処理工程にて出力された系列を実数部とし、虚処理工程にて出力された系列を虚数部とする複素数の系列を出力する。

【0040】

一方、実処理工程、ならびに、虚処理工程では、入力された系列を遅延させた複数の系列を出力し、当該複数の系列のそれぞれを増幅し、当該増幅された系列の総和を出力し、当該複数の系列の遅延時間は公差 D の等差数列をなし、これらのそれぞれに対する増幅率は公比 $-r$ もしくは公比 $-1/r$ の等比数列をなす。

【0041】

また、本発明のフィルタ方法において、所定の実インパルス定数 r は、所定精度の固定小数点数表現で $2^{-3^{1/2}}$ に等しいように構成することができる。

10

20

30

40

50

【0042】

また、本発明のフィルタ方法において、実遅延工程、実増幅工程、実加算工程、虚遅延工程、虚増幅工程、および、虚加算工程は、ASIC、DSP、もしくは、FPGAにおいて実行されるように構成することができる。

【0043】

本発明の他の観点に係る拡散変調方法は、上記のフィルタ方法を用い、スクランブル工程と、変調工程と、を備え、以下のように構成する。

【0044】

ここで、スクランブル工程では、入力されたデジタル複素数の実数部と虚数部とを、チップレート $1/D$ の所定の拡散符号によってスクランブル化した複素数を出力する。

10

【0045】

一方、変調工程では、スクランブル工程にて出力された複素数をフィルタ方法に入力として与えて、拡散変調する。

【0046】

また、本発明の拡散変調方法において、スクランブル工程におけるスクランブル化は、IMT 2000 W-CDMAシステム規格、CDMA 2000システム規格、もしくは、無線LAN IEEE 802.11b規格に従うように構成することができる。

【0047】

また、本発明の拡散変調方法において、スクランブル工程では、ゴールド符号、ペーカー系列、もしくは、ウォルシュ＝アダマール符号のいずれか1つを拡散符号としてスクランブル化するように構成することができる。

20

【0048】

また、本発明の拡散変調方法において、スクランブル工程における拡散符号は、エルゴード性を持つ写像力学系の軌道の各点で与えられるように構成することができる。

【0049】

また、本発明の拡散変調方法において、スクランブル工程におけるエルゴード性を持つ写像力学系は、2次以上のチェビシェフ多項式を写像とする写像力学系であるように構成することができる。

【0050】

本発明の他の観点に係るプログラムは、コンピュータ(ASIC、DSP、FPGAを含む。)を、上記のフィルタ装置もしくは拡散変調装置として機能させ、または、コンピュータに、上記のフィルタ方法もしくは拡散変調方法を実行させるように構成する。

30

【0051】

また、本発明のプログラムは、コンピュータ読取可能な情報記録媒体(コンパクトディスク、フレキシブルディスク、ハードディスク、光磁気ディスク、デジタルビデオディスク、磁気テープ、または、半導体メモリを含む。)に記録することができる。

【0052】

本発明のプログラムを、記憶装置、計算装置、出力装置、通信装置などを備える汎用コンピュータ、携帯電話機、PHS(Personal Handyphone System)装置、ゲーム装置などの携帯端末、並列計算機などの情報処理装置、ASIC、DSP、FPGAなどで実行することにより、上記のフィルタ装置、拡散変調装置、フィルタ方法、ならびに、拡散変調方法を実現することができる。

40

【0053】

また、これらの装置とは独立して、本発明の情報記録媒体を店舗等で配布、販売したり、本発明のプログラムそのものをコンピュータ通信網を介して配布、販売したりすることができる。

【0054】

【発明の実施の形態】

以下に本発明の実施形態を説明する。なお、以下にあげる実施形態は、説明のためのものであり、本発明の範囲を制限するものではない。したがって、当業者であれば、これらの

50

各要素または全要素を、これと均等なものに置換した実施形態を採用することが可能であるが、これらの実施形態も、本発明の範囲に含まれる。

【0055】

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係るフィルタ装置の概要構成を示す模式図である。

【0056】

本実施形態のフィルタ装置101は、所定のインパルス定数 r ($-1 < r < 1$)と所定の遅延時間定数 D とを用いて、複素数の系列をフィルタ処理し、入力受付部102と、実処理部103と、虚処理部104と、出力部105と、を備える。

【0057】

まず、入力受付部102は、複素数の系列の入力を受け付ける。

【0058】

次に、実処理部103は、入力受付部102により入力を受け付けられた複素数の系列のうち、実数部の系列を入力として受け付けてフィルタ処理した系列を出力する。

【0059】

一方、虚処理部104は、入力受付部102により入力を受け付けられた複素数の系列のうち、虚数部の系列を入力として受け付けてフィルタ処理した系列を出力する。

【0060】

なお、実処理部103と虚処理部104とで行われる処理は、並列に実行することができる。

【0061】

そして、出力部105は、実処理部103により出力された系列を実数部とし、虚処理部104により出力された系列を虚数部とする複素数の系列を出力する。

【0062】

ここで、実処理部103、ならびに、虚処理部104は、入力された系列を遅延させた複素数の系列を出力し、当該複素数の系列のそれぞれを増幅し、当該増幅された系列の総和を出力し、当該複素数の系列の遅延時間は公差 D の等差数列をなし、これらのそれぞれに対する増幅率は公比 r もしくは公比 $-1/r$ の等比数列をなす。

【0063】

図2は、実処理部103、ならびに、虚処理部104を構成するFIR (Finite Impulse Response) フィルタの概要構成を示す模式図である。以下、本図を参照して説明する。

【0064】

FIRフィルタ201は、複数の遅延部202と、複数の増幅部203と、加算部204と、を備える。

【0065】

入力された系列は、複数の遅延部202は、いずれも所定の遅延時間 D だけ入力された系列を時間遅延させて出力する。したがって、本実施形態においては、複数の増幅部203のそれぞれには、 $0, D, 2D, 3D, \dots, (N-1)D$ だけ遅延された系列が入力される。ここで、 N は遅延系列の数である。

【0066】

なお、複数の遅延部202の前段に、さらに別の遅延装置を配置してもよい。この場合、複数の増幅部203に与えられる遅延された系列の遅延時間は、それぞれ、別の遅延装置の遅延時間だけ加算されることとなる。特に、この別の遅延装置の遅延時間も D としたときには、 $D, 2D, 3D, 4D, \dots, (N-1)D$ だけ遅延された系列が複数の増幅部のそれぞれに入力される。

【0067】

一方、複数の増幅部203のそれぞれの増幅率は、 $x, x(-r), x(-r)^2, x(-r)^3, \dots, x(-r)^N$ となっている。ここで、 x ($x > 0$)は所定の実定数、 $-r$ ($-1 < r < 1$)は所定のインパルス定数であり、 $r = 2^{-3^{1/2}}$ とする

10

20

30

40

50

ことが望ましい。

【0068】

加算部204は、複数の増幅部203の出力を加算する。

【0069】

したがって、入力される系列が順に、 $\dots, s_{-2}, s_{-1}, s_0, s_1, s_2, \dots$ であった場合、本FIRフィルタ201の出力は以下ようになる（理解を容易にするため、入力に対する出力の遅延時間は無視し、無限長の入力があるものとした）。

【0070】

$$\begin{aligned} & \dots, \\ & x(s_{-N-1}(-r)^{N-1} + \dots + s_{-4}(-r)^2 + s_{-3}(-r)^1 + s_{-2}), \\ & x(s_{-N}(-r)^{N-1} + \dots + s_{-3}(-r)^2 + s_{-2}(-r)^1 + s_{-1}), \\ & x(s_{-N+1}(-r)^{N-1} + \dots + s_{-2}(-r)^2 + s_{-1}(-r)^1 + s_0), \\ & x(s_{-N+2}(-r)^{N-1} + \dots + s_{-1}(-r)^2 + s_0(-r)^1 + s_1), \\ & x(s_{-N+3}(-r)^{N-1} + \dots + s_0(-r)^2 + s_1(-r)^1 + s_2), \\ & \dots \end{aligned} \quad 10$$

【0071】

なお、複数の増幅部203のそれぞれの増幅率は、 $x(-r)^{N-1}, x(-r)^{N-2}, \dots, x(-r)^2, x(-r)^1, \dots, x$ のようによい。

【0072】

このように構成することにより、複数の遅延部202から出力される複数の遅延系列の遅延時間は、公差Dの等差数列をなし、これらのそれぞれに対する増幅率は、公比 $(-r)$ もしくは公比 $(-1/r)$ の等比数列をなすこととなる。 20

【0073】

このようなFIRフィルタ201の理論的背景について、発明者らは、特願2001-8740号において開示している。たとえばCDMA通信システムにFIRフィルタ201を用いると、従来よりもユーザ数を15パーセント増やすことができることが判明している。

【0074】

本実施形態は、このFIRフィルタ201を2つ用いて、複素数の系列の実数部と虚数部をそれぞれフィルタ処理することとなる。 30

【0075】

なお、これらの遅延部202、増幅部203、加算部204は、いずれも簡単な演算回路で構成することができる。したがって、コンピュータを用いてソフトウェアに基づいて演算を行ってもよいし、ASIC、DSP、FPGAなどを用いて専用ハードウェアを構成して演算を行ってもよい。

【0076】

（第2の実施の形態）

本発明の第2の実施形態は、上記のフィルタ装置101をW-CDMA規格の移動体電話に適用したものである。図3は、上記のフィルタ装置を用いてW-CDMA用の拡散変調処理を行う拡散変調装置の概要構成を示す模式図である。 40

【0077】

拡散変調装置301は、スクランブル部302と、変調部303と、を備える。

【0078】

ここで、スクランブル部302は、入力されたデジタル複素数の実数部と虚数部とを、チップレート $1/D$ の所定の拡散符号によってスクランブル化した複素数を出力する。

【0079】

本実施形態は、W-CDMA用のものであるため、スクランブル化にはIMT2000 W-CDMAシステム規格にしたがったものを適用することとなるが、他の無線通信システム（CDMA2000システム規格、無線LAN IEEE 802.11b等）を用いる場合は、そのシステムに適合したスクランブル化を行うこととなる。 50

【0080】

図3には、このような実数部と虚数部を合わせてスクランブル化する例が示してある。図3の実施例では、長さ $2^{25} - 1$ のゴールド符号をスクランブル用コードとしてスクランブルしている。このゴールド符号は、2種類の25次の有限体GF(2)上の生成多項式から生成されるM系列の各ビット毎に排他的論理和を取ることにより生成される。

【0081】

尚、H. Holma and A. Toskala, "W-CDMA for U-TMS" (John Wiley and Son, 2001) 或いは3rd Generation Partnership Project (3GPP); Technical Specification Group Radio Access Network; Spreading and Modulation (FDD) (3GTS 25.213) に開示されるように、W-CDMA規格では、3.84Mチップ/秒でスクランブル用コードが生成される。

10

【0082】

スクランブル化された複数ビットの情報は、サインマップ(SM)により、「ビット列」や『「ビット列」の列』に変換され、これらが複素数系列の入力として、変調部303内のフィルタ装置101に与えられる。変調部303内のフィルタ装置101の出力が、拡散変調装置301の出力となる。

【0083】

なお、この拡散符号には、スクランブル部は、ゴールド符号、ベーカー系列、もしくは、ウォルシュ=アダマール符号のいずれか1つを拡散符号としてスクランブル化するように構成することができる。

20

【0084】

このほか、この拡散符号は、スクランブル部の拡散符号は、エルゴード性を持つ写像力学系の軌道の各点で与えられるようにしてもよい。エルゴード性を持つ写像力学系としては、2次以上のa次のチェビシェフ多項式 $F_a(\cdot)$ を写像とするものがあげられる。

【0085】

チェビシェフ多項式は、

$$F_a(a, \cos) = \cos(a)$$

のように、余弦関数の加法定理により定義することができる。一方、以下のように、有理多項式で直接表現することもできる。

30

$$F_0(x) = 1;$$

$$F_1(x) = x;$$

$$F_2(x) = 2x^2 - 1;$$

$$F_3(x) = 4x^3 - 3x;$$

...

【0086】

チェビシェフ多項式 $y = F_a(x)$ は、いずれも、開区間 $-1 < x < 1$ を開区間 $-1 < y < 1$ に写像する有理写像である。

【0087】

2次以上のチェビシェフ多項式 $F_a(\cdot)$ ($a \geq 2$) に対して適当な初期値 x_0 ($-1 < x_0 < 1$) を与えたときに、漸化式

40

$$x_{i+1} = F_n(x_i) \quad (i \geq 1)$$

により生成される乱数列 x_0, x_1, x_2, \dots に含まれる乱数を拡散符号として用いることができる。

【0088】

一方、変調部303は、スクランブル部302により出力された複素数を上記のフィルタ装置101に入力として与えて、拡散変調する。上述の通り、入力されるデジタル信号のチップ長と、変調部303が用いるFIRフィルタ201内の遅延部202の遅延時間は、いずれも所定の遅延時間Dに等しい。

50

【0089】

(実験結果)

以下では、上記実施形態で用いられるフィルタ装置101の特性と、伝送された信号の特性について実験を行った結果について説明する。

【0090】

図4は、フィルタ装置101の周波数特性を示すグラフである(横軸は周波数0MHz~5MHz、縦軸は強度-90dB~10dB)。図5は、上記の拡散変調装置301により伝送された信号のスペクトラム分布を示すグラフである(横軸は周波数0Hz~0.5Hz、縦軸は-120dB~10dB)。

【0091】

図4に示すように、フィルタ装置101の周波数スペクトラムは、周波数0MHz~5MHzに対して強度は-2dB~2dB程度となっている。図5に示すように、拡散変調後の周波数スペクトラムは、周波数0~0.1Hzと0.4~0.5Hzでは強度が山裾状の形状となり低くなっているが、0.15Hz~0.35Hzの範囲では、強度が平坦なスペクトラム形状を示している。

【0092】

これらを見ると、フィルタ装置101の周波数特性は、全周波数帯を通過させるフィルタ(all pass filter)と同じであり、伝送される信号のスペクトラム分布にフィルタ装置101が影響を与えないことがわかる。

【0093】

また、伝送レートを60kbps、ユーザを15人、WWGNチャネル E_0/N_0 を10dBとしてW-CDMAシステムを構成し、模擬実験を行った。すると、従来の手法による場合、ビット誤り率は0.0012となったのに対し、本実施形態によると0.00075となった。したがって、ビット誤り率が約6割も減少したことになり、本発明の有効性が示された。

【0094】

したがって、本発明を無線通信に適用した場合、複数の送信装置と複数の受信装置とが同じ周波数帯で通信していても、秘話性を保つとともに、使用している通信者の数に応じた品質を保証して、相互に通信を行うことができる。

【0095】

【発明の効果】

以上説明したように、本発明によれば、無線通信技術において分離性能のよい拡散符号を用いて拡散変調を行うのに好適なフィルタ装置、拡散変調装置、フィルタ方法、拡散変調方法、プログラム、ならびに、情報記録媒体を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るフィルタ装置の概要構成を示す模式図である。

【図2】本発明の第1の実施形態に係るフィルタ装置で用いるFIRフィルタの概要構成を示す模式図である。

【図3】本発明の第2の実施形態に係る拡散変調装置の概要構成を示す模式図である。

【図4】本手法のフィルタ装置の周波数応答の模擬実験結果を示すグラフである。

【図5】本手法のビット誤り率の模擬実験結果を示すグラフである。

【符号の説明】

- 101 フィルタ装置
- 102 入力受付部
- 103 実処理部
- 104 虚処理部
- 105 出力部
- 201 FIRフィルタ
- 202 遅延部
- 203 増幅部

10

20

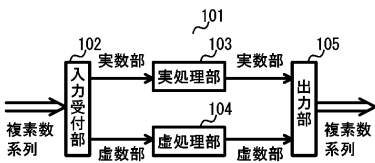
30

40

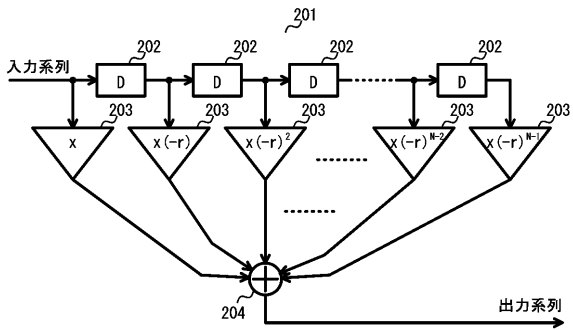
50

- 2 0 4 加算部
- 3 0 1 拡散変調装置
- 3 0 2 スクランブル部
- 3 0 3 変調部

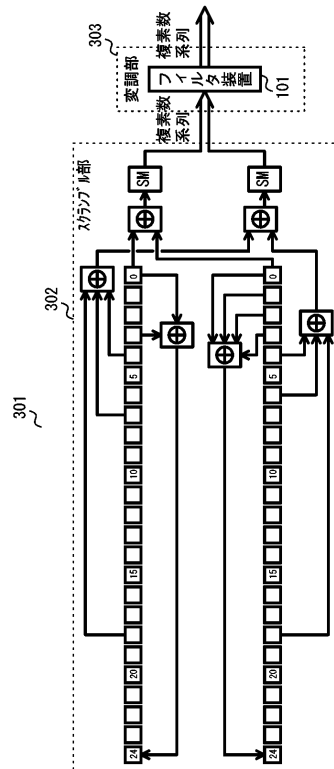
【 図 1 】



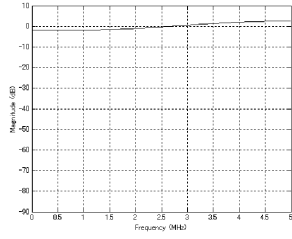
【 図 2 】



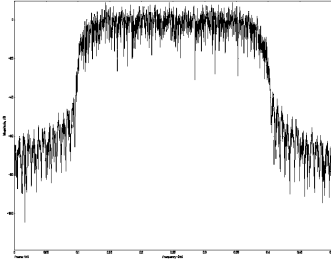
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(72)発明者 石 聖弘

東京都渋谷区渋谷1 - 20 - 1 三進ビル4階 科学技術振興事業団内

審査官 畑中 博幸

(56)参考文献 国際公開第00/060738(WO, A1)

国際公開第00/030280(WO, A1)

特開平06 - 177853(JP, A)

Chi-Chung Chen; Yao, K.; Umeno, K.; Biglieri, E, Optimal chaotic spread spectrum sequences for uplink CDMA systems, AS-SPCC. The IEEE Adaptive Systems for Signal Processing, Communications, and Control Symposium 2000, 2000年10月, p.135-140

(58)調査した分野(Int.Cl.⁷, DB名)

H04J 13/00

H03H 17/02 601

H03H 17/06 633