

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4097138号
(P4097138)

(45) 発行日 平成20年6月11日(2008.6.11)

(24) 登録日 平成20年3月21日(2008.3.21)

(51) Int.Cl. F I
H O 1 P 5/02 (2006.01) H O 1 P 5/02 Z

請求項の数 10 (全 35 頁)

(21) 出願番号	特願2003-64128 (P2003-64128)	(73) 特許権者	503360115 独立行政法人科学技術振興機構 埼玉県川口市本町4丁目1番8号
(22) 出願日	平成15年3月10日(2003.3.10)	(74) 代理人	100082337 弁理士 近島 一夫
(65) 公開番号	特開2004-274513 (P2004-274513A)	(73) 特許権者	596134378 株式会社ロジック・リサーチ 福岡県福岡市博多区博多駅東1丁目9-1
(43) 公開日	平成16年9月30日(2004.9.30)	(74) 代理人	100082337 弁理士 近島 一夫
審査請求日	平成18年2月27日(2006.2.27)	(74) 代理人	100083138 弁理士 相田 伸二
		(72) 発明者	吉田 啓二 福岡県大野城市白木原2-13-11 最終頁に続く

(54) 【発明の名称】 インピーダンス整合回路とそれを用いた半導体素子及び無線通信装置

(57) 【特許請求の範囲】

【請求項1】

誘電体基板に構成された分布定数線路を有し、入力される信号を、前記分布定数線路を介して、設定された帯域幅で出力することができる、インピーダンス整合回路において、前記分布定数線路は、

負荷に接続され、該負荷のリアクタンスを補償する長さを線路長とする、リアクタンス補償分布定数線路と、

前記リアクタンス補償分布定数線路に接続され、前記入力される信号の1/4波長を線路長とし、前記設定された帯域幅に応じて設定可能な特性インピーダンスを有する、1/4波長分布定数線路と、

前記1/4波長分布定数線路に接続され、前記負荷のインピーダンスの大きさに応じたインピーダンス反転回路を構成し、該インピーダンス反転回路が、前記設定された帯域幅に応じたKインバータ及びJインバータのいずれかを選択的に有する、インピーダンス反転分布定数線路と、を備え、かつ、

前記設定された帯域幅に応じた特性インピーダンスを Z_1 、前記設定された帯域幅を w 、規格化素子値を g_1 及び g_2 、前記負荷のコンダクタンスを G_L としたとき、次式、

$$Z_1 = (/ 4) \cdot [w / (g_1 \cdot g_2 \cdot G_L)]$$

の関係を満たしてなる、

ことを特徴とするインピーダンス整合回路。

【請求項2】

前記リアクタンス補償分布定数線路、前記1/4波長分布定数線路、及び前記インピーダンス反転分布定数線路は、それぞれ、前記誘電体基板の一方の面に形成された、接地導体と信号線とにより構成されてなる、

請求項1記載のインピーダンス整合回路。

【請求項3】

前記リアクタンス補償分布定数線路の信号線と、前記1/4波長分布定数線路の信号線とのうち、少なくとも前記1/4波長分布定数線路の信号線は、蛇行してなる、

請求項2記載のインピーダンス整合回路。

【請求項4】

前記信号線は、スリットのみを介して隣り合うように蛇行してなる、

請求項3記載のインピーダンス整合回路。

10

【請求項5】

前記誘電体基板の他方の面に、前記接地導体と導通する接地層を形成してなる、

請求項2ないし4いずれか記載のインピーダンス整合回路。

【請求項6】

前記誘電体基板は、積層された複数の誘電体層により構成され、

前記複数の誘電体層のうち、少なくとも2つの前記誘電体層は、接地導体層と、該接地導体層の間に所定間隔を介して介在する信号層と、を有し、

前記信号層同士、及び前記接地導体層同士、を導通させる、層間導通手段を備え、

前記信号線は、前記層間導通手段により導通された前記信号層であり、

前記接地導体は、前記層間導通手段により導通された前記接地導体層である、

請求項2ないし5いずれか記載のインピーダンス整合回路。

20

【請求項7】

前記誘電体基板は、積層された複数の誘電体層により構成され、

前記複数の誘電体層のうち、少なくとも2つの前記誘電体層は、接地導体層と、該接地導体層の間に所定間隔を介して介在する信号層と、を有し、

前記信号層同士、及び前記接地導体層同士、を導通させる、層間導通線路を備え、

前記信号線は、前記層間導通線路により導通された前記信号層であり、

前記接地導体は、前記層間導通線路により導通された前記接地導体層である、

請求項2ないし5いずれか記載のインピーダンス整合回路。

30

【請求項8】

前記分布定数線路は、

前記インピーダンス反転分布定数線路に接続され、前記入力される信号の1/4波長を線路長とする、少なくとも1つの共振回路と、該共振回路を介して隣合う、KインバータとJインバータとに対応するインピーダンス反転回路と、を有する、狭帯域通過分布定数線路を更に備えてなる、

請求項1ないし7いずれか記載のインピーダンス整合回路。

【請求項9】

請求項1ないし8いずれか記載のインピーダンス整合回路を備えてなる、

半導体素子。

40

【請求項10】

請求項9記載の半導体素子と、

前記半導体素子に接続されたアンテナと、を備えてなる、

無線通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力される信号を設定された帯域幅で出力することができる、インピーダンス整合回路とそれをを用いた半導体素子及び無線通信装置に係り、特に、極超短波やマイクロ波などの無線信号を伝送することができる、インピーダンス整合回路とそれをを用いた半導

50

体素子及び無線通信装置に関する。

【0002】

【従来の技術】

この種のインピーダンス整合回路として、例えばSAW（表面弾性波）フィルタが、携帯電話や無線LANなどの移動体通信の送受信回路に用いられている。該SAWフィルタは、LNA（ローノイズアンプ）やPA（パワーアンプ）などのアンプの入出力インピーダンスを、所定の特性インピーダンス（例えば50[]）と整合することにより、送信する信号の電力を最大に、また、受信する信号の雑音を最小に設定することができ、しかも、所定の帯域幅を設定することが可能である。

【0003】

ところで、近年、上述した送受信回路として、RF（無線周波数）回路やデジタル信号処理回路などの複数の回路を構成する、ASIC（特定用途向集積回路）が用いられており、移動体通信端末の小型化やコストの低減を図る上で、上記SAWフィルタの機能をASIC上に構成し、システム全体を1チップで構成する、SoC（System On a Chip）を実現することが望まれている。

【0004】

そこで、図17に示すように、基板上に、複数のスパイラルインダクタ62、62、...を接続した集中定数素子により構成される、上記ASIC上に構成可能な、インピーダンス整合回路60が提案されている（例えば、非特許文献1参照。）。

【0005】

【非特許文献1】

相川正義他著、「モノシリックマイクロ波集積回路（MMIC）」、第2刷、（社）電子情報通信学会、1998年5月20日、p.83-92

【0006】

【発明が解決しようとする課題】

しかし、上述したインピーダンス整合回路60では、図17に示すように、比較的大きな占有面積（例えば $L = 57.5$ [nH]、 2.4 [GHz]において、 700 [μm]角なので、占有面積は約 0.5 [mm^2]）を必要とするため、インピーダンス整合回路60をそのままASIC上に構成すると、ASICが大型化する不都合があった。しかも、インピーダンス整合回路60の機能は、インピーダンス整合のみであるため（つまりフィルタとして機能しないため）、帯域幅を設定することができない不都合があった。

【0007】

そこで本発明は、占有面積を小さくすることにより、半導体素子上に構成することを可能にするものでありながら、所定の帯域幅を設定することができる、インピーダンス整合回路とそれを用いた半導体素子及び無線通信装置を提供することを目的とするものである。

【0008】

【課題を解決するための手段】

請求項1に係る本発明は（例えば図1ないし図16参照）、誘電体基板（20）に構成された分布定数線路を有し、入力される信号（SI1、SI2）を、前記分布定数線路を介して、設定された帯域幅（ w ）で出力することができる、インピーダンス整合回路（7a、7b、7c、7d）において、

前記分布定数線路は、

負荷（例えば5、6）に接続され、該負荷のリアクタンス（ B_L 、 X_S ）を補償する長さ（ l ）を線路長とする、リアクタンス補償分布定数線路（31、41）と、

前記リアクタンス補償分布定数線路（31、41）に接続され、前記入力される信号の $1/4$ 波長（ $l/4$ ）を線路長とし、前記設定された帯域幅（ w ）に応じて設定可能な特性インピーダンス（ Z_1 、 Y_1 ）を有する、 $1/4$ 波長分布定数線路（32、42）と、

前記 $1/4$ 波長分布定数線路（32、42）に接続され、前記負荷のインピーダンス（ Z_L 、 Z_S ）の大きさに応じたインピーダンス反転回路を構成し、該インピーダンス反転回路が、前記設定された帯域幅（ w ）に応じたKインバータ（ K_0 、 1 ）及びJインバー

10

20

30

40

50

タ (J_1, J_2) のいずれかを選択的に有する、インピーダンス反転分布定数線路 (33、43) と、を備え、かつ、

前記設定された帯域幅に応じた特性インピーダンスを Z_1 、前記設定された帯域幅を w 、規格化素子値を g_1 及び g_2 、前記負荷のコンダクタンスを G_L としたとき、次式、
 $Z_1 = (/ 4) \cdot [w / (g_1 \cdot g_2 \cdot G_L)]$

の関係を満たしてなる、

ことを特徴とするインピーダンス整合回路 (7a、7b、7c、7d) にある。

【0009】

請求項2に係る本発明は (例えば図1ないし図16参照)、前記リアクタンス補償分布定数線路 (31、41)、前記1/4波長分布定数線路 (32、42)、及び前記インピーダンス反転分布定数線路 (33、43) は、それぞれ、前記誘電体基板 (20) の一方の面 (20F) に形成された、接地導体 (22) と信号線 (21) とにより構成されてなる、

請求項1記載のインピーダンス整合回路 (7a、7b、7c、7d) にある。

【0010】

請求項3に係る本発明は (例えば図9、図10、図14、及び図15参照)、前記リアクタンス補償分布定数線路 (31、41) の信号線 (21) と、前記1/4波長分布定数線路 (32、42) の信号線 (21) とのうち、少なくとも前記1/4波長分布定数線路 (32、42) の信号線 (21) は、蛇行してなる、請求項2記載のインピーダンス整合回路 (7a、7b、7c、7d) にある。

【0011】

請求項4に係る本発明は (例えば図10(d)、(e)参照)、前記信号線 (21) は、スリット (23) のみを介して隣り合うように蛇行してなる、

請求項3記載のインピーダンス整合回路 (7a) にある。

【0012】

請求項5に係る本発明は (例えば図11ないし図15参照)、前記誘電体基板 (20) の他方の面 (20B) に、前記接地導体 (22) と導通する接地層 (29) を形成してなる、

請求項2ないし4いずれか記載のインピーダンス整合回路 (7a、7b、7c、7d) にある。

【0013】

請求項6に係る本発明は (例えば図13ないし図15参照)、前記誘電体基板 (20) は、積層された複数の誘電体層 (20a、20b、20c、20d) により構成され、

前記複数の各誘電体層 (20a、20b、20c、20d) のうち、少なくとも2つの前記誘電体層 (例えば20c、20d) は、接地導体層 (22D、22E) と、該接地導体層 (22D、22E) の間に所定間隔を介して介在する信号層 (21D、21E) と、を有し、

前記信号層 (21D、21E) 同士、及び前記接地導体層 (22D、22E) 同士、を導通させる、層間導通手段 (51、52) を備え、

前記信号線 (21) は、前記層間導通手段 (51) により導通された前記信号層 (21D、21E) であり、

前記接地導体 (22) は、前記層間導通手段 (52) により導通された前記接地導体層 (22D、22E) である、

請求項2ないし5いずれか記載のインピーダンス整合回路 (7a、7b、7c、7d) にある。

【0014】

請求項7に係る本発明は (例えば図13ないし図15参照)、前記誘電体基板 (20) は、積層された複数の誘電体層 (20a、20b、20c、20d) により構成され、

前記複数の各誘電体層 (20a、20b、20c、20d) のうち、少なくとも2つの前記誘電体層 (例えば20c、20d) は、接地導体層 (22D、22E) と、該接地導

10

20

30

40

50

体層(22D、22E)の間に所定間隔を介して介在する信号層(21D、21E)と、を有し、

前記信号層(21D、21E)同士、及び前記接地導体層(22D、22E)同士、を導通させる、層間導通線路(51、52)を備え、

前記信号線(21)は、前記層間導通線路(51)により導通された前記信号層(21D、21E)であり、

前記接地導体(22)は、前記層間導通線路(52)により導通された前記接地導体層(22D、22E)である、

請求項2ないし5いずれか記載のインピーダンス整合回路(7a、7b、7c、7d)にある。

請求項8に係る本発明は(例えば図16参照)、前記分布定数線路は、

前記インピーダンス反転分布定数線路(33、43)に接続され、前記入力される信号の $1/4$ 波長($\lambda/4$)を線路長とする、少なくとも1つの共振回路(91a、91b、...、91n-1、または93a、93b、...、93n-1)と、該共振回路を介して隣合う、KインバータとJインバータとに対応するインピーダンス反転回路(92a、92b、...、92n、または95a、95b、...、95n)と、を有する、狭帯域通過分布定数線路(90a、90b)を更に備えてなる、

請求項1ないし7いずれか記載のインピーダンス整合回路(7a、7b、7c、7d)にある。

請求項9に係る本発明は(例えば図1ないし図16参照)、請求項1ないし8いずれか記載のインピーダンス整合回路(7a、7b、7c、7d)を備えてなる、

半導体素子(2)にある。

【0015】

請求項10に係る本発明は(例えば図1ないし図16参照)、請求項9記載の半導体素子(2)と、

前記半導体素子(2)に接続されたアンテナ(3)と、を備えてなる、

無線通信装置(1)にある。

【0016】

なお、上記カッコ内の符号は、図面と対照するためのものであるが、本願特許請求の範囲の構成に何等影響を与えるものではない。

【0017】

【発明の効果】

請求項1に係る本発明によると、リアクタンス補償分布定数線路は、負荷のリアクタンスを補償し、 $1/4$ 波長分布定数線路と、負荷のインピーダンスの大きさに応じたインピーダンス反転回路を構成する、インピーダンス反転分布定数線路とは、補償された負荷のインピーダンスを整合すると共に、入力される信号を、設定された帯域幅で出力するので、帯域調整を可能とすることができる。しかも、本発明に係るインピーダンス整合回路は、リアクタンス補償分布定数線路、 $1/4$ 波長分布定数線路、及びインピーダンス反転回路のみで構成されるので、その占有面積を小さくすることができる。

【0018】

請求項2に係る本発明によると、リアクタンス補償分布定数線路、 $1/4$ 波長分布定数線路、及びインピーダンス反転分布定数線路とは、それぞれ、誘電体基板の一方の面に形成された、接地導体と信号線とにより構成され、すなわち、コプレーナ線路により構成される。これにより、信号線と接地導体が各々誘電体基板の表裏に形成されるために、特性インピーダンスに応じて誘電体基板の板厚を変更する必要がある、マイクロストリップ線路と異なり、 $1/4$ 波長分布定数線路の特性インピーダンスを、帯域幅に応じて簡単に変更することができ、インピーダンス整合回路の製造コストを低減することができる。

【0019】

請求項3に係る本発明によると、リアクタンス補償分布定数線路の信号線と、 $1/4$ 波長分布定数線路の信号線とのうち、少なくとも $1/4$ 波長分布定数線路の信号線は蛇行す

10

20

30

40

50

るので、インピーダンス整合回路が、誘電体基板の一方の面に信号線と接地導体とが形成される、コプレーナ線路で構成される場合であっても、信号線に隣り合う接地導体の占める面積を少なくすることができ、当該インピーダンス整合回路を、さらに小型化することができる。

【0020】

請求項4に係る本発明によると、インピーダンス整合回路は、信号線同士をスリットのみを介して隣り合うように形成されるので、蛇行する信号線間の接地導体をなくすることができる。これにより、接地導体の占める面積をさらに少なくすることができ、当該インピーダンス整合回路を、さらに小型化することができる。

請求項5に係る本発明によると、誘電体基板の他方の面に、接地導体と導通する接地層を有しているので、入力される信号の損失を低減することができ、インピーダンス整合の効率を向上させることができる。

【0021】

請求項6及び7に係る本発明によると、信号線は、層間導通手段により導通された複数の信号層であり、接地導体は、層間導通手段により導通された複数の接地導体層であるので、誘電体基板が、積層された複数の誘電体層により構成される場合であっても、各誘電体層の信号層及び接地導体層を重ねて、その板厚を増大することができ、入力される信号の損失を低減することができる。例えば、半導体製造プロセスのデザインルールにより、信号層及び接地導体層の板厚に制限がある場合であっても、問題なく、その板厚を増大させて、信号の損失を低減することができる。

【0022】

請求項8に係る本発明によると、インピーダンス整合回路は、狭帯域通過分布定数線路を備えているので、カット特性の高いバンドパスフィルタとして機能することができる。これにより、たとえ狭い帯域幅であっても、高い周波数選択度を実現することができる。しかも、狭帯域通過分布定数線路が構成する共振回路の線路長は、 $1/4$ 波長であり、線路長が半波長に比べて半分になるので、バンドパスフィルタを構成するものでありながら、インピーダンス整合回路の大型化を防止することができる。

【0023】

請求項9に係る本発明によると、半導体素子は、小型化されたインピーダンス整合回路を備えているので、インピーダンス整合回路を、大きな面積を占めることなく半導体素子上に構成することができる。これにより、システム全体を1チップで構成する、SoC (System On a Chip) を実現することが可能となる。

【0024】

請求項10に係る本発明によると、無線通信装置は、小型化されたインピーダンス整合回路を有する半導体素子を備えているので、無線通信装置を構成する上で必要な部品を予め半導体素子上に構成することができ、無線通信装置を小型化すると共に、その製造コストの低減を図ることができる。

【0025】

【発明の実施の形態】

以下、図面に沿って、本発明の実施の形態について説明する。図1は、本発明が適用される無線通信装置1の一例を示すブロック図を示している。無線通信装置1は、半導体素子2と、ホイップアンテナなどのアンテナ3とを備えている。また、半導体素子2には、図示しないDSP (Digital Signal Processor)などを介して、キーボードやマイクロフォンなどの送話手段(図示せず)と、ディスプレイやスピーカなどの受話手段(図示せず)とが接続されている。

【0026】

この種の無線通信装置1としては、例えば、携帯電話、PHS、PDA(携帯情報端末)などの、移動体通信手段がある。また、無線LANカードや無線LANボードなど、例えばPC(パーソナルコンピュータ)に移動体通信の機能を付加させる、通信機能付加手段であってもよい。さらに、無線通信が可能であれば固定電話でもよく、例えばコードレス

10

20

30

40

50

電話も無線通信装置 1 に含まれる。また、アンテナ 3 は、特にホイップアンテナに限るものでなく、例えば、受信専用の内蔵アンテナとして用いられる、板状逆 F アンテナや、半導体素子 2 上に構成されたスロットアンテナでもよい。

【0027】

半導体素子 2 は、アンテナ 3 が接続された RF (無線周波数) 回路 (破線枠内) 2 a、A/D 変換回路 (破線枠内) 2 b、及びデジタル信号処理回路 (破線枠内) 2 c を有しており、ASIC (特定用途向集積回路) を構成している。これら RF 回路 2 a、A/D 変換回路 2 b、及びデジタル信号処理回路 2 c は、例えば、CMOS (相補型金属酸化物半導体) などにより構成されている。なお、半導体素子 2 を構成する回路は、上述した回路 2 a、2 b、2 c に限るものでなく、DSP などの各種の回路を構成することが可能である。また、特に、CMOS に限るものでなく、例えば、バイポーラと CMOS が混載する BiCMOS、バイポーラ、GaAsFET (ガリウムヒ素電界効果型トランジスタ) により構成してもよい。

10

【0028】

RF 回路 2 a は、パワーアンプ (PA) 5、ローノイズアンプ (LNA) 6、インピーダンス整合回路 (IMC) 7 a、7 b、7 c、7 d、電圧制御発振器 (図示せず) などからなる移相同期ループ (PLL) 9、移相器 10 a、10 b、ミキサ 11 a、11 b、11 c、11 d、及びスイッチ (SW) 12 など を有している。なお、以下の説明では、特に区別の必要がないときは、インピーダンス整合回路 7 a、7 b、7 c、7 d を、単にインピーダンス整合回路 7 と表現する。

20

【0029】

A/D 変換回路 2 b は、ローパスフィルタ (LPF) 13 a、13 b、13 c、13 d、可変ゲインアンプ (VGA) 14 a、14 b、AD コンバータ (ADC) 15 a、15 b、及び DA コンバータ (DAC) 16 a、16 b など を有している。また、デジタル信号処理回路 2 c は、デジタル復調器 17、及びデジタル変調器 18 など を有している。

【0030】

デジタル信号処理回路 2 c は、後述する入力信号 (入力される信号) SI1 が入力自在であり、また、RF 回路 2 a は、搬送周波数が極超短波やマイクロ波などである出力信号 SO1 が出力自在である。デジタル信号処理回路 2 c は、A/D 変換回路 2 b を介して、RF 回路 2 a に接続されて、入力信号 SI1 と出力信号 SO1 の伝送経路が構成されている。

30

【0031】

具体的には、デジタル変調器 18 は、DA コンバータ 16 a、16 b、及びローパスフィルタ 13 c、13 d を介して、ミキサ 11 c、11 d に接続されている。また、移相同期ループ 9 は、移相器 10 b を介して、同様にミキサ 11 c、11 d に接続されている。さらに、ミキサ 11 c、11 d は、インピーダンス整合回路 7 c、パワーアンプ 5、インピーダンス整合回路 7 d、及びスイッチ 12 を介して、アンテナ 3 に接続されている。

【0032】

一方、RF 回路 2 a は、搬送周波数が極超短波やマイクロ波などである入力信号 (入力される信号) SI2 が入力自在であり、また、デジタル信号処理回路 2 c は、後述する出力信号 SO2 が出力自在である。RF 回路 2 a は、上述と同様に、A/D 変換回路 2 b を介して、デジタル信号処理回路 2 c に接続されて、入力信号 SI2 と出力信号 SO2 の伝送経路が構成されている。

40

【0033】

具体的には、アンテナ 3 に接続されたスイッチ 12 は、インピーダンス整合回路 7 a、ローノイズアンプ 6、及びインピーダンス整合回路 7 b を介して、ミキサ 11 a、11 b に接続されている。また、移相同期ループ 9 は、移相器 10 a を介して、同様にミキサ 11 a、11 b に接続されている。さらに、ミキサ 11 a、11 b は、それぞれ、ローパスフィルタ 13 a、13 b、可変ゲインアンプ 14 a、14 b、及び AD コンバータ 15 a、15 b を介して、デジタル復調器 17 に接続されている。

50

【0034】

次いで、RF回路2aのインピーダンス整合回路7を構成するコプレーナ線路について、図2に沿って説明する。図2は、インピーダンス整合回路7を構成するコプレーナ線路の構造の一例を示す(一部断面)斜視図を示している。インピーダンス整合回路7は、図2に示すように、所定の板厚Hからなる、誘電体基板20、該誘電体基板20の表面(誘電体基板の一方の面)20Fに形成された、信号線21、及び接地導体22を備えている。すなわち、インピーダンス整合回路7の伝送線路は、コプレーナ線路(CPW: Coplanar Waveguide)で構成されている。

【0035】

また、信号線21は、所定の線幅Wで形成されており、該信号線21の両側には、間隔(所定間隔)Gのスリット23、23を介して、接地導体22、22が配置されている。なお、誘電体基板20を、その板厚Hが線幅Wの5倍以上になるように構成することにより、インピーダンス整合回路7の特性インピーダンスZは、線幅Wと間隔Gとの比率に応じて決まり、近似的に板厚Hを無視することができ、本実施の形態における誘電体基板20も、このように構成されているものとする。

【0036】

次いで、ローノイズアンプ6に接続されたインピーダンス整合回路7aの構成について説明する。図3は、ローノイズアンプ6の入力端に接続されたインピーダンス整合回路7aの周辺における伝送線路の説明図で、(a)は伝送線路の(一部省略)上面図、(b)は伝送線路の等価回路、(c)はKインバータを用いた等価回路を示している。

【0037】

インピーダンス整合回路7aは、図3(a)に示すように、図2に示したコプレーナ線路により構成されており、インピーダンス整合伝送線路30と、Kインバータ伝送線路(インピーダンス反転分布定数線路)33とを有している。Kインバータ伝送線路33の図中左側は、特性インピーダンスとして一般的な値である $50[\Omega]$ (以下単に「 Z_0 」という。)の特性インピーダンス Z_{35} を有する、伝送線路35を介して、スイッチ12(図1参照)に接続されている。また、インピーダンス整合伝送線路30の図中右側は、ローノイズアンプ6(図1参照)に接続されている。

【0038】

これら、インピーダンス整合伝送線路30、Kインバータ伝送線路33、及び伝送線路35は、入力される信号の搬送周波数が所定値以上の際に、例えば、極超短波($300[\text{MHz}] \sim 3[\text{GHz}]$)、マイクロ波($3 \sim 30[\text{GHz}]$)、ミリ波($30 \sim 300[\text{GHz}]$)などの高周波の際に、図2に示した誘電体基板20と共に、分布定数線路として機能する。本実施の形態においては、搬送周波数を、 $2.45[\text{GHz}]$ の極超短波とする。

【0039】

伝送線路35は、線幅W1の信号線21aと、間隔G1のスリット23a、23aを介した、接地導体22、22とにより構成されている。特性インピーダンスは、上述したように、線幅Wと間隔Gの比率に応じて決まるので、伝送線路35の特性インピーダンス Z_{35} は、線幅W1と間隔G1の比率が、例えば、線幅W1を $17.5[\mu\text{m}]$ 及び間隔G1を $5[\mu\text{m}]$ として、 Z_0 となるように設定されている。従って、伝送線路35の線路長 L_{F1} は、特に制限なく、適宜な長さに設定することができる。

【0040】

一方、インピーダンス整合伝送線路30は、上記線幅W1より狭い線幅W2(例えば $4.5[\mu\text{m}]$)の信号線21bと、上記間隔G1より広い間隔G2(例えば $11.5[\mu\text{m}]$)のスリット23b、23bを介した、接地導体22、22とにより構成されており、その特性インピーダンス Z_{30} は、上述した伝送線路35と異なる所定値(例えば $83.4[\Omega]$)に設定されている(詳細は後述)。また、インピーダンス整合伝送線路30の線路長 L_{I1} は、上述した伝送線路35と異なり、所定長さに設定されている(詳細は後述)。

10

20

30

40

50

【0041】

また、Kインバータ伝送線路33は、インピーダンス整合伝送線路30と同様に、線幅W2の信号線21bと、間隔G2のスリット23b、23bを介した、接地導体22、22とにより構成されている。また、信号線21bと、接地導体22、22とは、蛇行状に形成された、線幅d1の伝送線路で構成される、スタブ25、25を介して接続(短絡)されている。

【0042】

このようなKインバータ伝送線路33は、図3(b)に示すように、インダクタンスLのT型回路33aと、該T型回路33aの両端に接続された、電気長 $l/2$ を線路長とする、分布定数線路33b、33bとにより構成された等価回路で表される。上述したスタブ25、25を構成する、線幅d1の伝送線路は、上記インダクタンスLを構成する上で、所定の線路長に設定されている。

10

【0043】

従って、インピーダンス整合回路7aは、図3(b)に示すように、インダクタンスLのT型回路33aと、その両側に接続された分布定数線路33b、33bと、さらに、分布定数線路33b、33bの両側に接続された、線路長 L_{I1} の分布定数線路30a、及び線路長 L_{F1} の分布定数線路35aとにより構成された等価回路で表される。

【0044】

Kインバータ伝送線路33は、上述したように、インダクタンスLのT型回路33aと、その両側に接続された分布定数線路33b、33bとにより構成されることから、図3(c)に示すように、Kインバータとして機能する。

20

【0045】

ここで、インバータとは、入力端子から当該インバータを介して負荷を見た場合に、負荷のインピーダンスまたはアドミタンスが反転して見える、回路素子をいう。特に、インピーダンスを反転させてアドミタンスとして見る回路素子を、Kインバータといい、逆に、アドミタンスを反転させてインピーダンスとして見る回路素子を、Jインバータという。Kインバータは、上述したように、例えばインダクタンスLのT型回路により構成され、また、Jインバータは、例えば、後述するキャパシタCの型回路により構成される。

【0046】

次いで、インピーダンス整合伝送線路30の特性インピーダンス Z_{30} と線路長 L_{I1} とについて説明するにあたり、Kインバータにより構成される公知のフィルタ70について、図4に沿って説明する。図4は、Kインバータにより構成されるフィルタ70の説明図で、(a)はフィルタ70の回路図、(b)はフィルタ70を伝送する信号の電圧振幅、(c)はフィルタ70の等価回路を示している。

30

【0047】

フィルタ70は、Kインバータにより構成される、1段のフィルタであり、リアクタンスが jX_1 で示される半波長直列共振器71と、端子 $P_1 - P_1'$ を介して接続された、 $K_{0,1}$ で示されるKインバータ72と、端子 $P_2 - P_2'$ を介して接続された、 $K_{1,2}$ で示されるKインバータ73とにより構成されている。Kインバータ72には、 Z_0 で示される負荷75が接続されており、また、Kインバータ73には、 Z_0 で示される負荷76が接続されている。なお、半波長直列共振器71から、Kインバータ72側($P_1 - P_1'$ 側)を見た抵抗を、 $R_{S'}$ 、また、Kインバータ73側($P_2 - P_2'$ 側)を見た抵抗を、 $R_{L'}$ とする。

40

【0048】

ここで、フィルタ70により、インピーダンスの整合と、伝送する信号を所定の帯域幅に設定すること(帯域調整)と、を可能とする、公知の設計公式は、数1及び数2で表される。

【0049】

【数1】

$$K_{0,1} = \sqrt{w} \sqrt{\frac{Z_0 x_1}{g_0 g_1}}$$

【 0 0 5 0 】

【 数 2 】

$$K_{1,2} = \sqrt{w} \sqrt{\frac{x_1 Z_0}{g_1 g_2}}$$

10

x_1 は、リアクタンス X_1 のスロープパラメータを表しており、リアクタンス X_1 は、数 3 で表される。また、 w は周波数、 ω_0 は中心周波数、 w (帯域幅) は比帯域幅 ($(\omega_2 - \omega_1) / \omega_0$)、 ω_1 、 ω_2 は遮断周波数、 g_0 、 g_1 、 g_2 は規格化素子値を表している。なお、上記規格化素子値 g_0 、 g_1 、 g_2 は、通過域の (リップルが最大となる) 反射損失と (フィルタの) 段数とから算出される。

【 0 0 5 1 】

【 数 3 】

20

$$X_1 = x_1 \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right)$$

【 0 0 5 2 】

K インバータ 7 2、7 3 の間には、半波長直列共振器 7 1 が構成されていることから、半波長直列共振器 7 1 を伝送する信号の電圧振幅 $|V(z)|$ は、図 4 (b) に示すように、端子 $P_1 - P_1'$ 、 $P_2 - P_2'$ 側でショート ($|V(z)| = 0$) となる。また、フィルタ 7 0 は、図 4 (c) に示すように、半波長直列共振器 7 1 の両側に、 R_S' 、 R_L' で示される抵抗 7 7、7 9 が接続された等価回路で表され、該抵抗 7 7、7 9 は、数 4 及び数 5 で表される。

30

【 0 0 5 3 】

【 数 4 】

$$R'_S = \frac{K_{0,1}^2}{Z_0}$$

【 0 0 5 4 】

【 数 5 】

40

$$R'_L = \frac{K_{1,2}^2}{Z_0}$$

【 0 0 5 5 】

また、上記半波長直列共振器 7 1 では、数 6 及び数 7 が成立している。なお、 Q (Q 値) は、クオリティファクタを意味する。

【 0 0 5 6 】

【 数 6 】

$$\frac{R'_L}{R'_S} = \frac{g_0}{g_2}$$

【 0 0 5 7 】

【 数 7 】

$$Q = \frac{x_1}{R'_S + R'_L} = \frac{g_0 g_1 g_2}{w (g_0 + g_2)}$$

10

【 0 0 5 8 】

こうして、Kインバータ72、73は、上述したようにインピーダンス（つまり半波長直列共振器71）をアドミタンス（半波長並列共振器）に反転するので、フィルタ70は、半波長並列共振器（図示せず）と等価となる。従って、フィルタ70は、半波長並列共振器による1段のフィルタとして機能し、上述した数1及び数2に基づいて、インピーダンス整合が可能になると共に、比帯域幅wを設定することにより、帯域調整が自在となる。

【 0 0 5 9 】

このような半波長直列共振器71は、伝送する信号の半波長を線路長とする伝送線路（図示せず）により構成され、また、Kインバータ72、73は、それぞれ、図3（b）に示したKインバータ伝送線路33と同様の、インダクタンスLのT型回路及びその両側に接続される電気長 $L/2$ を線路長とする伝送線路（図示せず）より構成される。

20

【 0 0 6 0 】

上述した半導体素子2には、既に述べたように、ASICを構成する上で複数の回路が構成されるため、半導体素子2上のスペースに制限があり、上述したフィルタ70を半導体素子2上に構成するには、その占有面積さらに小さくする必要がある。そこで、本発明に係るインピーダンス整合回路7は、上述したフィルタ70と同様に、数1及び数2を満たすものでありながら、占有面積を上記フィルタ70より小さくすることが出来るように、インピーダンス整合伝送線路30の特性インピーダンス Z_{30} と線路長 L_{I1} が、所定値に設定されている。

30

【 0 0 6 1 】

次いで、インピーダンス整合伝送線路30の特性インピーダンス Z_{30} と線路長 L_{I1} について、図5に沿って説明する。図5は、ローノイズアンプ6の入力端に接続されたインピーダンス整合回路7aの特性インピーダンス Z_{30} と線路長 L_{I1} の説明図で、（a）はインピーダンス整合回路7aの回路図、（b）はインピーダンス整合回路7aを伝送する信号の電圧振幅、（c）はインピーダンス整合回路7aの等価回路を示している。

【 0 0 6 2 】

図5（a）に示すインピーダンス整合回路7aは、図3で説明したように、インピーダンス整合伝送線路30と、Kインバータ伝送線路33とにより構成されている。インピーダンス整合伝送線路30は、特性インピーダンス Z_{30} （後述）を有する1/4波長伝送線路（1/4波長分布定数線路）32と、該1/4波長伝送線路32に接続されたリアクタンス補償伝送線路（リアクタンス補償分布定数線路）31とにより構成されている。1/4波長伝送線路32の線路長は、伝送する信号の波長の1/4、すなわち、1/4波長/4（入力される信号の1/4波長）である。1/4波長伝送線路32は、入力端 $P_3 - P_3'$ を介してKインバータ伝送線路33に接続されており、該Kインバータ伝送線路33は、伝送線路35に接続されている。また、リアクタンス補償伝送線路31は、出力端 $P_4 - P_4'$ を介してローノイズアンプ6（図1参照）に接続されている。

40

【 0 0 6 3 】

なお、上記波長 λ は、管内波長を意味しており、信号がインピーダンス整合回路7を伝送

50

する際、図 2 に示す誘電体基板 20 が有する誘電率に応じて、上記搬送周波数が大きくなり、波長 λ は、搬送周波数の 2.45 [GHz] の 1 波長より小さくなっている。

【0064】

このように、1/4 波長伝送線路 32 の線路長を、図 4 (a) で説明したフィルタ 70 の半波長直列共振器 71 を構成する、半波長の伝送線路 (図示せず) の半分に設定されている。しかも、ローノイズアンプ 6 の入力インピーダンスは、比較的大きい (例えば、 $330 - j890$ [Ω]) ことから、該ローノイズアンプ 6 をオープンと扱えるので、2 つの K インバータを必要とせず、入力端 $P_3 - P_3'$ 側のみに、K インバータ伝送線路 33 が、K インバータ (インピーダンス反転回路のインバータ) $K_{0,1}$ を構成している。すなわち、1/4 波長伝送線路 32 を伝送する信号の電圧振幅 $|V(z)|$ は、図 5 (b) に示すように 1/4 波長であって、入力端 $P_3 - P_3'$ 側でショート ($|V(z)| = 0$) になり、また、出力端 $P_4 - P_4'$ 側ではオープン (振幅最大) になる。

10

【0065】

こうして、1/4 波長伝送線路 32 の線路長を、1/4 波長 $\lambda/4$ に設定した状態で、上述した数 1 及び数 2 を適用するために、上記リアクタンス補償伝送線路 31 の線路長は、ローノイズアンプ 6 のサセプタンス B_L を補償 (相殺) するように、調整量 (負荷のリアクタンスを補償する長さ) l に設定されている。

【0066】

ここで、ローノイズアンプ 6 の入力アドミタンス Y_L を、数 8 に示すように定義する。なお、 G_L は、ローノイズアンプ 6 のコンダクタンス、 B_L は、ローノイズアンプ 6 のサセプタンス (負荷のリアクタンス) を表している。

20

【0067】

【数 8】

$$Y_L = \frac{1}{Z_L} = G_L + jB_L$$

【0068】

また、ローノイズアンプ 6 の入力インピーダンス (負荷のインピーダンス) Z_L を、数 9 とする。なお、 R_L は、入力インピーダンス Z_L の抵抗、 X_L は、入力インピーダンス Z_L のリアクタンスを表している。

30

【0069】

【数 9】

$$Z_L = R_L + jX_L$$

【0070】

すると、ローノイズアンプ 6 のコンダクタンス G_L 、及びサセプタンス B_L は、数 10 で表される。

40

【0071】

【数 10】

$$G_L = \frac{R_L}{R_L^2 + X_L^2}, \quad B_L = \frac{-X_L}{R_L^2 + X_L^2}$$

【0072】

ところで、1/4 波長伝送線路 32 は、その線路長 (1/4 波長 $\lambda/4$) を増減して調整することにより、インダクタンスの装荷と同様に、リアクタンスを増減することができる

50

ので、リアクタンス補償伝送線路31の調整量 l は、数11を満たすように設定されている。なお、 C は単位長あたりの容量 [C/m] を表している。

【0073】

【数11】

$$\omega_0 C \Delta l = -B_L$$

【0074】

従って、リアクタンス補償伝送線路31の調整量 l は、数12に示す長さで表される。

10

【0075】

【数12】

$$\Delta l = -\frac{B_L}{\omega_0 C}$$

【0076】

なお、ローノイズアンプ6は、FET（電界効果型トランジスタ）で構成されており、ゲートとソース（図示せず）の間の容量が正であることから、 $X_L < 0$ であり、数10により $B_L > 0$ となり、さらに数12より $l < 0$ となる。

20

【0077】

上述したように、 $1/4$ 波長伝送線路32の線路長は、 $1/4$ 波長 $\lambda/4$ であり、また、リアクタンス補償伝送線路31の線路長は、調整量 l なので、インピーダンス整合伝送線路30の線路長 L_{I1} は、図5(a)に示すように、 $\lambda/4 + l$ である。さらに、 $l < 0$ であることから、インピーダンス整合伝送線路30の線路長 L_{I1} は、 $1/4$ 波長伝送線路32の線路長 ($1/4$ 波長 $\lambda/4$) から、リアクタンス補償伝送線路31の調整量 l の絶対値を差し引いた長さとなる。

【0078】

搬送周波数が 2.45 [GHz] では、 $1/4$ 波長 $\lambda/4$ は約 18 [mm] であるのに対し、ローノイズアンプ6の入力インピーダンス Z_L が、例えば $330 - j890$ [] の場合、調整量 l は、 -0.9 [mm] となるので、インピーダンス整合伝送線路30の線路長 L_{I1} は、約 17 [mm] となる。

30

【0079】

このように、サセプタンス B_L が補償されると、インピーダンス整合回路7に、上述した数1及び数2を適用することによって、フィルタ70と同様に、ローノイズアンプ6のインピーダンス整合と、帯域調整とが可能となる。

【0080】

ここで、ローノイズアンプ6は、上述したように、比較的大きいインピーダンス (Z_L) を有することから、 Z_0 の逆数を Y_0 とすると、 $G_L = Y_0$ となり、数13ないし数17が成り立つ。

40

【0081】

【数13】

$$Z'_L = Z_1^2 G_L + jX_1 = R'_L + jX'_L$$

【0082】

【数14】

$$X_1 = -Z_1 \cot \theta = -x_1 \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right)$$

【 0 0 8 3 】

【 数 1 5 】

$$x_1 = \frac{\pi}{4} Z_1$$

10

【 0 0 8 4 】

【 数 1 6 】

$$R'_L = Z_1^2 G_L$$

【 0 0 8 5 】

【 数 1 7 】

$$R'_S = \frac{K_{0,1}^2}{Z_0}$$

20

【 0 0 8 6 】

従って、数 2 で示される設計公式は、1 / 4 波長伝送線路 3 2 の特性インピーダンス（設定された帯域幅に応じた特性インピーダンス） Z_1 として、数 2、数 5、数 1 5、数 1 6 から、数 1 8 で表される。また、数 1 で示される設計公式は、K インバータ伝送線路 3 3 が構成する K インバータ $K_{0,1}$ として、数 1 9 で表される。

【 0 0 8 7 】

【 数 1 8 】

30

$$Z_1 = \frac{\pi}{4} \frac{w}{g_1 g_2 G_L}$$

【 0 0 8 8 】

【 数 1 9 】

$$K_{0,1} = \sqrt{w} \sqrt{\frac{Z_0 x_1}{g_0 g_1}}$$

40

【 0 0 8 9 】

インピーダンス整合伝送線路 3 0 は、図 3 (a) で説明したように、線幅 W_2 及び間隔 G_2 で構成され（つまり特性インピーダンスが一定に維持され）、さらに、インピーダンス整合伝送線路 3 0 は、図 5 (a) で説明したように、インピーダンス整合伝送線路 3 1 と 1 / 4 波長伝送線路 3 2 とからなるので、インピーダンス整合伝送線路 3 0 の特性インピーダンス Z_{30} (8 3 . 4 []) は、上記特性インピーダンス Z_1 で表されることとなる。

【 0 0 9 0 】

こうして、インピーダンス整合回路 7 a は、数 1 8 及び数 1 9 が満たされることにより、図 5 (a) に示す回路図は、図 4 (c) に示す等価回路と同様に、図 5 (c) に示す、半

50

波長直列共振器 36 から見た等価回路で表される。すなわち、インピーダンス整合回路 7a は、半波長直列共振器 36 の両側に、 R'_S 、 R'_L で示される抵抗 37、39 が接続された、等価回路で表され、該抵抗 37、39 は、数 6、数 16、数 17 から、数 20 で表される。また、クオリティファクタ Q は、数 7、数 16、数 17 から、数 21 で表される。

【0091】

【数 20】

$$\frac{R'_L}{R'_S} = \frac{Z_0}{K_{0,1}^2} Z_1^2 G_L = \frac{g_0}{g_2}$$

10

【0092】

【数 21】

$$Q = \frac{x_1}{R'_S + R'_L} = \frac{Z_0}{K_{0,1}^2} \frac{x_1}{\left(1 + \frac{g_0}{g_2}\right)} = \frac{g_0 g_1 g_2}{w(g_0 + g_2)}$$

【0093】

このように、本発明に係るインピーダンス整合回路 7a は、図 4 に示すフィルタ 70 と異なり、 K インバータを 2 つも必要とせず、インピーダンス整合伝送線路 30 の線路長 L_{I1} を、 $\lambda/4 + l$ として構成することができる。しかも、 $1/4$ 波長伝送線路 32 の特性インピーダンス Z_1 (つまりインピーダンス整合伝送線路 30 の特性インピーダンス Z_{30}) と、 K インバータ伝送線路 33 が構成する K インバータ 33 の $K_{0,1}$ とが、数 18 及び数 19 を満たすように設定されているので、インピーダンス整合回路 7a の占有面積を小さくしながら、インピーダンス整合と、比帯域幅 w に応じた帯域調整を可能とすることができる。

20

【0094】

また、本発明に係るインピーダンス整合回路 7 は、ローノイズアンプ 6 の入力インピーダンス Z_L のように、比較的大きいインピーダンスだけでなく、上記ローノイズアンプ 6 の出力インピーダンス Z_S (後述) のように、比較的小さいインピーダンスであっても、上述と同様なインピーダンス整合と共に帯域調整を可能とすることができる。

30

【0095】

次いで、ローノイズアンプ 6 の出力端に接続されたインピーダンス整合回路 7b の構成について説明する。図 6 は、ローノイズアンプ 6 の出力端に接続されたインピーダンス整合回路 7b の周辺における伝送線路の説明図で、(a) は伝送線路の(一部省略)上面図、(b) は伝送線路の等価回路、(c) は J インバータを用いた等価回路を示している。

【0096】

インピーダンス整合回路 7b は、図 6 (a) に示すように、インピーダンス整合回路 7a と同様に、図 2 に示したコプレーナ線路により構成されており、インピーダンス整合伝送線路 40 と、 J インバータ伝送線路 (インピーダンス反転分布定数線路) 43 とを有している。 J インバータ伝送線路 43 の図中右側は、 Z_0 の特性インピーダンス Z_{45} を有する、伝送線路 45 を介して、ミキサ 11a、11b (図 1 参照) に接続されている。また、インピーダンス整合伝送線路 40 の図中左側は、ローノイズアンプ 6 (図 1 参照) に接続されている。これら、インピーダンス整合伝送線路 40、 J インバータ伝送線路 43、及び伝送線路 45 は、図 3 で説明した分布定数回路と同様に、図 2 に示した誘電体基板 20 と共に、分布定数回路として機能する。

40

【0097】

伝送線路 45 は、インピーダンス整合回路 7a の伝送線路 35 (図 3 参照) と同様に、線幅 $W1$ の信号線 21a と、間隔 $G1$ のスリット 23a、23a を介した、接地導体 22、

50

22とにより構成されており、伝送線路45の線路長 L_{F2} は、特に制限なく、適宜な長さに設定することができる。

【0098】

一方、インピーダンス整合伝送線路40は、上記線幅 $W1$ より狭い線幅 $W3$ の信号線21cと、上記間隔 $G1$ より広い間隔 $G3$ のスリット23c、23cを介した、接地導体22、22とにより構成されている。従って、インピーダンス整合伝送線路40の特性インピーダンス Z_{40} は、上述した伝送線路45と異なる所定値(詳細は後述)に設定されている。また、インピーダンス整合伝送線路40の線路長 L_{I2} は、上述した伝送線路45と異なり、所定長さに設定されている(詳細は後述)。

【0099】

また、Jインバータ伝送線路43は、線幅 $W3$ の信号線21c、21dと、間隔 $G3$ のスリット23c、23cを介した、接地導体22、22とにより構成されている。信号線21c、21dは、櫛歯状に形成された端部26a、26bを有しており、端部26a、26bは、所定の隙間 $d2$ のギャップGAPを介して対向している。

【0100】

このようなJインバータ伝送線路43は、図6(b)に示すように、キャパシタCの型回路43aと、該型回路43aの両端に接続された、電気長 $l/2$ を線路長とする、分布定数線路43b、43bとにより構成された等価回路で表される。なお、上述した端部26a、26bやギャップGAPの隙間 $d2$ は、上記キャパシタCに応じて、それぞれ、所定形状、所定値に設定されている。

【0101】

従って、インピーダンス整合回路7bは、図6(b)に示すように、キャパシタCの型回路43aと、その両側に接続された分布定数線路43b、43bと、さらに、分布定数線路43b、43bの両側に接続された、線路長 L_{I2} の分布定数線路40a、及び線路長 L_{F2} の分布定数線路45aとにより構成された等価回路で表される。

【0102】

Jインバータ伝送線路43は、上述したように、キャパシタCの型回路43aと、その両側に接続された分布定数線路43b、43bとにより構成されることから、Jインバータ伝送線路43は、図6(c)に示すように、Jインバータとして機能する。

【0103】

ここで、Jインバータにより構成される公知のフィルタ80について、図7に沿って説明する。図7は、Jインバータにより構成されるフィルタ80の説明図で、(a)はフィルタ80の回路図、(b)はフィルタ80を伝送する信号の電圧振幅、(c)はフィルタ80の等価回路を示している。

【0104】

フィルタ80は、Jインバータにより構成される、図4で説明したフィルタ70と同様に、1段のフィルタであり、サセプタンスが jB_1 で示される半波長並列共振器81と、端子 $P_5 - P_5'$ を介して接続された、 $J_{0,1}$ で示されるJインバータ82と、端子 $P_6 - P_6'$ を介して接続された、 $J_{1,2}$ で示されるJインバータ83とにより構成されている。Jインバータ82には、 Y_0 で示される負荷85が接続されており、また、Jインバータ83には、 Y_0 で示される負荷86が接続されている。なお、半波長並列共振器81から、Jインバータ82側($P_5 - P_5'$ 側)を見たコンダクタンスを、 $G_{S'}$ 、また、Jインバータ83側($P_6 - P_6'$ 側)を見たコンダクタンスを、 $G_{L'}$ とする。

【0105】

ここで、フィルタ80により、インピーダンス整合と帯域調整とを可能とする、公知の設計公式は、数22及び数23で表される。

【0106】

【数22】

10

20

30

40

$$J_{0,1} = \sqrt{w} \sqrt{\frac{Y_0 b_1}{g_0 g_1}}$$

【 0 1 0 7 】

【 数 2 3 】

$$J_{1,2} = \sqrt{w} \sqrt{\frac{b_1 Y_0}{g_1 g_2}}$$

10

【 0 1 0 8 】

なお、 b_1 は、サセプタンス B_1 のスロープパラメータを表しており、サセプタンス B_1 は、数 2 4 で表される。

【 0 1 0 9 】

【 数 2 4 】

$$B_1 = b_1 \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right)$$

【 0 1 1 0 】

20

Jインバータ 8 2、8 3の間には、半波長並列共振器 8 1 が構成されていることから、半波長並列共振器 8 1 を伝送する信号の電圧振幅 $|V(z)|$ は、図 7 (b) に示すように、端子 $P_5 - P_5'$ 、 $P_6 - P_6'$ 側でオープン（振幅最大）となる。また、フィルタ 8 0 は、図 7 (c) に示すように、半波長並列共振器 8 1 の両側に、 G_S' 、 G_L' で示されるコンダクタンス 8 7、8 9 が接続された等価回路で表され、該コンダクタンス 8 7、8 9 は、数 2 5 及び数 2 6 で表される。

【 0 1 1 1 】

【 数 2 5 】

$$G'_S = \frac{J_{0,1}^2}{Y_0}$$

30

【 0 1 1 2 】

【 数 2 6 】

$$G'_L = \frac{J_{1,2}^2}{Y_0}$$

【 0 1 1 3 】

40

また、上記半波長並列共振器 8 1 では、数 2 7 及び数 2 8 が成立している。

【 0 1 1 4 】

【 数 2 7 】

$$\frac{G'_L}{G'_S} = \frac{g_0}{g_2}$$

【 0 1 1 5 】

【 数 2 8 】

50

$$Q = \frac{b_1}{G'_S + G'_L} = \frac{g_0 g_1 g_2}{w(g_0 + g_2)}$$

【0116】

こうして、Jインバータ82、83は、Kインバータと異なり、アドミタンス（半波長並列共振器81）をインピーダンス（半波長直列共振器）に反転するので、フィルタ80は、半波長直列共振器（図示せず）と等価となる。従って、フィルタ80は、半波長直列共振器による1段のフィルタとして機能し、上述した数23及び数24に基づいて、図4に示すフィルタ70と同様に、インピーダンス整合が可能になると共に、比帯域幅 w を設定することにより、帯域調整が自在となる。

10

【0117】

本発明に係るインピーダンス整合回路7bは、上述したインピーダンス整合回路7aと同様に、数22及び数23を満たすものでありながらも、占有面積を上記フィルタ80より小さくすることが出来るように、インピーダンス整合伝送線路40の特性インピーダンス Z_{40} と線路長 L_{I2} とが、所定値に設定されている。

【0118】

次いで、インピーダンス整合伝送線路40の特性インピーダンス Z_{40} と線路長 L_{I2} について、図8に沿って説明する。図8は、ローノイズアンプ6の出力端に接続されたインピーダンス整合回路7bの特性インピーダンス Z_{40} と線路長 L_{I2} の説明図で、(a)はインピーダンス整合回路7bの回路図、(b)はインピーダンス整合回路7bを伝送する信号の電圧振幅、(c)はインピーダンス整合回路7bの等価回路を示している。

20

【0119】

図8(a)に示すインピーダンス整合回路7bは、図6で説明したように、インピーダンス整合伝送線路40と、Jインバータ伝送線路43とにより構成されている。インピーダンス整合伝送線路40は、特性インピーダンス Z_1 を有する1/4波長伝送線路（1/4波長分布定数線路）42と、該1/4波長伝送線路42に接続されたリアクタンス補償伝送線路（リアクタンス補償分布定数線路）41とにより構成されている。1/4波長伝送線路42の線路長は、1/4波長伝送線路32（図5(a)参照）と同様に、1/4波長/4である。1/4波長伝送線路42は、入力端 $P_8 - P_8'$ を介してJインバータ伝送線路43に接続されており、該Jインバータ伝送線路43は、伝送線路45に接続されている。また、リアクタンス補償伝送線路41は、出力端 $P_7 - P_7'$ を介してローノイズアンプ6（図1参照）に接続されている。

30

【0120】

このように、1/4波長伝送線路42の線路長は、1/4波長伝送線路32の線路長（図5(a)参照）と同様に、図4(a)で説明したフィルタ80の半波長並列共振器81を構成する、半波長の伝送線路（図示せず）の半分に設定されている。しかも、ローノイズアンプ6の出力インピーダンス（負荷のインピーダンス） Z_S は、上述した入力インピーダンス Z_L に比べて極めて小さいことから、該ローノイズアンプ6をショートと扱えるので、2つのJインバータを必要とせず、入力端 $P_8 - P_8'$ 側のみに、Jインバータ伝送線路43が、Jインバータ（インピーダンス反転回路のインバータ） $J_{1,2}$ を構成している。すなわち、1/4波長伝送線路42を伝送する信号の電圧振幅 $|V(z)|$ は、図8(b)に示すように1/4波長であって、入力端 $P_8 - P_8'$ 側でオープン（振幅最大）になり、また、出力端 $P_7 - P_7'$ 側でショート（ $|V(z)| = 0$ ）になる。

40

【0121】

こうして、1/4波長伝送線路42の線路長を、1/4波長/4に設定した状態で、上述した数23及び数24を適用するために、上記リアクタンス補償伝送線路41の線路長は、ローノイズアンプ6のリアクタンス（負荷のリアクタンス） X_S を補償（相殺）するように、調整量 l に設定されている。

50

【 0 1 2 2 】

ここで、ローノイズアンプ 6 の出力インピーダンス Z_s を、数 2 9 のように定義する。なお、 R_s は、出力インピーダンス Z_s の抵抗、 X_s は、出力インピーダンス Z_s のリアクタンスを表している。

【 0 1 2 3 】

【数 2 9】

$$Z_s = R_s + jX_s$$

10

【 0 1 2 4 】

ローノイズアンプ 6 の出力インピーダンス Z_s は、上述した入力インピーダンス Z_L に比べて極めて小さいことから、 $|Z_s| \ll Z_0$ となり、出力端 $P_7 - P_7'$ はショート（短絡）と扱える。従って、 $1/4$ 波長伝送線路 4 2 は、その線路長（ $1/4$ 波長 $\lambda/4$ ）を増減して調整することにより、リアクタンス補償伝送線路 3 1（図 5（a）参照）と同様に、リアクタンスを増減することができるので、リアクタンス補償伝送線路 4 1 の調整量 l は、数 3 0 を満たすように設定されている。なお、 L は単位長あたりのインダクタンス [H/m] を表している。

【 0 1 2 5 】

【数 3 0】

20

$$\omega_0 L \Delta l = X_s$$

【 0 1 2 6 】

従って、リアクタンス補償伝送線路 4 1 の調整量 l は、数 3 1 を満たす長さで表される。

【 0 1 2 7 】

【数 3 1】

$$\Delta l = \frac{X_s}{\omega_0 L}$$

30

【 0 1 2 8 】

なお、ローノイズアンプ 6 の出力インピーダンス Z_s は、入力インピーダンス Z_L と同様に、 $X_s < 0$ であり、数 3 1 より $l < 0$ となる。一方、上述したように、 $1/4$ 波長伝送線路 4 2 の線路長は、 $1/4$ 波長 $\lambda/4$ であり、また、リアクタンス補償伝送線路 4 1 の線路長は、調整量 l なので、インピーダンス整合伝送線路 4 0 の線路長 L_{I2} は、図 8（a）に示すように、 $\lambda/4 + l$ である。従って、インピーダンス整合伝送線路 4 0 の線路長 L_{I2} は、インピーダンス整合伝送線路 3 0 の線路長 L_{I1} と同様に、 $1/4$ 波長伝送線路 4 2 の線路長（ $1/4$ 波長 $\lambda/4$ ）から、リアクタンス補償伝送線路 4 1 の調整量 l の絶対値を差し引いた長さとなる。

40

【 0 1 2 9 】

また、入力端 $P_8 - P_8'$ からインピーダンス整合伝送線路 4 0 側を見たアドミタンス Y_s' は、数 3 2 で表せ、また、数 3 3 ないし数 3 6 が成り立つ。

【 0 1 3 0 】

【数 3 2】

$$Y_s' = \frac{R_s}{Z_1^2} + jB_1 = G_s' + jB_s'$$

50

【 0 1 3 1 】

【 数 3 3 】

$$B_1 = -Y_1 \cot \theta = -b_1 \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right)$$

【 0 1 3 2 】

【 数 3 4 】

$$b_1 = \frac{\pi}{4} Y_1$$

10

【 0 1 3 3 】

【 数 3 5 】

$$G'_s = \frac{R_s}{Z_1^2}$$

【 0 1 3 4 】

【 数 3 6 】

20

$$G'_L = Z_0 J_{1,2}^2$$

【 0 1 3 5 】

こうして、1/4波長伝送線路42の特性インピーダンス Z_1 の逆数をアドミタンス（設定された帯域幅に応じた特性インピーダンス） Y_1 とすると、数22で示される設計公式は、1/4波長伝送線路42のアドミタンス Y_1 として、数22、数25、数34、数35から、数37で表される。また、数23で示される設計公式は、Jインバータ伝送線路43が構成するJインバータ（インピーダンス反転回路のインバータ） $J_{1,2}$ として、

30

【 0 1 3 6 】

【 数 3 7 】

$$Y_1 = \frac{\pi}{4} \frac{w}{g_1 g_2 R_s}$$

【 0 1 3 7 】

【 数 3 8 】

40

$$J_{1,2} = \sqrt{w} \sqrt{\frac{b_1 Y_0}{g_0 g_1}}$$

【 0 1 3 8 】

インピーダンス整合伝送線路40は、図6(a)で説明したように、線幅 W_3 および間隔 G_3 で構成され、さらに、インピーダンス整合伝送線路40は、図8(a)で説明したように、リアクタンス補償伝送線路41と、1/4波長伝送線路42とからなるので、上述したインピーダンス整合伝送線路40の特性インピーダンス Z_{40} は、上記アドミタンス Y_1 に基づくインピーダンスで表されることとなる。

50

【 0 1 3 9 】

こうして、インピーダンス整合回路 7 b は、数 3 7 及び数 3 8 が満たされることにより、図 8 (a) に示す回路図は、図 7 (c) に示す等価回路と同様に、図 8 (c) に示すように、半波長並列共振器 4 6 から見た等価回路で表される。すなわち、インピーダンス整合回路 7 b は、半波長並列共振器 4 6 の両側に、 G'_S 、 G'_L で示されるコンダクタンス 4 7、4 9 が接続された、等価回路で表され、該コンダクタンス 4 7、4 9 は、数 2 7、数 3 5、数 3 6 から、数 3 9 で表される。またクオリティファクタ Q は、数 2 8、数 3 5、数 3 6 から、数 4 0 で表される。

【 0 1 4 0 】

【 数 3 9 】

$$\frac{G'_L}{G'_S} = \frac{Z_0}{R_S} Z_1^2 J_{1,2}^2 = \frac{g_0}{g_1}$$

【 0 1 4 1 】

【 数 4 0 】

$$Q = \frac{b_1}{G'_S + G'_L} = \frac{Z_1^2}{R_S} \frac{b_1}{\left(1 + \frac{g_0}{g_2}\right)} = \frac{g_0 g_1 g_2}{w(g_0 + g_2)}$$

【 0 1 4 2 】

従って、インピーダンス整合回路 7 b は、図 7 に示すフィルタ 8 0 と同様に、半波長直列共振器 (図示せず) と等価となり、該半波長直列共振器による 1 段のフィルタとして機能し、上述したインピーダンス整合回路 7 a と同様に、数 3 7 及び数 3 8 に基づいて、インピーダンス整合と共に帯域調整が可能となる。

【 0 1 4 3 】

また、図 1 に示すパワーアンプ 5 も、ローノイズアンプ 6 と同様に、入力インピーダンスが比較的大きく、出力インピーダンスが比較的小さい負荷なので、パワーアンプ 5 の入力端、出力端に、それぞれ接続されたインピーダンス整合回路 7 c、7 d についても同様に、本発明を適用することができる。なお、インピーダンス整合回路 7 c は、図 3 に示すインピーダンス整合回路 7 a を、図 3 及び図 5 中左右に反転したものと同一構成であり、また、インピーダンス整合回路 7 d は、図 6 に示すインピーダンス整合回路 7 b を、図 6 及び図 8 中左右に反転したものと同一構成であるので、その説明を省略する。

【 0 1 4 4 】

また、負荷の一例として、パワーアンプ 5 やローノイズアンプ 6 を示したが、これに限らず、例えば、RF 回路 2 a (図 1 参照) が有する、移相器 1 0 a、1 0 b、ミキサ 1 1 a、1 1 b、1 1 c、1 1 d、移相同期ループ 9 が有する不図示の電圧制御発振器などの負荷にも、本発明を適用できる。また、負荷は、容量性負荷に限らず、誘導性負荷であってもよい。その場合、調整量 Γ は正になることから、インピーダンス整合伝送線路 3 0、4 0 の線路長 L_{I1} 、 L_{I2} を、1 / 4 波長伝送線路 3 2、4 2 の線路長 (1 / 4 波長 / 4) と、リアクタンス補償伝送線路 3 1、4 1 の調整量 Γ の絶対値との和として構成すればよい。

【 0 1 4 5 】

また、上述したインピーダンス整合は、電力を最大とする整合に限らず、雑音指数を最小にするインピーダンスに応じた整合も可能である。なお、本実施の形態にあっては、パワーアンプ 5 に対するインピーダンス整合は、電力を最大とするインピーダンス整合とし、また、ローノイズアンプ 6 に対するインピーダンス整合は、雑音指数を最小にするインピーダンス整合とする。さらに、インピーダンス整合回路 7 d の構成は、図 8 に示すインピーダンス整合回路 7 c を、図 6 及び図 8 を図中左右に反転したものと同一構成なので、そ

10

20

30

40

50

の説明を省略する。

【0146】

次いで、本発明に係るインピーダンス整合回路7と、それを用いた半導体素子2及び無線通信装置1の作用について、図1に沿って説明する。なお、本実施の形態にあっては、上述した無線通信装置1を、マイクロフォンの送話手段と、スピーカの受話手段とを備えた、移動体通信手段として、当該無線通信装置1により音声通話を行う場合について説明する。

【0147】

オペレータが、無線通信装置1を用いて例えば音声通話を行い際、まず、無線通信装置1に設けられた起動手段(図示せず)を介して、起動指令を入力すると、これを受けて無線通信装置1が起動される。さらに、オペレータが、無線通信装置1に設けられた入力手段(図示せず)を介して、接続指令を入力すると、無線通信装置1は、公衆回線やネットワークなどを介して、音声信号の送受信が可能な形に、他の無線通信装置1'(図示せず)と接続する。

10

【0148】

この状態で、オペレータが、音声信号を、マイクロフォン(図示せず)を介して無線通信装置1に入力すると、該音声信号は、DSP(図示せず)に入力される。DSPは、入力された音声信号について、符号化などの所定のデジタル処理を行うと、入力信号SI1として、図1に示す半導体素子2のデジタル処理回路2cに出力する。デジタル処理回路2cのデジタル変調器18は、入力信号SI1について所定のデジタル処理を行うと、入力信号SI1を1ビットずつ分割して、A/D変換回路2bに出力する。

20

【0149】

A/D変換回路2bのDAコンバータ16a、16bは、分割された入力信号SI1をアナログ変換すると、それぞれ、ローパスフィルタ13c、13dに出力する。ローパスフィルタ13c、13dは、入力信号SI1の高調波成分を除去すると、該入力信号SI1を、RF回路2aのミキサ11c、11dに出力する。一方、RF回路2aの移相同期ループ9は、搬送周波数(2.45[GHz])のキャリア信号を移相器10bに出力しており、移相器10bは、位相が90°異なるキャリア信号を、それぞれ、ミキサ11c、11dに出力する。ミキサ11c、11dは、入力信号SI1を、上記キャリア信号と合成させて直交変調した形で、インピーダンス整合回路7cを介してパワーアンプ5に出力する。

30

【0150】

インピーダンス整合回路7c、7dは、上述したように、電力を最大とするインピーダンス整合を行うように設定されているので、入力信号SI1の電力は、極力損失することなく、パワーアンプ5により所定値に増幅されて、インピーダンス整合回路7dを介して出力される。しかも、数37及び数38の比帯域幅wで、所定の帯域幅が設定されているので、該比帯域幅wに応じた入力信号SI1が、スイッチ12を介してアンテナ3に入力される。そして、アンテナ3は、入力信号SI1をその電力が十分増幅された形で、出力信号SO1として電磁波により放射する。こうして、出力信号SO1は、公衆回線やネットワークなどを介して、他の無線通信装置1'に送信される。

40

【0151】

また、アンテナ3が、他の無線通信装置1'から入力信号SI2を受信すると、該入力信号SI2を、スイッチ12を介してインピーダンス整合回路7aに出力する。インピーダンス整合回路7a、7bは、上述したように、雑音指数を最小とするインピーダンス整合を行うように設定されているので、入力信号SI2は、ローノイズアンプ6により、雑音極力発生することなく所定値に増幅されて、インピーダンス整合回路7bを介して出力される。しかも、上述と同様に、数18及び数19の比帯域幅wで、所定の帯域幅が設定されているので、該比帯域幅wに応じた入力信号SI2が2つの分岐されて、ミキサ11a、11bに入力される。

【0152】

50

一方、移相同期ループ9は、移相器10bと同様に、移相器10aにもキャリア信号を出力しており、移相器10aは、位相が90°異なるキャリア信号を、それぞれ、ミキサ11a、11bに出力する。ミキサ11a、11bは、入力信号SI2を、上記キャリア信号と合成させて直交復調した形で、I軸ベースバンド信号及びQ軸ベースバンド信号として、それぞれ、ローパスフィルタ13a、13bに出力する。ローパスフィルタ13a、13bは、I軸ベースバンド信号及びQ軸ベースバンド信号の高調波成分を除去し、可変ゲインアンプ14a、14bに出力する。可変ゲインアンプ14a、14bは、I軸ベースバンド信号及びQ軸ベースバンド信号の減衰した信号レベルを上昇させて、ADコンバータ15a、15bに出力する。ADコンバータ15a、15bは、入力されたI軸ベースバンド信号及びQ軸ベースバンド信号を、デジタル信号に変換して、デジタル処理回路2cのデジタル復調器17に出力する。デジタル復調器17は、I軸ベースバンド信号及びQ軸ベースバンド信号について、所定のデジタル復調を行い、出力信号SO2として、DSP(図示せず)に出力する。そして、DSPは、入力された出力信号SO2について復号化などの所定のデジタル処理を行うと、該出力信号SO2をスピーカに出力する。既に述べたように、雑音指数を最小とするインピーダンス整合が行われているので、出力信号SO2は、良好な音質の音声信号としてスピーカを介して出力される。

10

【0153】

以上のように、本発明に係るインピーダンス整合回路7は、インピーダンス整合と帯域調整とを可能としながらも、1つのインバータで、しかも、その線路長を $\lambda/4 + l$ として構成することができるので、その占有面積を比較的小さくすることができる。これにより、半導体素子2について、システム全体を1チップで実現する、SoC(System On a Chip)が可能となり、半導体素子と無線通信装置1について、小型化とコストの低減を図ることができる。

20

【0154】

なお、インピーダンス整合回路7のインピーダンス整合伝送線路30、40は、必ずしも、図3(a)及び図6(a)に示すように、直線状に構成する必要はなく、例えば、メアンダ(蛇行)状に構成して、さらに小型化を図ってもよい。この場合、伝送線路の幅を狭くすることにより、インピーダンス整合回路7の占有面積を小さくすることができる。図9は、伝送線路の幅を狭くした場合のインピーダンス整合回路7aの伝送線路の(一部省略)上面図を示している。

30

【0155】

伝送線路35の線幅W10及び間隔G10は、図9に示すように、図3で説明した伝送線路35の線幅W1及び間隔G1とその比率を同じにして、狭くされている。従って、伝送線路の幅が狭くされながら、伝送線路35の特性インピーダンスZ₃₅は、Z₀に維持されている。

【0156】

また、インピーダンス整合伝送線路30の線幅W20及び間隔G20も同様に、図3で説明したインピーダンス整合伝送線路30の線幅W2及び間隔G2とその比率を同じにして、狭くされている。従って、伝送線路の幅が狭くされながら、インピーダンス整合伝送線路30の特性インピーダンスZ₃₀は、所定値(上述と同様に83.4[Ω])維持されている。

40

【0157】

なお、スタブ25、25は、上述したように、KインバータのインダクタンスL(図3(b)参照)を構成する上で、所定の線路長に設定されているので、Kインバータ伝送線路33における接地導体22、22間の距離は、図9に示す接地導体距離L_Eに制限されている。また、図9においては、図3(a)で説明した部分と同一の符号を付して、その説明を省略する。

【0158】

次いで、上述したように、特性インピーダンスを維持しながら、その幅を狭くした伝送線路がメアンダ状に形成された、インピーダンス整合伝送線路30について、図10に沿っ

50

て説明する。図10は、Kインバータを用いた等価回路で示されたインピーダンス整合回路7aの模式図で、(a)は伝送線路をメアング状に形成した場合、(b)は伝送線路をKインバータの隣に配置した場合、(c)は接地導体幅を狭めた場合、(d)は隣り合う接地導体を除去した場合、(e)は伝送線路を接地導体距離内に形成した場合を示している。

【0159】

図10(a)に示すインピーダンス整合回路7aでは、図3(c)で説明した、直線状のインピーダンス整合伝送線路30が、信号線(白線)21と共に、スリット(黒線)23、23が図中左右方向に向きを変えて、メアング状に形成されている。信号線21同士は、スリット23、接地導体22a、及びスリット23を介して隣合うように形成されるので、インピーダンス整合回路7aにおける接地導体22aの占める面積を少なくすることができる。

10

【0160】

図10(b)に示すインピーダンス整合回路7aでは、メアング状に形成されたインピーダンス整合伝送線路30が、Kインバータ伝送線路33とローノイズアンプ6との間に配置されている。

【0161】

図10(c)に示すインピーダンス整合回路7aでは、接地導体22aの接地導体幅tを、同図(b)に示す接地導体幅tより狭くしている。これにより、インピーダンス整合回路7aにおける接地導体22aの占める面積を、上記接地導体幅tより狭くした分、少なくすることができる。

20

【0162】

図10(d)に示すインピーダンス整合回路7aでは、接地体幅tをスリット23の間隔G(図示せず)とし、信号線21同士を、スリット23のみを介して隣合うように形成されるので、インピーダンス整合回路7aにおける接地導体22aの占める面積を、さらに少なくすることができる。

【0163】

図10(e)に示すインピーダンス整合回路7aでは、インピーダンス整合伝送線路30のうち、Kインバータ伝送線路33側の伝送線路に、屈曲部VD、VDを設けて、インピーダンス整合伝送線路30を、接地導体距離 L_E の範囲(破線内)に構成している。

30

【0164】

インピーダンス整合回路7を、このように構成することにより、インピーダンス整合伝送線路30、40の線路長 L_{E1} 、 L_{E2} をコンパクトに構成することができるので、インピーダンス整合伝送線路30、40の小型化が可能となり、半導体素子2上におけるインピーダンス整合回路7の占有面積を、さらに小さくすることができる。

【0165】

なお、インピーダンス整合伝送線路30の小型化する形状として、信号線21を図中左右方向に向きを変えて、メアング状に形成した形状を示したが、信号線21の間隔を狭めるような形状あればこれに限られず、例えば、信号線21を、図中上下方向に向きを変えて、メアング状に形成してもよい。また、上述したインピーダンス整合伝送線路の小型化は、インピーダンス整合回路7b、7c、7dについても同様であり、その説明を省略する。

40

【0166】

このように、インピーダンス整合回路7は、線幅Wと間隔Dとの比率を一定に維持しながら、インピーダンス整合伝送線路30、40を小型化することができるが、線幅Wが小さくなる分、信号の挿入損失が増大する場合があるので、インピーダンス整合回路7のクオリティファクタQを向上させるために、例えば、後述する接地層29を設けることも可能である。図11は、インピーダンス整合回路7の(一部省略)断面図で、(a)は誘電体基板20の裏面20Bにシリコン基板27を形成した場合、(b)は誘電体基板20の裏面20Bに接地層29を形成した場合を示している。

50

【0167】

なお、図11は、図2に示すインピーダンス整合回路7をA方向から見た断面図であり、後述する電磁界シミュレーションが可能な形に、インピーダンス整合回路7を簡略した形で示したものである。また、信号線21及び接地導体22上に形成されるパッシベーション膜は省略している。

【0168】

図11(a)に示すインピーダンス整合回路7では、シリコン(Si)からなるシリコン基板27上に、誘電体基板20として機能する、2酸化シリコン(SiO₂)からなる酸化層が成膜されている。誘電体基板20上には、アルミニウム(Al)からなる信号線21と、該信号線21の両側からスリット23、23を介して、アルミニウム(Al)からなる接地導体22、22とが形成されている。

10

【0169】

一方、図11(b)に示すインピーダンス整合回路7では、図11(a)に示すインピーダンス整合回路7と同様に、2酸化シリコン(SiO₂)からなる誘電体基板20上には、アルミニウム(Al)からなる信号線21と、スリット23、23を介して、アルミニウム(Al)からなる接地導体22、22とが形成されている。一方、誘電体基板20の裏面(誘電体基板の一方の面)20Bには、図11(a)に示すインピーダンス整合回路7と異なり、上記接地導体22、22と導通された、アルミニウム(Al)からなる接地層29が形成されている。

【0170】

これら、図11(a)、(b)に示すインピーダンス整合回路7について、所定の電磁界シミュレーションに基づいて、クオリティファクタQ(無負荷Q_u)を演算すると、図11(a)に示すインピーダンス整合回路7のQ_uは、「20」となるのに対し、図11(b)に示すインピーダンス整合回路7のQ_uは、「39」となる。すなわち、インピーダンス整合回路7は、誘電体基板20の裏面(誘電体基板の一方の面)20Bに、大きな抵抗値を有するシリコン(Si)を形成することなく、上記接地層29を形成することにより、クオリティファクタQを向上することができる。

20

【0171】

なお、電磁界シミュレーションの条件は、無線LANの規格である、IEEE(米国電気電子学会)802.11Bであって、中心周波数 f_0 は、2.45[GHz]である。以下の説明における電磁界シミュレーションの条件についても同様である。

30

【0172】

また、誘電体基板20の裏面20Bに接地層29が形成だけでなく、さらに伝送線路の板厚Dを増大させて、クオリティファクタQを向上させることも可能である。図12は、伝送線路の板厚Dを増大させた場合のインピーダンス整合回路7の(一部省略)断面図を示している。なお、図12は、図11と同様に、図2に示すA方向から見た断面図であり、電磁界シミュレーションが可能な形に、インピーダンス整合回路7を簡略した形で示している。

【0173】

図12(a)、(b)、(c)に示すインピーダンス整合回路7は、いずれも、図11(b)で説明したインピーダンス整合回路7と同様に、誘電体基板20の裏面20Bに接地層29が形成されている。信号線21及び接地導体22上には、2酸化シリコン(SiO₂)からなる酸化層53が成膜されており、さらに、該酸化層53上には、窒化シリコン(SiN)からなる窒化層50が成膜されている。そして、信号線21及び接地導体22の伝送線路は、図12の(a)、(b)、(c)の順に、その板厚Dが、 $D_1 < D_2 < D_3$ となるように形成されている。

40

【0174】

このようなインピーダンス整合回路7について、上述と同様に、電磁界シミュレーションに基づいて、クオリティファクタQ(無負荷Q_u)を演算すると、Q_uは、図12の(a)、(b)、(c)の順に、「33」、「64」、「68」となる。すなわち、インピー

50

ダンス整合回路7は、信号線21及び接地導体22の板厚Dを大きくすることにより、クオリティファクタQをさらに向上させることができる。

【0175】

上述した、図12(c)に示すインピーダンス整合回路7を、積層された誘電体層により構成した一例について、図13に沿って説明する。図13は、積層された誘電体層20a、20b、20c、20dにより、板厚Dが増大させた場合のインピーダンス整合回路7の(一部省略)断面図を示している。なお、図13は、図11及び図12と同様に、図2に示すA方向から見た断面図である。

【0176】

インピーダンス整合回路7は、図13に示すように、シリコン(Si)からなるシリコン基板27上に、2酸化シリコン(SiO₂)からなる酸化層(ILD)55が成膜されており、該酸化層55上には、接地層29を介して誘電体基板20が形成されている。該誘電体基板20は、例えば、半導体製造プロセスの国際標準に相当する、TSMC(登録商標)のデザインルール(例えば0.25μmプロセス)に基づいて、4つの層により構成されており、第1誘電体層(IMD1)20a、第2誘電体層(IMD2)20b、第3誘電体層(IMD3)20c、第4誘電体層(IMD4)20dからなる。

10

【0177】

第3誘電体層20c上には、アルミニウム(Al)からなる信号線(信号層)21Dと、該信号線21Dの両側からスリット23D、23Dを介して、アルミニウム(Al)からなる接地導体(接地導層)22D、22Dとからなる、第4メタル層(M4)が形成されている。また、第4誘電体層20d上には、同様に、アルミニウム(Al)からなる信号線(信号層)21Eと、該信号線21Eの両側からスリット23E、23Eを介して、アルミニウム(Al)からなる接地導体(接地導層)22E、22Eと、からなる、第5メタル層(M5)が形成されている。また、第5メタル層上には、2酸化シリコン(SiO₂)からなる酸化層(PASS1)53が成膜されており、さらに、該酸化層53上には、窒化シリコン(SiN)からなる窒化層(PASS2)50が成膜されている。

20

【0178】

第4メタル層、及び第5メタル層における、信号線21D、21E同士、及び接地導体22D、22E同士は、図中上下方向に重なるように配置されており、第4誘電層20dに、所定径からなる複数のビア51、52が形成されている。すなわち、第4メタル層の信号線21Dと、第5メタル層の信号線21Eは、ビア(層間導通手段)51により導通され、第4メタル層の接地導体22D、22Dと、第5メタル層の接地導体22E、22Eも同様に、ビア(層間導通手段)52により導通されている。これにより、伝送線路の板厚は、図12(c)に示す板厚D3となるように形成されている。

30

【0179】

半導体の製造プロセスには、半導体素子2上に構成される伝送線路の線幅や板厚などを規定するデザインルールが設定されており、このようなデザインルールにより、1層あたりの伝送線路の板厚Dに制限があるような場合においても、問題なく板厚Dを増大させることができ、クオリティファクタQを向上させることができる。これにより、半導体素子2上を構成する回路として、積層されて構成される、例えばCMOSなどと共に、インピーダンス整合回路7を、該半導体素子2上を構成することができる。

40

【0180】

なお、図13に示すインピーダンス整合回路7の誘電体層20a、20b、20c、20d、...は、特に4層に限る必要はなく、所定のデザインルールに応じて、誘電体層20n毎に、信号線21A、21B、21C、21D、...と、接地導体22A、22B、22C、22D、...を適宜形成してもよい。また、図11ないし図13で示した、信号線21、接地導体22、及び接地層29の材料例と、誘電体基板20、及び誘電体層20nの材料例として、それぞれ、アルミニウム(Al)と、2酸化シリコン(SiO₂)を示したが、同様の物理特性を有する材料であれば、特にこれに限る必要はない。

【0181】

50

このように、積層された誘電体層 20n により構成すると共に、図 10 に示すようにインピーダンス整合伝送線路 30 をメアング状に形成した、インピーダンス整合回路 7 について、図 14 に説明する。図 14 は、小型化されたインピーダンス整合伝送線路 30 を有するインピーダンス整合回路 7a の伝送線路の上面図で、(a) は第 4 メタル層 (M4) が形成された場合、(b) は第 4 メタル層及び第 5 メタル層 (M4 + M5) がビア 51、52 で接続された場合を示している。なお、図 14 (a)、(b) に示すインピーダンス整合回路 7a は、いずれも、TSMC (登録商標) のデザインルール (例えば 0.25 μm プロセス) に基づいて設計した例である。

【0182】

第 4 メタル層が形成されたインピーダンス整合回路 7a は、図 14 (a) に示すように、K インバータ伝送線路 33 の横幅が、144 [μm] となり、また、メアング状に形成されたインピーダンス整合伝送線路 30 の横幅が、857 [μm] となる。一方、インピーダンス整合回路 7a の縦幅は、90 [μm] となる。従って、その占有面積 S は、1.00 [mm] \times 0.09 [mm] = 0.09 [mm^2] となる。

10

【0183】

また、第 4 メタル層と第 5 メタル層とがビア 51、52 (図 13 参照) で接続されたインピーダンス整合回路 7a は、図 14 (b) に示すように、K インバータ伝送線路 33 の横幅が、180 [μm] となり、また、メアング状に形成されたインピーダンス整合伝送線路 30 の横幅が、455 [μm] となる。一方、インピーダンス整合回路 7a の縦幅は、190 [μm] となる。従って、その占有面積 S は、0.64 [mm] \times 0.19 [mm] = 0.12 [mm^2] となる。

20

【0184】

このように、インピーダンス整合回路 7a は、いずれも占有面積 S を、略 0.1 [mm^2] とすることができ、図 17 に示す従来のインピーダンス整合回路 60 の占有面積 (0.5 [mm^2]) より小さくすることができる。しかも、図 14 (b) に示すインピーダンス整合回路 7a は、既に述べたように、信号線 21 及び接地導体 22 の板厚 D が増大されているので、クオリティファクタ Q を向上させることができる。

【0185】

これら、図 14 (a)、(b) に示すインピーダンス整合回路 7a において、上述した電磁界シミュレーションに基づいて演算した S パラメータについて、図 15 に沿って説明する。図 15 は、図 14 に示すインピーダンス整合回路 7a の S パラメータの演算結果を示している。

30

【0186】

なお、図中の実線は、第 4 メタル層 (M4) が形成された、インピーダンス整合回路 7a (図 14 (a) 参照) の S パラメータを示している。また、図中の破線は、第 4 メタル層及び第 5 メタル層 (M4 + M5) がビア 51、52 で接続された、インピーダンス整合回路 7a (図 14 (b) 参照) の S パラメータを示している。また、S パラメータとしては、反射損失 $|S_{11}|$ (入力した信号が反射して戻ってくる割合)、挿入損失 $|S_{21}|$ (入力される信号の順方向に伝達する割合) を示している。

【0187】

反射損失 $|S_{11}|$ は、中心周波数 f_0 、2.45 [GHz] において、図中上方にピークを有しており、挿入損失 $|S_{21}|$ は、同様に 2.45 [GHz] において、図中下方にピークを有している。従って、信号は、ほとんど反射することなく、中心周波数 f_0 で帯域通過しており、インピーダンス整合回路 7a は、図 14 に示すように小型化が図られながらも、既に述べたように、インピーダンス整合及び帯域調整が可能なフィルタとして機能している。

40

【0188】

また、中心周波数 f_0 における挿入損失 $|S_{21}|$ は、第 4 メタル層に第 5 メタル層をビア 51、52 で接続した、インピーダンス整合回路 7a (破線) が、小さい値 (約 -30 [dB]) となっていることから、上述したように、板厚 D を増大させることにより、信

50

号の損失を低減することができる。

【0189】

なお、本実施の形態において、インピーダンス整合回路7は、1段のフィルタを示したが、特に1段に限る必要はなく、多段化してもよい。例えば、インピーダンス整合回路7aのKインバータ伝送線路33と伝送線路35との間に、Kインバータと半波長共振回路とを交互に接続する、半波長多段フィルタ(図示せず)を介在させてもよい。同様に、インピーダンス整合回路7cのJインバータ伝送線路43と伝送線路45との間に、Jインバータと半波長共振回路とを交互に接続する、半波長多段フィルタ(図示せず)を介在させてもよい。これにより、通過帯域外における急峻な帯域外減衰特性(カット特性)の高いバンドパスフィルタを構成することができ、たとえ狭い帯域幅であっても、高い周波数選択度を実現することができる。

10

【0190】

さらに、バンドパスフィルタとして、図16に示すように、1/4波長多段フィルタ90a、90bを構成してもよい。1/4波長多段フィルタ90aは、図16(a)に示すように、インピーダンス整合回路7aのKインバータ伝送線路33と伝送線路35との間に介在しており、1/4波長伝送線路(共振回路)91a、91b、...、91n-1と、インバータ伝送線路(インピーダンス反転回路)92a、92b、...、92nとが交互に接続されている。また、インバータ伝送線路92a、92b、...、92nを構成する、KインバータとJインバータとは、1/4波長伝送線路91a、91b、...、91n-1を介して隣合うように接続されている。

20

【0191】

同様に、1/4波長多段フィルタ90bは、図16(b)に示すように、インピーダンス整合回路7bのJインバータ伝送線路43と伝送線路45との間に介在しており、1/4波長伝送線路(共振回路)93a、93b、...、93n-1と、インバータ伝送線路(インピーダンス反転回路)95a、95b、...、95nとが交互に接続されている。また、インバータ伝送線路95a、95b、...、95nを構成する、KインバータとJインバータとは、1/4波長伝送線路93a、93b、...、93n-1を介して隣合うように接続されている。これにより、1/4波長多段フィルタ90a、90bの大きさを、上述した半波長多段フィルタの略半分にすることができ、高い周波数選択度を実現しながら、インピーダンス整合回路7を小型化することができる。

30

【0192】

なお、本実施の形態において、無線通信について適用したインピーダンス整合回路7について説明したが、有線通信であっても、本発明を適用することが出来るのは勿論である。

【0193】

また、本実施の形態において、コプレーナ線路で構成された、インピーダンス整合回路7について説明したが、信号線と接地導体とが各々誘電体基板の表裏に形成される、マイクロストリップ線路や、信号線を誘電体基板中に構成する、ストリップ線路などの分布定数線路についても本発明を適用することができる。

【図面の簡単な説明】

【図1】図1は、本発明が適用される無線通信装置の一例を示すブロック図。

40

【図2】インピーダンス整合回路を構成するコプレーナ線路の構造の一例を示す(一部断面)斜視図。

【図3】ローノイズアンプの入力端に接続されたインピーダンス整合回路の周辺における伝送線路の説明図で、(a)は伝送線路の(一部省略)上面図、(b)は伝送線路の等価回路、(c)はKインバータを用いた等価回路。

【図4】Kインバータにより構成されるフィルタの説明図で、(a)はフィルタの回路図、(b)はフィルタを伝送する信号の電圧振幅、(c)はフィルタの等価回路。

【図5】ローノイズアンプの入力端に接続されたインピーダンス整合回路の特性インピーダンスと線路長の説明図で、(a)はインピーダンス整合回路の回路図、(b)はインピーダンス整合回路を伝送する信号の電圧振幅、(c)はインピーダンス整合回路の等価回

50

路。

【図6】ローノイズアンプの出力端に接続されたインピーダンス整合回路の周辺における伝送線路の説明図で、(a)は伝送線路の(一部省略)上面図、(b)は伝送線路の等価回路、(c)はJインバータを用いた等価回路。

【図7】Jインバータにより構成されるフィルタの説明図で、(a)はフィルタの回路図、(b)はフィルタを伝送する信号の電圧振幅、(c)はフィルタの等価回路。

【図8】ローノイズアンプの出力端に接続されたインピーダンス整合回路の特性インピーダンスと線路長の説明図で、(a)はインピーダンス整合回路の回路図、(b)はインピーダンス整合回路を伝送する信号の電圧振幅、(c)はインピーダンス整合回路の等価回路。

10

【図9】伝送線路の幅を狭くした場合のインピーダンス整合回路の伝送線路の(一部省略)上面図。

【図10】Kインバータを用いた等価回路で示されたインピーダンス整合回路の模式図で、(a)は伝送線路をメアング状に形成した場合、(b)は伝送線路をKインバータの隣に配置した場合、(c)は接地導体幅を狭めた場合、(d)は隣り合う接地導体を除去した場合、(e)は伝送線路を接地導体距離内に形成した場合。

【図11】インピーダンス整合回路の(一部省略)断面図で、(a)は誘電体基板の裏面にシリコン基板を形成した場合、(b)は誘電体基板の裏面に接地層を形成した場合。

【図12】伝送線路の板厚を増大させた場合のインピーダンス整合回路の(一部省略)断面図。

20

【図13】積層された誘電体層により板厚を増大させた場合のインピーダンス整合回路の(一部省略)断面図。

【図14】小型化されたインピーダンス整合伝送線路のインピーダンス整合回路の伝送線路の上面図で、(a)は第4メタル層が形成された場合、(b)は第4メタル層と第5メタル層とがビアで接続された場合。

【図15】図14に示すインピーダンス整合回路のSパラメータの演算結果を示す図。

【図16】インバータと1/4波長共振回路とを交互に接続して多段化したインピーダンス整合回路の等価回路を示す図であって、(a)はローノイズアンプの入力端に接続されたインピーダンス整合回路、(b)はローノイズアンプの出力端に接続されたインピーダンス整合回路。

30

【図17】集中定数素子により構成された、従来のインピーダンス整合回路を示す図。

【符号の説明】

- 1 無線通信装置
- 2 半導体素子
- 3 アンテナ
- 5、6 負荷、アンプ
- 7 a、7 b、7 c、7 d インピーダンス整合回路
- 20 誘電体基板
- 20 F 誘電体基板の一方の面
- 20 B 誘電体基板の他方の面
- 20 a、20 b、20 c、20 d 誘電体層
- 21 信号線
- 21 D、21 E 信号層
- 22 接地導体
- 22 D、22 E 接地導体層
- 29 接地層
- 31 リアクタンス補償分布定数線路
- 32 1/4波長分布定数線路
- 33 インピーダンス反転分布定数線路
- 41 リアクタンス補償分布定数線路

40

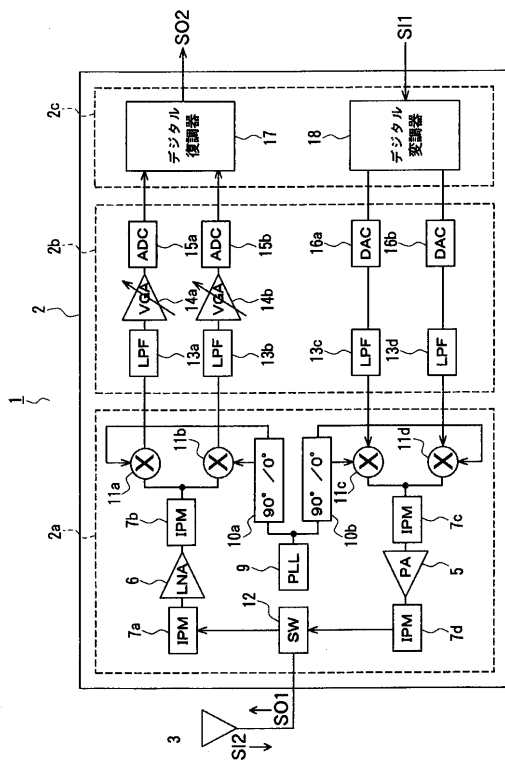
50

- 4 2 1 / 4 波長分布定数線路
- 4 3 インピーダンス反転分布定数線路
- 5 1、5 2 層間導通手段
- 9 0 a、9 0 b 狭帯域通過分布定数線路
- 9 1 a、9 1 b、...、9 1 n - 1、9 3 a、9 3 b、...、9 3 n - 1 共振回路
- 9 2 a、9 2 b、...、9 2 n、9 5 a、9 5 b、...、9 5 n インピーダンス反転回路
- B_L 負荷のリアクタンス
- G 所定間隔
- J_{1、2} インピーダンス反転回路のインバータ
- K_{0、1} インピーダンス反転回路のインバータ
- S I 1 入力される信号
- S I 2 入力される信号
- w 帯域幅
- X_S 負荷のリアクタンス
- Y₁ 設定された帯域幅に応じた特性インピーダンス
- Z₁ 設定された帯域幅に応じた特性インピーダンス
- Z_L 負荷のインピーダンス
- Z_S 負荷のインピーダンス
- l 負荷のリアクタンスを補償する長さ
- l / 4 入力される信号の 1 / 4 波長

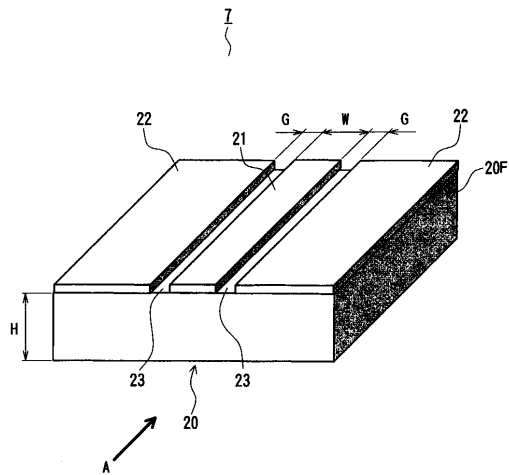
10

20

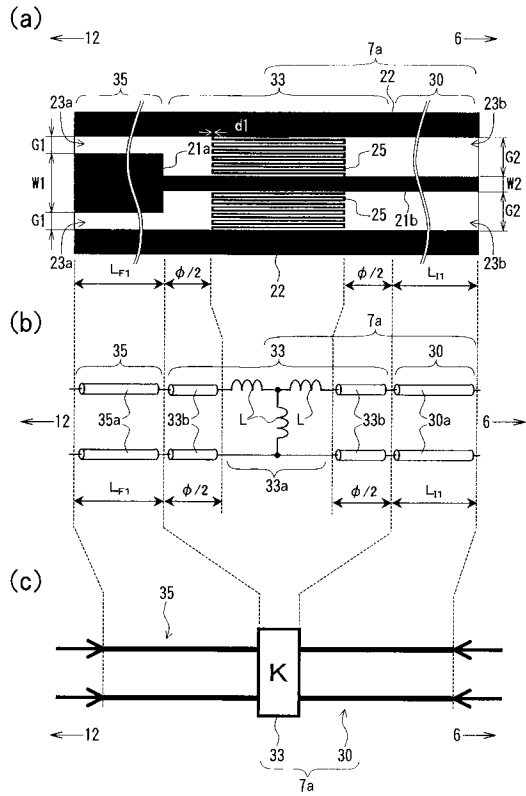
【図 1】



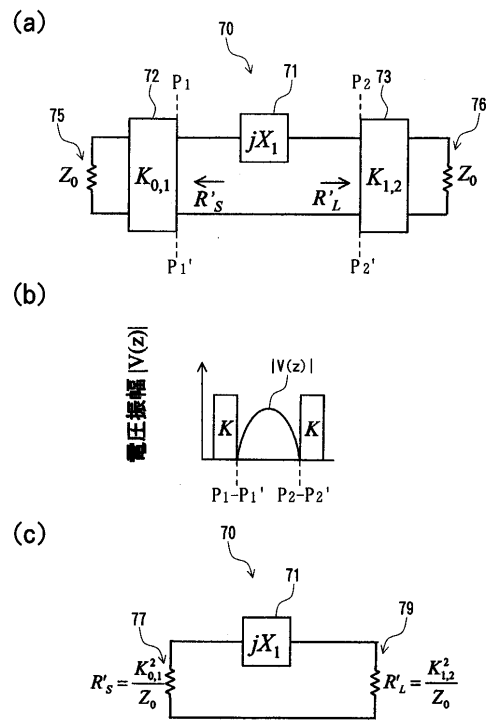
【図 2】



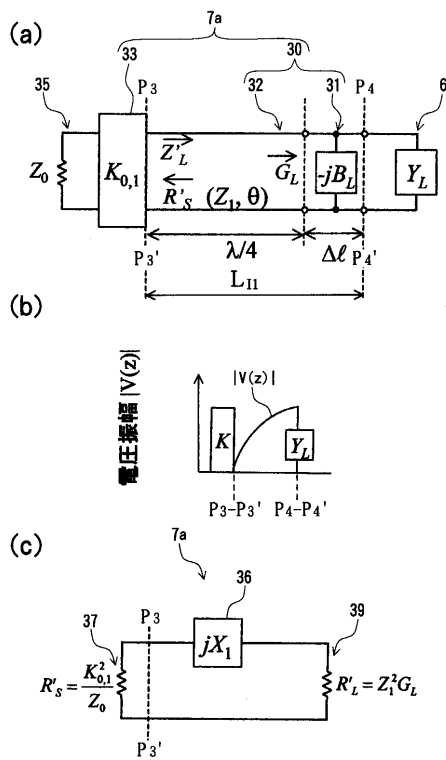
【図3】



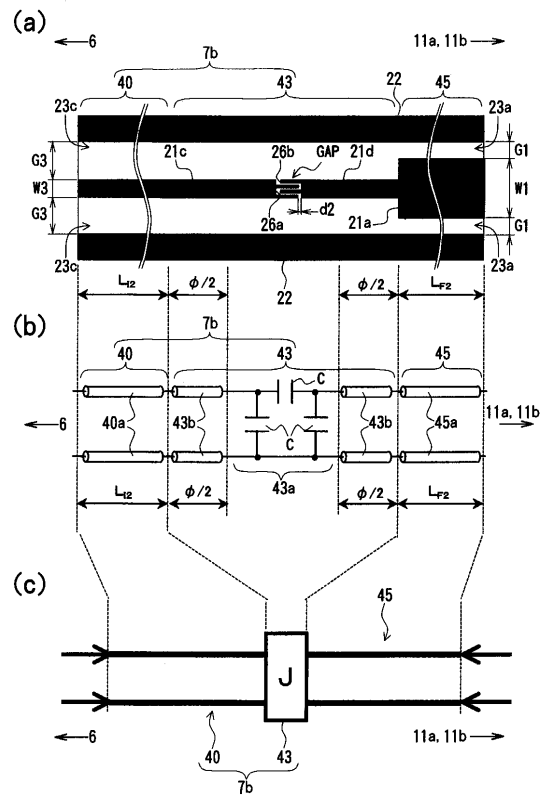
【図4】



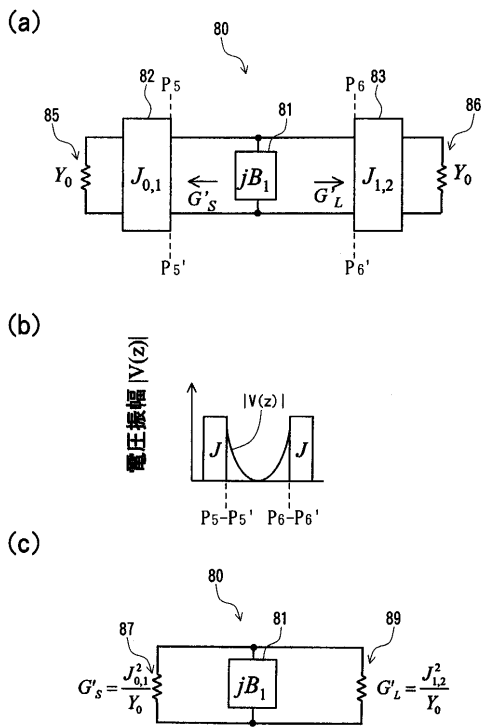
【図5】



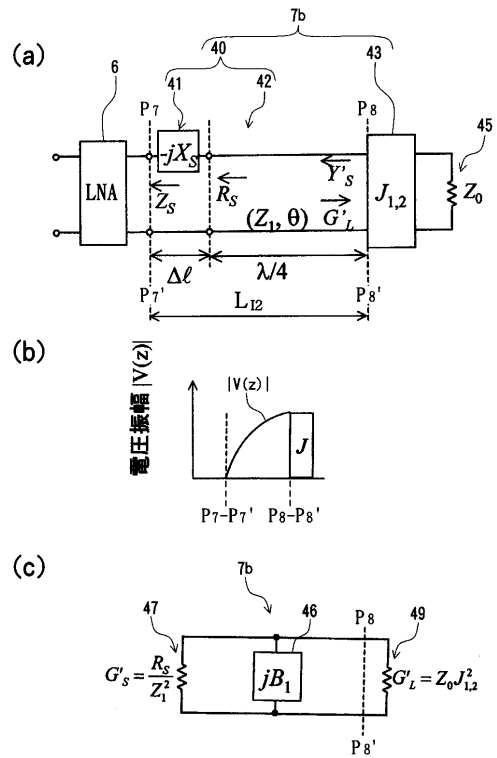
【図6】



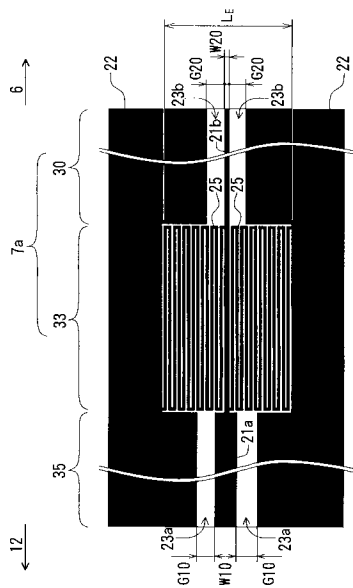
【 図 7 】



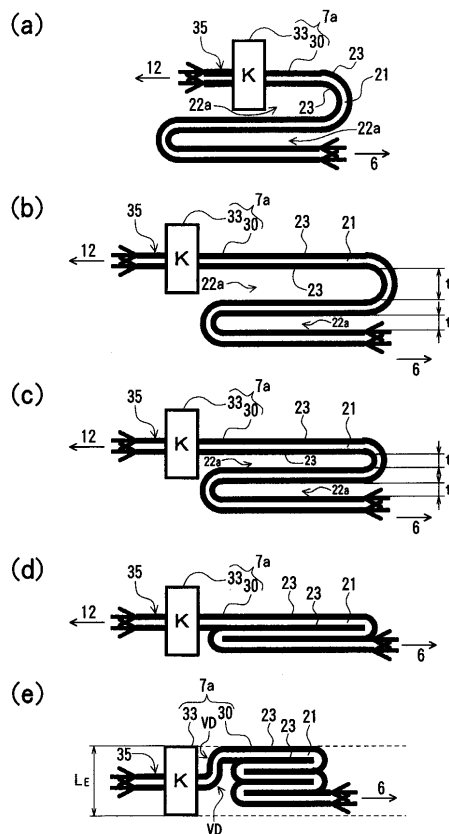
【 図 8 】



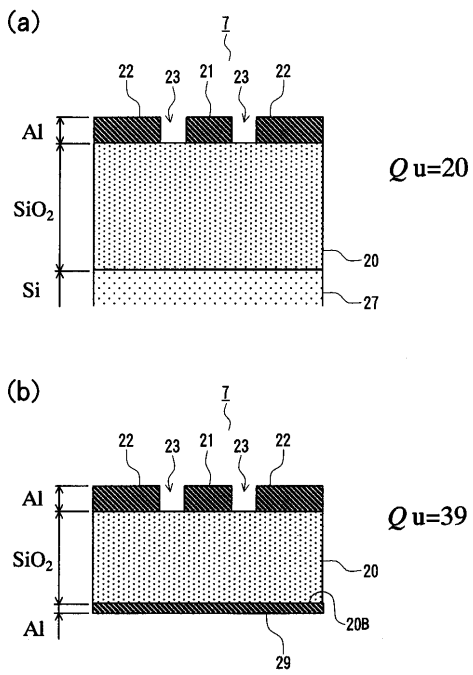
【 図 9 】



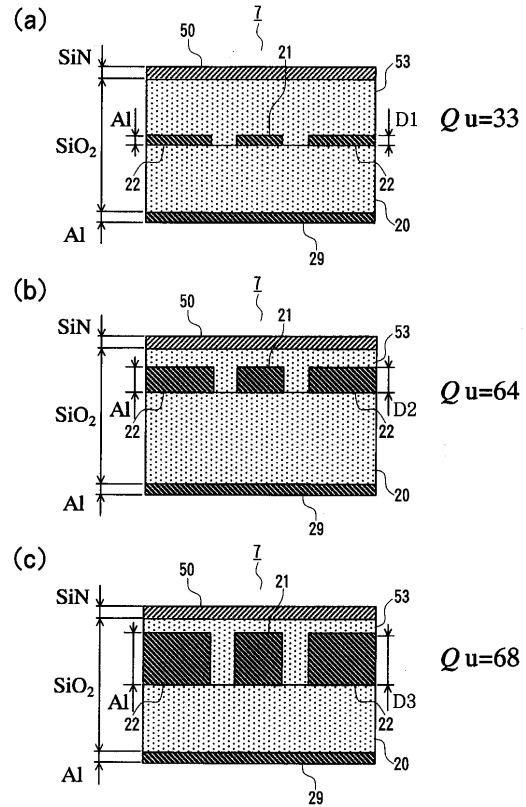
【 図 10 】



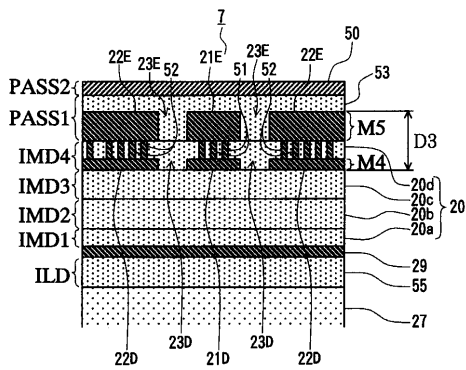
【 図 1 1 】



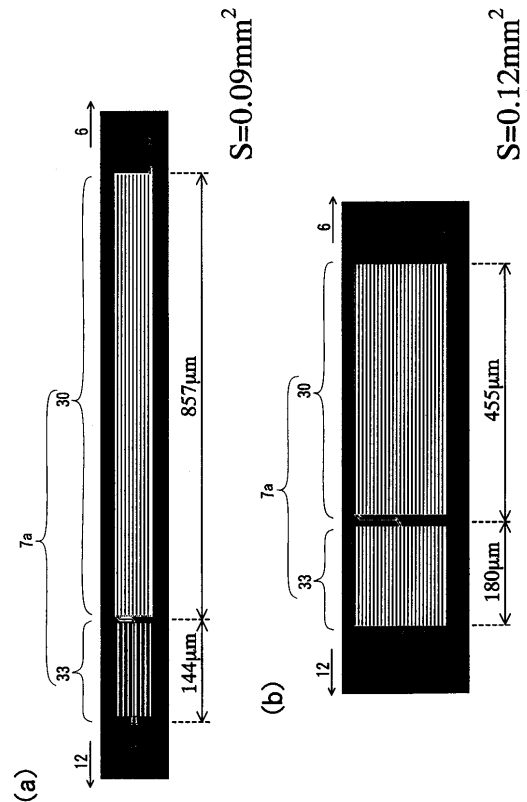
【 図 1 2 】



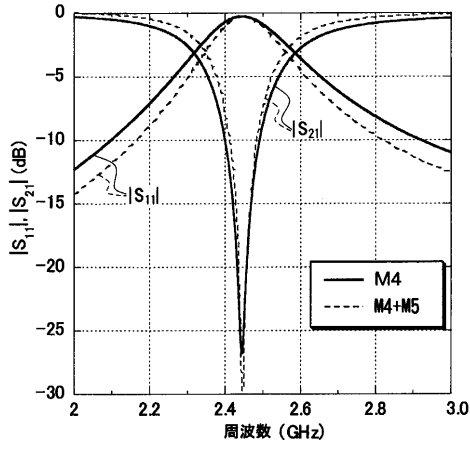
【 図 1 3 】



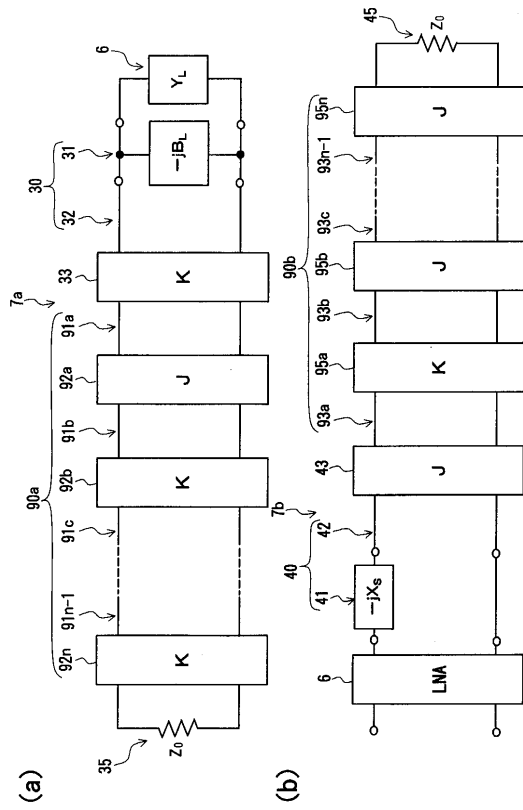
【 図 1 4 】



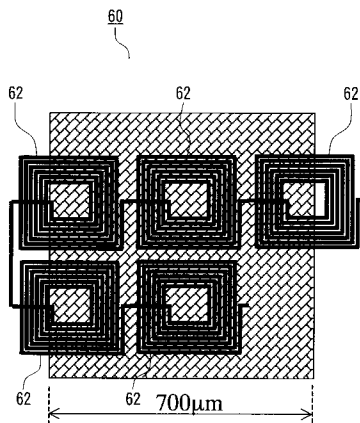
【 図 15 】



【 図 16 】



【 図 17 】



$S=0.5\text{mm}^2$

フロントページの続き

- (72)発明者 金谷 晴一
福岡県春日市大和町1 - 4 - 2 春日住宅5 - 4 1
- (72)発明者 土屋 忠明
福岡県久留米市六ツ門町1 1 - 1 1 - 2 0 8

審査官 宮崎 賢司

- (56)参考文献 特開平09 - 294001 (JP, A)
特開平08 - 250914 (JP, A)
特開2002 - 335108 (JP, A)
古閑陽子, フィルタ付き超伝導スロットアレーアンテナの設計評価, 信学技報(TECHNICAL REPORT OF IEICE)MW2002 - 5, 日本, 電子情報通信学会, 2002年 4月10日
高橋司, 広帯域・小型超伝導アンテナの提案および設計, 2000年電子情報通信学会総合大会C - 8 - 12, 日本, 電子情報通信学会, 2000年 3月 7日
高橋司, 超伝導スロットアンテナ用広帯域インピーダンス整合回路の設計, 2000年電子情報通信学会エレクトロニクスソサイエティ大会C - 8 - 12, 日本, 電子情報通信学会, 2000年 9月 7日
高橋司, 超伝導スロットアンテナ用インピーダンス整合回路の帯域設計, 信学技報(TECHNICAL REPORT OF IEICE)MW2000 - 87, 日本, 電子情報通信学会, 2000年 8月22日
毛利篤史, フィルター一体型超伝導小型アンテナの開発, 信学技報(TECHNICAL REPORT OF IEICE)MW2001 - 4, 日本, 電子情報通信学会, 2001年 4月18日
浜村尚広, メアンダーライン並列共振素子を用いた高温超伝導コプレーナ線路型帯域通過フィルタの設計, 信学技報MW2001 - 10, 日本, 電子情報通信学会, 2001年 4月18日

(58)調査した分野(Int.Cl., DB名)

H01P 5/02
WPI