

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4033818号
(P4033818)

(45) 発行日 平成20年1月16日(2008.1.16)

(24) 登録日 平成19年11月2日(2007.11.2)

(51) Int. Cl.		F I		
HO 1 L	21/82	(2006.01)	HO 1 L	21/82 A
GO 2 F	3/00	(2006.01)	GO 2 F	3/00 5 O 1
HO 3 K	19/173	(2006.01)	HO 3 K	19/173

請求項の数 2 (全 12 頁)

(21) 出願番号	特願2003-271062 (P2003-271062)	(73) 特許権者	503360115
(22) 出願日	平成15年7月4日(2003.7.4)		独立行政法人科学技術振興機構
(65) 公開番号	特開2005-33017 (P2005-33017A)		埼玉県川口市本町4丁目1番8号
(43) 公開日	平成17年2月3日(2005.2.3)	(74) 代理人	100099508
審査請求日	平成16年6月7日(2004.6.7)		弁理士 加藤 久
		(72) 発明者	渡邊 実
			福岡県飯塚市大字伊岐須1-4-4-403
		(72) 発明者	小林 史典
			福岡県宗像市大谷2-11
		審査官	池淵 立

最終頁に続く

(54) 【発明の名称】 光再構成型ゲートアレイおよびそのリセット方法

(57) 【特許請求の範囲】

【請求項1】

論理演算回路を構成するコンフィギュレーション・ロジックブロックと、このコンフィギュレーション・ロジックブロックに演算プログラムを設定するプログラム設定用受光素子とを平面状のチップ上に多数配列し、前記チップ上に配置されたホログラムメモリに光を照射して、前記受光素子のそれぞれにプログラムに応じた光信号を同時に照射することにより、前記コンフィギュレーション・ロジックブロックを再構成する光再構成型ゲートアレイにおいて、

前記各コンフィギュレーション・ロジックブロックの周囲に配線領域を設け、配線領域の交差部にスイッチングマトリックスを設け、前記チップの端部の配線領域に位置するスイッチングマトリックスに入出力ブロックを設け、

かつ、前記コンフィギュレーションブロックの出力バッファ部と前記入出力ブロックの入出力バッファ部のみに、光リセット機能を持つスイッチング手段を配置したことを特徴とする光再構成型ゲートアレイ。

【請求項2】

論理演算回路を構成するコンフィギュレーション・ロジックブロックと、このコンフィギュレーション・ロジックブロックに演算プログラムを設定するプログラム設定用受光素子とを平面状のチップ上に多数配列し、前記各コンフィギュレーション・ロジックブロックの周囲に配線領域を設け、配線領域の交差部にスイッチングマトリックスを設け、前記チップの端部の配線領域に位置するスイッチングマトリックスに入出力ブロックを設け、

10

20

前記コンフィギュレーションブロックの出力バッファ部と前記入出力ブロックの入出力バッファ部のみに、光リセット機能を持つスイッチング手段を配置した光再構成型ゲートアレイのリセット方法であって、

まず、全てのコンフィギュレーション・ロジックブロックの内部状態を、前記スイッチングマトリックスのスイッチを異なる周期のオンオフ信号で駆動したときの出力信号に基づいて決定し、内部状態がオンであるコンフィギュレーション・ロジックブロックの受光素子のみに光を照射して内部状態をオフにすることを特徴とする光再構成型ゲートアレイのリセット方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、ゲートアレイの記憶素子全てに対して同時にリセットを行う回路を備えた光再構成型ゲートアレイおよびそのリセット方法に関する。

【背景技術】

【0002】

近年、FPGA (Field Programmable Gate Array) を使用して動的に回路を変更する再構成型プロセッサや再構成型ニューラルネットワークなど、再構成型ハードウェアの研究が盛んに行われている。

【0003】

FPGAは、AND素子やOR素子といった論理演算回路を構成するロジックセルの集合(ロジックブロック)と、各ロジックセルをどのような回路にするかを定める配線であるスイッチングマトリックスとで構成されている。

20

【0004】

実際のFPGAでは、スイッチングマトリックスの情報や内部の回路情報を高密度のRAMのセルとして蓄えており、その蓄えた情報によって、所望の回路として動作するようになっている。これらのRAMは、電源を切るとメモリの内容が失われてしまうので、次に動作する場合、必ず、構成とか再構成(configuration)とかという作業が必要になる。また、同じFPGAを用いて異なる演算をする場合も、演算の前に再構成を行うことが必要となる。

【0005】

30

従来のFPGAでは、(シリアル)ROM等からユーザが望む回路構成を電氣的にダウンロードして実装(構成・再構成:プログラム)する方式をとる。このダウンロードはシリアルバスもしくは数ビットのバスによって行われ、一般的に1回につき数十msの時間が必要になる。

【0006】

このため、ダイナミックにFPGA上の回路をその都度変更しながら使用する、再構成型ハードウェア演算器として使用することには難点があった。

従来の多くのFPGAでは、ユーザ回路に使用する配線エリアを出来る限り広く開放するために、プログラムを入れるために使用する回路の配線エリアが最小となるよう設計する。多くの場合、ユーザ回路が格納されるメモリーは直列に接続され、それに対する書き込みはシリアル的に1クロックに1ビットずつ転送する方式をとる。高速な構成・再構成、つまり高速にメモリーにデータを書き込むためには、このシリアルバスのバス幅を広くすればよいが、そうするとユーザに開放できる配線リソースが減少し、本来のプログラマブルゲートアレイの柔軟な回路設計が可能であるという利点が減少する。

40

【0007】

FPGAというのはそもそもユーザに全ての回路エリアを開放することが目的である。チップの回路エリアも全部開放して、ユーザに使ってもらうのが一番望ましい。そうすると、チップ単価も安くできる。ユーザが使うゲートの数はチップによって決まる。そのチップの面積の何割をユーザに開放するかは非常に重要なことである。ただ、FPGAは、プログラムできるようにしているために、プログラムするための回路、データを流し込む

50

ための回路が必ず必要になる。高速な書き込みを行うために、バス幅を大きくしたり複数のラインにすればスループットが上がるが、それを実現するには膨大な配線リソースを要する。そうすると、限られたエリアでのユーザが利用できるゲート数が減ってきて、本来のFPGAのメリットが削減されることになる。

【0008】

再構成には時間がかかるが、ユーザにできる限り回路を開放したいというのが現在のFPGAの基本思想である。このような基本思想に従えば、再構成に時間がかかることは、既存の電気回路を使用している限り、避けようがない。

【0009】

一方、LSIの製造工程では一般に不純物による製造不良が多く発生するため、大きなダイサイズにした場合、それだけ不良を含む可能性が高くなりコスト増を招いている。その理由により巨大なダイサイズのLSI、FPGAは未だ実現されていない。FPGA等のプログラムデバイスを用い、不良部位を回避したプログラムを行うことで、不良を含むが安価で大規模であるLSIが実現できると期待されている。しかし、既存のFPGAでは構成・再構成を行う回路がシリアルにつながっており、この部位に不良が発生するとデバイスの殆どのエリアが使用できなくなるため、未だ不良を含むデバイスの使用は実現できていない。

【0010】

そこで本発明らは先に、論理演算回路を構成するロジックセルと、このロジックセルに演算プログラムを設定するプログラム素子とを平面状のチップ上に搭載したゲートアレイにおいて、プログラム素子をフォトダイオード等の受光素子で構成した光再構成型ゲートアレイ(ORGA: Optically Reconfigurable Gate Array)を特開2002-353317号公報(特許文献1)において開示した。

光再構成型ゲートアレイは、従来シリアルで行われていた再構成(プログラム)回路を受光素子に置き換えることで、光によって並列的に構成・再構成を行うデバイスである(例えば非特許文献1参照)。

【0011】

この光再構成型ゲートアレイを再構成するに際しては、チップ上に光メモリを配置し、この光メモリに光を照射して、受光素子のそれぞれにプログラムに応じた光信号を同時に照射することにより、ロジックセルを再構成する。

光メモリとしては、プログラムに応じた明暗のパターンを形成した透光性フィルム(光ROM)や、明暗のパターンが切り替え可能なホログラムメモリ(光RAM)とすることができる。

【0012】

光RAMとしてホログラムメモリを使うと、照射角によってパターンを変えることができ、また複数のパターンで頻繁な再構成をかけることができるという拡張性がある。具体的には、レーザ光の角度を変えてやる技術を使うことで実現が可能である。構成・再構成時間が短くなれば、最適な回路情報を必要な時に実装し、即処理を行い、そして再構成を行うといった繰り返し処理が可能になりハードウェア資源を有効に、そして柔軟に使用することができる。

【0013】

このように、光再構成型ゲートアレイは、光によって並列的に再構成を行うデバイスであり、瞬間的に再構成ができることから、ソフトウェア処理をハードウェア回路として実装することができる。このため、既存の固定ハードウェア型のコンピュータとは比較にならない高速な処理が可能になる。

【0014】

しかし、この光再構成型ゲートアレイでは、高速な光による書き込みが必要なことと、またその光回路の数が莫大なことから、その光回路が消費する電力が問題となっている。

【0015】

光再構成型ゲートアレイの光回路が消費する電力は式(1)によって算出できる。この

10

20

30

40

50

式では、N個の光回路を周波数 f_c で動かし、全てのパターンを平均的に照射する場合について示したもので、光再構成型ゲートアレイのコンフィギュレーション（再構成）に要する全消費電力 P_{ORGA} を示す。

【0016】

【数1】

$$P_{ORGA} = \frac{1}{2} N C_J V^2 f_c \left(1 + \frac{1}{\eta_Q \eta_D \eta_L} \frac{h\nu}{eV} \right) \quad (1)$$

式中、 h はプランク定数（ $= 6.62608 \times 10^{-34}$ Js）、 ν はレーザの周波数（ s^{-1} ）、 e は電子1個の電荷量（ $= 1.60 \times 10^{-19}$ J/V）、 V は電源電圧（V）を示す。

【0017】

光再構成型ゲートアレイではホログラムメモリを交換するとき、その位置決め許容誤差が極端に小さくならないように大きく受光部を設計する。一方で、他の回路のゲート負荷は、LSIプロセス技術の進歩による微細化により、著しく小さくなってきている。このため、回路のゲートに比較し、受光部の接合容量は現状でも10倍～100倍以上になる。また、レーザ効率 η_L （ < 0.1 ）、ホログラム回折効率 η_D （ < 0.01 ）、フォトディテクタの量子効率 η_Q （ < 1 ）、レーザの波長 λ （ $= c/\nu = 850$ nm）、回路動作電圧 V （ $= 5$ V）の条件下では、式（1）のカッコの中の値が約300倍程度になることが分かっている。

【0018】

よって、接合容量 C_J と合わせて光回路部の消費電力を考察すると、光回路の1個分の消費電力は、通常のゲート1個の消費電力と比較して3000～30000倍程度になる。

【0019】

光再構成型ゲートアレイでは、消費電力の主要な部分を光回路が占めるため、この光再構成部の低消費電力化が非常に重要である。

【0020】

そこで本発明者らは、光再構成型ゲートアレイへのデータ書き込みの際の消費電力を低減することのできる差動型光再構成型ゲートアレイを提案し、特願2002-223857号において開示した。

【0021】

この再構成部の光回路を図8に示す。この光回路は、Tフリップフロップ1と、フォトディテクタ2と、それを充電するためのFET3と、反転出力を作るEXOR（排他的論理和回路）4から構成される。これは、フォトディテクタ2に光照射があると、Tフリップフロップ1が反転する回路である。また、正規の再構成ビットに加えて1ビット余分の光回路（数字1を付けている回路）を含んでおり、この光回路によって、Tフリップフロップ1の値をそのまま出力するか、それとも反転したものを出力するかを決定する。これが反転ビットI_vに相当するビットとなる。

【0022】

このように、差動型光再構成型ゲートアレイにおいては、ホログラムメモリの書き換えの際に、前回書き込んだ再構成データと次に書き込む再構成データの差分情報をホログラムメモリに記憶することで、差異部分のみに光を照射する。これにより、書き換えの度に全面を照射するよりも低消費電力化を図ることができる。

【0023】

【特許文献1】特開2002-353317号公報

【非特許文献1】J. マンブル、G. パノトプーロス、D. サルティス、シン・アン、F. H. モク、スアト・エイ、「光学的プログラマブルゲートアレイ」国際光学会会報誌4089（2000）763-771（Mumbru, J., Panotopoulos, G., Psaltis, D., X

in An, Mok, F.H., Suat Ay: Optically Programmable Gate Array, Proc. SPIE - Int. Soc. Opt. Eng. 4089 (2000) 763-771)

【発明の開示】

【発明が解決しようとする課題】

【0024】

上述したように、差動型光再構成型ゲートアレイは高速に再構成を繰り返しつつハードウェア処理を行うデバイスで、その回路情報は差分情報として与えられる。この差動型光再構成型ゲートアレイでは、前掲の図8に示すように、各受光素子部に回路情報を一時的に記憶しておくTフリップ・フロップ1を備えている。そして、このTフリップフロップ1は電源起動時に初期化することが必要で、この初期化機能がないと回路の衝突によりLSIを破損する危険性がある。このため、記憶素子であるTフリップフロップ全てに対してリセット回路を付加する必要がある。Tフリップフロップ1にリセット機能を含めるには、一般に1~4個のFETが余分に必要になる。

10

【0025】

図8の回路においては、全てのTフリップフロップ1に対してリセット機能を持たせるためのFETを付加していたが、大規模な光再構成型ゲートアレイでは、受光素子数が数百万個~数千万個規模になることから、リセットのためのFETの数も少なくとも同じ数だけ必要になり、差動型光再構成型ゲートアレイの受光素子・周辺回路全体が著しい回路規模の増大を招く。

【0026】

そこで本発明は、リセット機能を小規模化した回路で実現することのできる光再構成型ゲートアレイおよびそのリセット方法を提供することを目的とする。

20

【課題を解決するための手段】

【0027】

前記目的を達成するため、本発明の光再構成型ゲートアレイは、論理演算回路を構成するコンフィギュレーション・ロジックブロックと、このコンフィギュレーション・ロジックブロックに演算プログラムを設定するプログラム設定用受光素子とを平面状のチップ上に多数配列し、前記チップ上に配置されたホログラムメモリに光を照射して、前記受光素子のそれぞれにプログラムに応じた光信号を同時に照射することにより、前記コンフィギュレーション・ロジックブロックを再構成する光再構成型ゲートアレイにおいて、前記各コンフィギュレーション・ロジックブロックの周囲に配線領域を設け、配線領域の交差部にスイッチングマトリックスを設け、前記チップの端部の配線領域に位置するスイッチングマトリックスに入出力ブロックを設け、かつ、前記コンフィギュレーションブロックの出力バッファ部と前記入出力ブロックの入出力バッファ部のみに、光リセット機能を持つスイッチング手段を配置したことを特徴とする。

30

【0028】

また、本発明の光再構成型ゲートアレイのリセット方法は、前記の光再構成型ゲートアレイにおいて、まず、全てのコンフィギュレーション・ロジックブロックの内部状態を、前記スイッチングマトリックスのスイッチを異なる周期のオンオフ信号で駆動したときの出力信号に基づいて決定し、内部状態がオンであるコンフィギュレーション・ロジックブロックの受光素子のみに光を照射して内部状態をオフにすることを特徴とする。

40

【0029】

本発明においては、リセット機能を持つスイッチング手段をコンフィギュレーション・ロジックブロックの出力バッファと入出力バッファの入出力バッファのみとし、その他の部分については初期化回路を一切含めない構成とし、かつスイッチングマトリックスのスイッチを異なる周期のオンオフ信号で駆動したときの出力信号に基づいて決定することにより、回路規模を大きくすることなく、光再構成アレイのリセットを行うことができる。

【発明の効果】

【0030】

本発明によれば、一部のロジックブロックのフリップフロップのみにリセット機能を設

50

け、他の部分は、サイクリックなセンシングによって初期化することにより、回路規模を大きくすることなく、光再構成型ゲートアレイのリセットを行うことができる。これによって実装エリアが十数パーセント削減でき、その空いた部分でさらなる高密度かが達成できる。

このリセット機能を備えた光再構成型ゲートアレイの応用分野は非常に広く、高速通信処理、通信の暗号化、情報圧縮、画像処理、高速コンピュータ等、多大な貢献が期待できる。

【発明を実施するための最良の形態】

【0031】

以下、本発明の実施の形態を図1～図7を用いて説明する。

図1は本発明に係る光再構成型ゲートアレイの概略図、図2はリセット回路の全体配置図、図3はロジックブロックの回路図、図4は入出力ブロックの回路図、図5はスイッチングマトリックスの回路図である。

【0032】

図1に示すように、光再構成型ゲートアレイ10では、体積ホログラムメモリ11内にプログラムを記憶しておき、レーザアレイ12から放出されるレーザの照射角度によってこのプログラムを選択し再構成を行う。このレーザの照射角度は光構成型ゲートアレイ10内部からの指示で変更される。初期化のプログラムも、この内部からの指令によって同様に照射角度をコントロールし行う。

【0033】

光再構成型ゲートアレイ10は、図2に示すようにコンフィギュレーション（再構成）・ロジックブロック部CLB1～9、入出力ブロックIOB1～8、スイッチングマトリックスSM1～12、ホログラム・メモリ選択用回路13、プルアップ抵抗14よりなっており、各スイッチングマトリックスSM1～12間は配線領域17において配線されている。プルアップ抵抗14は、光再構成型ゲートアレイ10内のモニタ用の配線と電源ラインVCCとの間に接続される高抵抗であり、出力が無いときには各配線にHレベルが出力されるようにする。なお、図2にはコンフィギュレーション・ロジックブロックCLBを9個のみ示しているが、現実の回路では数百万個（数M）～数千万個（数十M）である。

【0034】

コンフィギュレーション・ロジックブロック部CLB、入出力ブロックIOB、スイッチングマトリックスSMの回路例を、それぞれ図3、図4、図5に示す。

【0035】

コンフィギュレーション・ロジックブロックCLBは、図3に示すように、4つの入力を選択するセレクタSW4～SW7と、どのような入力があったときにどのような出力を出すかを予め設定するルックアップテーブル15と、ルックアップテーブル15の出力をクロックパルスCLKのタイミングで記憶するD形フリップフロップ16と、リセット機能を有するフォトダイオード（PD）で構成されるスイッチSW1と、トランスマッションゲートスイッチSW2と、フリップフロップ（FF）16にクリアパルスを入力するセレクタスイッチSW3とから構成される。

【0036】

入出力ブロックIOBは、図4に示すように、配線領域からの信号を選択入力するセレクタ21と、配線領域からの出力信号用のスリーステートバッファ回路23をON,OFF、または、信号領域から取り入れるかどうかを決定するセレクタ22と、外部との接続用のボンディングパッド24と、外部からの信号をバッファリングする回路25と、トランスマッションゲートスイッチ26とからなる。

【0037】

スイッチングマトリックスSMは、図5に示すように、交差する配線をどのように接続するかを決める回路であり、拡大図に示すように、A～Fの6個のフォトスイッチから構成されている。フォトスイッチA～Fの組み合わせにより、信号ライン1を2, 3, 4の

10

20

30

40

50

任意の信号ラインに伝達することができる。

【 0 0 3 8 】

本実施の形態においては、全ての P D (フォトダイオード) 部のフリップフロップ 1 に対してリセット機能を備えずに、初期化機能は一部のフリップフロップ、すなわち初期化しておかないと出力同士がぶつかり L S I を壊す危険性のある部分に限定する。すなわち、図 3 のコンフィギュレーション・ロジックブロック C L B の出力バッファ部の S W 1 と、図 4 の入出力ブロック I O B の入出力バッファ部のセレクター 2 1 , 2 2 , トランスミッションゲートスイッチ S W 2 と、図 5 のスイッチングマトリックス S M の各フォトスイッチである。

【 0 0 3 9 】

コンフィギュレーション・ロジックブロック C L B と、入出力ブロック I O B の他の回路部分と、図 5 に示すスイッチングマトリックス S M は、コンフィギュレーション完了後、図 2 の配線領域 1 7 を用いて初期化する。

【 0 0 4 0 】

図 2 に示すように、光再構成型ゲートアレイ 1 0 では、格子状にスイッチングマトリックス S M 1 ~ 1 2 が並んでおり、互いに二つ以上の経路で接続されているため、単一のスイッチングマトリックスのスイッチ状態を読み出し初期化するには工夫が必要になる。具体的には、スイッチングマトリックス S M の片サイドに信号を入力し、他方から読み出せばスイッチの状態は確定できるが、しかし同一配線上に接続された他のスイッチングマトリックスからの回り込みが発生し、どちらのスイッチがオンになっているのか特定できないといった問題が発生する。このため、回り込みを起こすスイッチに対しては、そのスイッチの受光素子 (P D) に対してある周波数で光を照射しスイッチングさせ、モニタ・ライン M L でその周波数成分を除外し、スイッチの状態を観測する検出手法を用いる。この手法を用いることでリセットに用いるフリップフロップの数を 8 0 ~ 9 0 パーセント削減することができる。

【 0 0 4 1 】

以下に、本発明による初期化手順について説明する。

全ての C L B の内部出力状態を決定し、C L B 1 については出力部も併せて初期化する。

【 0 0 4 2 】

1 . 全ての C L B の内部出力状態を決定する。

C L B の全ての内部出力を L レベルにプログラムする。この手順を、図 3 の回路を用いて説明する。以下の手順は全ての C L B に対して行う。

(1) リセットコントロールセレクタ S W 3 に対して、0 0 , 0 1 , 1 0 , 1 1 の光パターンを順に照射し、フリップフロップ 1 6 にリセットをかける。

(2) リセット機能付きセレクター S W 1 に対してフリップフロップ 1 6 の出力 Q を出力するようにプログラムする。

この結果、全ての C L B の S W 1 の出力は L となる。よって S W 2 が O N の部分では L が出力され、S W 2 が O F F の部分はハイインピーダンスとなる。(S W 2 は初期化されていないため、ある部分は O N , ある部分は O F F の状態にある。)

【 0 0 4 3 】

2 . C L B 1 の初期化

図 6 のモニタ・ライン M L から C L B 1 の出力スイッチ (S W 2) の状態を検出する。この選択回路への配線にはプルアップ抵抗 1 4 がついているため、C L B からのハイインピーダンス出力は H として検出される。

【 0 0 4 4 】

よってモニタ・ライン M L 上に L の出力があれば、S W 2 は O N であり、H の出力があれば O F F の状態を示す。しかしこの時、スイッチングマトリックス S M 1 と S M 3 を経由して、他の C L B の出力が回り込んでくる可能性がある。

【 0 0 4 5 】

10

20

30

40

50

そこで、スイッチングマトリックスSM1とSM3には図7で示すタイミングチャートに従って光を照射し、各スイッチを周期的に切り替えることでこの回り込みを除外した検出を行う。添え字は図6に示したスイッチングマトリックス内の各スイッチの記号を表す。すなわち、スイッチングマトリックスSM1のスイッチC1を周期Tでオンオフするとすると、スイッチD1は2Tの周期、スイッチE1は4Tの周期と、倍々の周期でオンオフする。また、同様にスイッチングマトリックスSM3のスイッチA3は8T、D3は16T、F3は32Tの周期でオンオフする。

【0046】

こうすることで、CLBからの出力はDC出力(直流成分)であることから、周波数依存のある成分を除くことでスイッチSW2の状態を知ることができる。この周波数依存の検出方法は、各スイッチのオン・オフパターンを全て実現し(6個スイッチがある場合、64状態)、その間サンプリングを続け、一度でもHになったらオフであると検出できる。他のスイッチからの回り込みでLになっていただけで、一度もHにならなかったならば、そのスイッチは他の回り込みとは関係なくオンである。この方法を用いると、シンプルな回路でスイッチ状態を検出できる。この周波数分離された結果によってホログラムメモリを選択することでオンの部分にのみ光を照射してスイッチをオフにし、初期化を行う。

10

【0047】

同様に他のスイッチングマトリックス、CLBに周波数分離法を用いることで、全てのスイッチの状態を読みとることができる。この結果を順次再構成することで、全てのCLB, SMを初期化することができる。

20

【産業上の利用可能性】

【0048】

本発明は、回路規模を大きくすることなく、ゲートアレイの記憶素子全てに対して同時にリセットを行う回路を備えた光再構成型ゲートアレイおよびそのリセット方法として利用することができる。

【図面の簡単な説明】

【0049】

【図1】本発明に係る光再構成型ゲートアレイの概略図である。

【図2】本発明の実施の形態に係るリセット回路の全体配置図である。

【図3】本発明の実施の形態に係るコンフィギュレーション・ロジックブロックの回路図である。

30

【図4】本発明の実施の形態に係る入出力ブロックの回路図である。

【図5】本発明の実施の形態に係るスイッチングマトリックスの回路図である。

【図6】本発明の実施の形態に係るロジックブロックの回路動作の説明図である。

【図7】本発明の実施の形態に係るロジックブロックのスイッチ初期化タイミングを示すタイムチャートである。

【図8】従来の提案になる差動型光再構成型ゲートアレイの光回路を示す回路図である。

【符号の説明】

【0050】

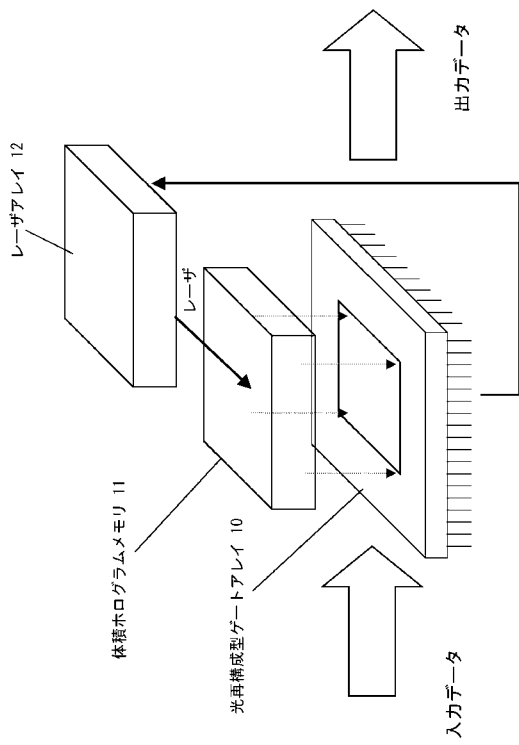
- 10 光再構成型ゲートアレイ
- 11 体積ホログラムメモリ
- 12 レーザアレイ
- 13 ホログラムメモリ選択用回路
- 14 ブルアップ抵抗
- 15 ルックアップテーブル
- 16 フリップフロップ
- 17 配線領域
- 21 セレクタ
- 22 セレクタ
- 23 スリーステートバッファ

40

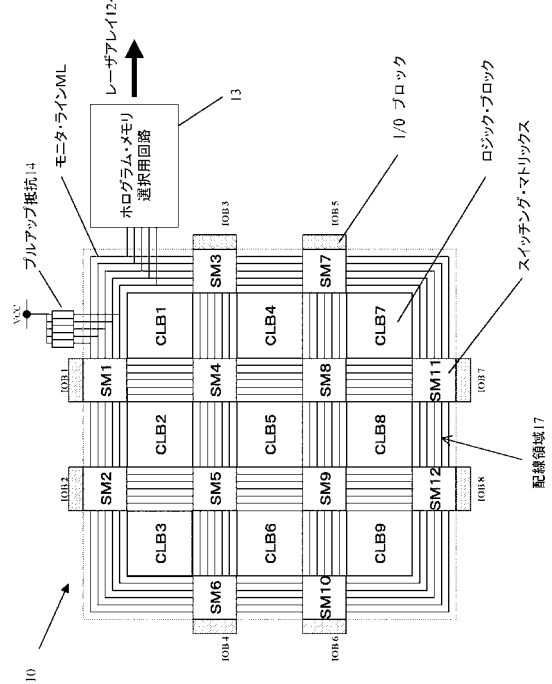
50

- 2 4 ボンディング用パッド
- 2 5 バッファ
- 2 6 トランスマッションゲートスイッチ

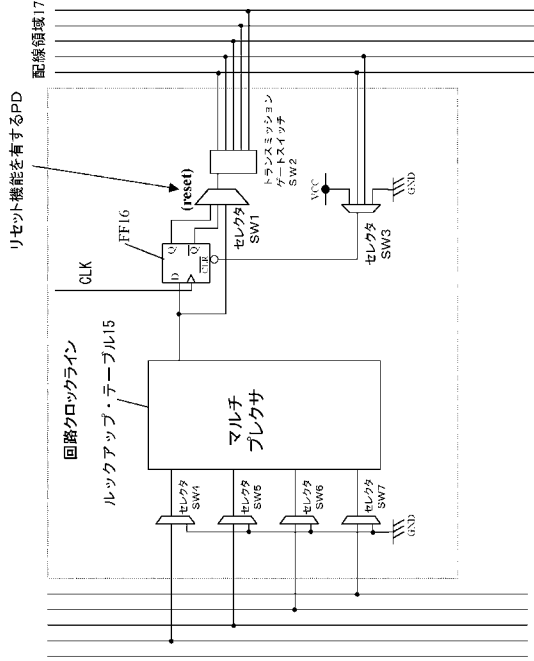
【 図 1 】



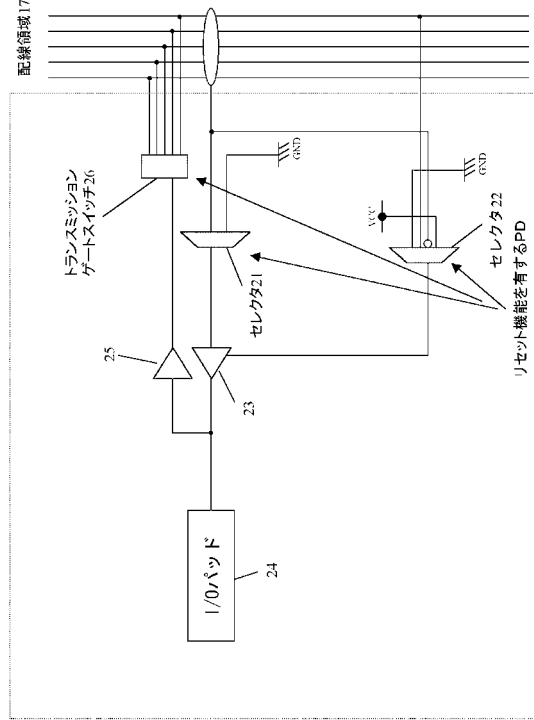
【 図 2 】



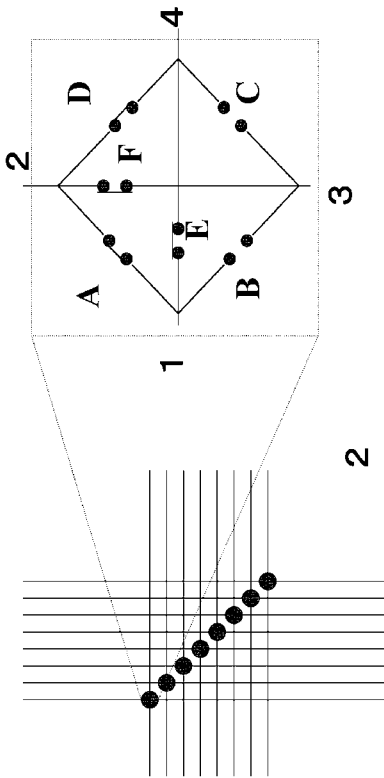
【 図 3 】



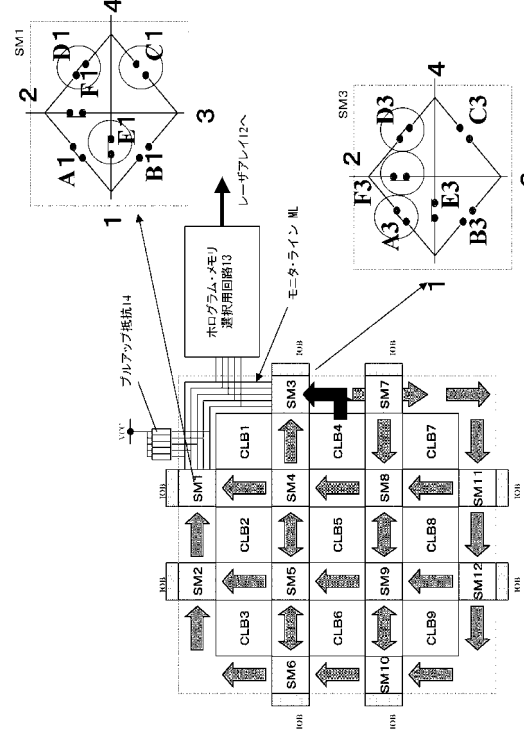
【 図 4 】



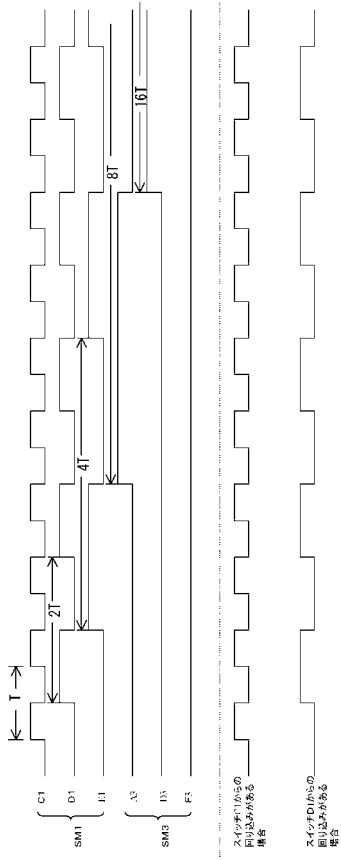
【 図 5 】



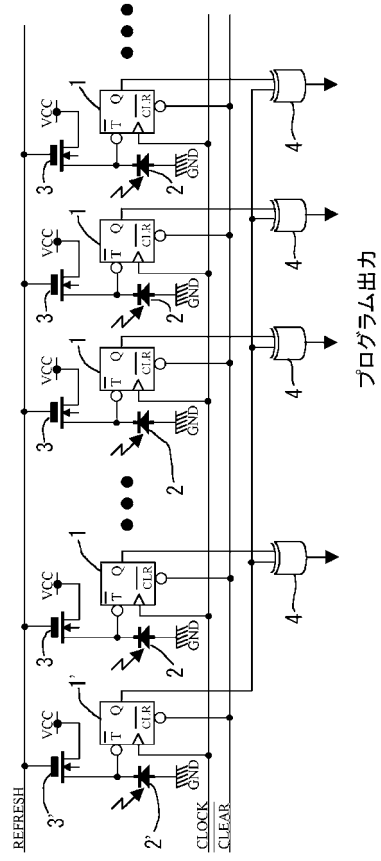
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (56)参考文献 特開2002-353317(JP,A)
特開平04-192543(JP,A)
特開2004-064017(JP,A)
特開平07-104880(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/82
G02F 3/00