

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4500257号
(P4500257)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月23日(2010.4.23)

(51) Int.Cl.		F I		
HO 1 L 29/82	(2006.01)	HO 1 L 29/82		Z
G 1 1 C 11/15	(2006.01)	G 1 1 C 11/15		1 1 0
HO 1 L 21/8246	(2006.01)	HO 1 L 27/10		4 4 7
HO 1 L 27/105	(2006.01)			

請求項の数 13 (全 31 頁)

(21) 出願番号 特願2005-504240 (P2005-504240)
 (86) (22) 出願日 平成16年3月30日(2004.3.30)
 (86) 国際出願番号 PCT/JP2004/004512
 (87) 国際公開番号 W02004/088753
 (87) 国際公開日 平成16年10月14日(2004.10.14)
 審査請求日 平成17年10月19日(2005.10.19)
 (31) 優先権主張番号 特願2003-95600 (P2003-95600)
 (32) 優先日 平成15年3月31日(2003.3.31)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 503360115
 独立行政法人科学技術振興機構
 埼玉県川口市本町四丁目1番8号
 (74) 代理人 100087480
 弁理士 片山 修平
 (74) 代理人 100137615
 弁理士 横山 照夫
 (72) 発明者 菅原 聡
 神奈川県横浜市中区本牧原2-1-603
 (72) 発明者 田中 雅明
 埼玉県さいたま市緑区井沼方647-6-201

審査官 正山 旭

最終頁に続く

(54) 【発明の名称】 スピン依存伝達特性を有するトンネルランジスタ及びそれを用いた不揮発性メモリ

(57) 【特許請求の範囲】

【請求項1】

キャリアを注入する強磁性体からなるソース(以下、「強磁性ソース」と称する。)と、該強磁性ソースから注入されたキャリアを受けるドレインと、前記強磁性ソースと前記ドレインとの間に設けられ強磁性体からなるトンネル障壁(以下、「強磁性トンネル障壁」と称する。)と、前記強磁性トンネル障壁に対して形成され、該強磁性トンネル障壁に電界を印加することにより前記強磁性ソースから前記ドレインへのキャリアの伝導を制御するゲート電極とを有し、前記キャリアが電子の場合には前記強磁性トンネル障壁における伝導帯のエネルギーバンド端がスピン分裂しており、前記キャリアが正孔の場合には前記強磁性トンネル障壁における価電子帯のエネルギーバンド端がスピン分裂しており、

前記強磁性トンネル障壁は、前記強磁性ソースに対する前記強磁性トンネル障壁の相対的な磁化の向きが同じ方向である場合または前記強磁性ソースの多数スピンの向きと前記強磁性トンネル障壁の前記エネルギーバンド端におけるスピンバンドのスピンの向きとが同じである場合(以下、「平行磁化」と称する。)に、前記強磁性ソースの多数スピンの対するトンネル障壁が低く、前記強磁性ソースに対する前記強磁性トンネル障壁の相対的な磁化の向きが互いに反対方向である場合または前記強磁性ソースの多数スピンの向きと前記強磁性トンネル障壁の前記エネルギーバンド端におけるスピンバンドのスピンの向きとが異なる場合(以下「反平行磁化」と称する。)には、前記強磁性ソースの多数スピンの対するトンネル障壁が高く形成され、

前記強磁性トンネル障壁は、前記強磁性ソースと前記強磁性トンネル障壁とが平行磁化

である場合に、前記ゲート電極に対して印加する電圧（以下、「ゲート電圧」と称する。）により、前記強磁性ソースの多数スピンの対する前記強磁性トンネル障壁のトンネル確率を制御できることを特徴とするトランジスタ。

【請求項 2】

前記強磁性トンネル障壁と前記ゲート電極との間に形成されたゲート絶縁膜を有することを特徴とする請求の範囲第 1 項に記載のトランジスタ。

【請求項 3】

前記強磁性トンネル障壁は、前記強磁性ソースと前記強磁性トンネル障壁とが平行磁化である場合に、ゲート電圧を前記強磁性トンネル障壁に対して印加することにより、前記強磁性ソースの多数スピンの前記強磁性トンネル障壁をトンネルすることによる電流を生じる程度の厚さを有することを特徴とする請求の範囲第 1 項又は第 2 項に記載のトランジスタ。

10

【請求項 4】

前記強磁性ソースと前記強磁性トンネル障壁とが平行磁化である場合に、ゲート電圧の印加によって前記強磁性ソースと前記ドレインとの間に、定められたある電流を生じさせるゲート電圧として定義されるしきい値を有することを特徴とする請求の範囲第 1 項又は第 2 項に記載のトランジスタ。

【請求項 5】

前記強磁性ソースと前記強磁性トンネル障壁とが反平行磁化である場合には、前記強磁性ソースの多数スピンの対する前記強磁性トンネル障壁のバリア高さが前記エネルギーバンド端におけるスピン分裂の幅だけ高くなることにより前記強磁性ソースと前記ドレインとの間に生じる電流が平行磁化の場合に比べて小さくなることを特徴とする請求の範囲第 1 項又は第 2 項に記載のトランジスタ。

20

【請求項 6】

同一バイアス下において、前記強磁性ソースと前記強磁性トンネル障壁との相対的な磁化の向きにより相互コンダクタンスを制御できることを特徴とする請求の範囲第 1 項又は第 2 項に記載のトランジスタ。

【請求項 7】

請求の範囲第 1 項から第 6 項までのいずれか 1 項に記載のトランジスタであって、前記ソース又はソース及びドレインがハーフメタル強磁性体により構成されていることを特徴とするトランジスタ。

30

【請求項 8】

請求の範囲第 1 項から第 7 項までのいずれか 1 項に記載のトランジスタであって、さらに前記強磁性ソースと前記強磁性トンネル障壁との間に非磁性体が設けられていることを特徴とするトランジスタ。

【請求項 9】

前記ドレインが、非磁性体又は強磁性体のいずれかであることを特徴とする請求の範囲第 1 項から第 6 項まで又は第 8 項のいずれか 1 項に記載のトランジスタ。

【請求項 10】

請求の範囲第 1 項から第 9 項までのいずれか 1 項に記載の 1 つのトランジスタを用いて、前記強磁性ソースと前記強磁性トンネル障壁との相対的な磁化の方向によって情報を記憶し、前記強磁性ソースと前記強磁性トンネル障壁との相対的な磁化の方向に依存するトランジスタの相互コンダクタンスに基づく出力特性から前記トランジスタ内に記憶された情報を検出することを特徴とする記憶素子。

40

【請求項 11】

請求の範囲第 1 項から第 9 項までのいずれか 1 項に記載の 1 つのトランジスタと、前記強磁性ソースを接地する第 1 の配線と、前記ドレインと接続する第 2 の配線と、前記ゲート電極と接続する第 3 の配線とを有する記憶素子。

【請求項 12】

請求の範囲第 1 項から請求の範囲第 9 項までのいずれか 1 項に記載の 1 つのトランジスタ

50

たと、前記強磁性ソースを接地する第1の配線と、前記ドレインと接続する第2の配線と、前記ゲート電極と接続する第3の配線と、前記第2の配線の一端に形成される出力端子と、前記第2の配線から分岐し負荷を介して電源と接続する第4の配線とを有する記憶素子。

【請求項13】

前記強磁性トンネル障壁は前記強磁性ソースと前記ドレインとの間に1つのトンネル障壁として設けられていることを特徴とする請求項1または2記載のトランジスタ。

【発明の詳細な説明】

【技術分野】

本発明は、新規なトランジスタに関し、より詳細には、スピン依存伝達特性を有するトランジスタと、それをを用いた不揮発性記憶回路（不揮発性メモリ）に関する。

【背景技術】

近年の高度情報化社会の発展は目覚しく、特に最近では“モバイル機器”を媒介として急速に展開してきている。“モバイル機器”という大きな需要は今後の半導体産業の要になりうると認識されているが、この対応には半導体集積回路の高速化・低消費電力化・大容量化といった従来通りの高性能化に加え、情報の不揮発といった新たな要求に応じる必要が生じる。このような要求に対して、不揮発高密度記録として優れた強磁性体ストレージ技術と半導体集積エレクトロニクス技術とを融合させた新しいメモリデバイスが注目を集めている（例えば、非特許文献1参照）。このデバイスは磁気ランダムアクセスメモリ（magnetoresistive random access memory；以下、「MRAM」と称する。）と呼ばれ、薄い絶縁性のトンネル障壁を強磁性電極で挟み込んだ構造を持つ強磁性トンネル接合（magnetic tunnel junction；以下「MTJ」と称する）をその記憶素子として用いる。

MTJでは強磁性電極間の相対的な磁化の方向によってトンネル抵抗が異なるトンネル磁気抵抗（tunneling magnetoresistance；以下「TMR」と称する）効果を有することから、これを用いれば強磁性体の磁化状態を電氣的に検出することが可能となる。したがって、MTJの存在によって強磁性体による情報の不揮発ストレージ技術を半導体集積エレクトロニクスに理想的に取り込むことが可能となる。

以下、図8を参照して従来技術の一例について説明する。図8に示すように、MRAMのメモリセル100では、1ビットのメモリセルを1つのMTJ101と1つのMOSTランジスタ103とにより構成する方法が主に用いられる。MTJ101は、第1の強磁性電極105と、第2の強磁性電極107と、両者の間に設けられた絶縁体により形成されたトンネル障壁108とからなるトンネル接合である。

MOSTランジスタ103のソース（S）を接地（GND）し、ドレイン（D）をMTJ101の一方の強磁性電極107にプラグPLなどを用いて接続する。MTJ101の他方の強磁性電極105はビット線BLに接続し、書き換え用のワード線111は、MTJ101の直上または直下でMTJ101及び他の配線と、絶縁膜115により電氣的に絶縁した状態でビット線BLと交差するように配置する。読み出し用ワード線WLはMOSTランジスタ103のゲート電極Gに接続する。

強磁性体では、磁化の方向を不揮発に保持することができるので、MTJでは強磁性電極間の相対的な磁化状態を平行磁化または反平行磁化とすることによって、2値の情報を不揮発に記憶することができる。また、MTJではTMR効果のため2つの強磁性電極間における相対的な磁化状態でトンネル抵抗が異なる。よって、平行磁化、反平行磁化といった磁化状態に対応したトンネル抵抗を用いればMTJ内の磁化状態を電氣的に検出することができる。

情報の書き換えは、MTJ101における2つの強磁性電極105、107の保持力を変えておくか、一方の強磁性電極の磁化方向を固定しておき、保持力の小さな強磁性電極または磁化方向の固定されていない強磁性電極を磁化反転させることによって行なう。以下、磁化反転を行う強磁性をフリー層、磁化反転を行わない強磁性体をピン層と呼ぶ。具体的には、選択メモリセル上で交差するビット線BLと書き換え用ワード線111とのそ

10

20

30

40

50

れぞれに電流を流し、それぞれの電流によって誘起される磁界の合成磁界によって選択されたメモリセル100内のMTJ101の磁化状態のみを平行磁化または反平行磁化に変化させる。この際、選択したメモリセルと同一のビット線BLまたは書き換え用ワード線111を有する非選択メモリセルが磁化反転しないように、一方の配線のみからの磁界では非選択メモリセルのMTJ101が磁化反転をしないようにそれぞれの配線に流す電流値を設定しておく。

情報の読み出しは、選択セルに接続された読み出し用のワード線WLに電圧を印加してMOSトランジスタ103を導通させてから、ビット線BLを介して読み出し用の駆動電流をMTJ101に流す。MTJ101では、TMR効果によって平行磁化または反平行磁化の磁化状態によってトンネル抵抗が異なるため、読み出し用の駆動電流によるMTJ

10

101における電圧降下(以下、「出力電圧」と呼ぶ)を検出すれば磁化状態を判定することができる。上記技術に関連する文献例を以下に挙げる。

1) K. Inomata, "Present and future of magnetic RAM technology", IEECE Trans. Electron. Vol. E84-C, pp740-746, 2001.

2) H. Ohno, D. Chiba, F. Matsukura, T. Omiya, E. Abe, T. Dietl, Y. Ohno and K. Otani, "Electric-field control of ferromagnetism", Nature 408 (2000) 944. (後述)

3) D. Chiba, M. Yamanouchi, F. Matsukura and H. Ohno, "Magnetic manipulation of magnetization reversal in a ferromagnetic semiconductor", Science 301 (2003) 943. (後述)

20

【発明の開示】

(1) 情報の読み出し

MRAMの情報(データ)の読み出しにおける課題はMTJに関するものが重要である。MTJは、トンネル障壁を介して相対する強磁性電極の磁化状態が平行磁化であるか反平行磁化であるかに対応して2値の抵抗値をとる。この2値のデータのいずれのデータが記憶されているかを駆動電流で高感度に検出するためには、MTJ自身のインピーダンス(接合抵抗)を調節して出力電圧の大きさを最適化する必要がある。

30

さらに、情報の記憶内容を正確に読み出すために、平行磁化と反平行磁化との2つの磁化状態間における出力信号の比を大きくする必要がある。このためには、TMRと呼ばれるMTJが平行磁化を持つ場合と反平行磁化を持つ場合とのそれぞれにおけるTMRの変化率を大きくする必要がある。TMR比は、強磁性電極のスピン分極率Pに依存する。TMR比を大きくするためには、Pの値が大きな強磁性体を強磁性電極に用いることなどが必要である。

また、MTJにおけるTMR比は、MTJに加わる電圧に強く依存し、この電圧とともに急激に減少する。高速に情報の読出しを行なうために大きな駆動電流をMTJに流すと、MTJにおける電圧降下が大きくなり、TMR比が減少する。従って、TMR比は、高速性とのトレードオフになる。そこで、MTJにおける大きな電圧降下が生じてもTMR

40

比が減少しないように、TMR比の耐バイアスが必要になる。従って、MRAMに用いる記憶素子としては、平行磁化および反平行磁化といった磁化状態に大きく依存する出力を生じ、少なくとも平行磁化または反平行磁化のいずれかの場合では、十分な大きさの出力を生じ、さらにこの出力がデバイスに印加されるバイアスに依存しないことが望ましい。

(2) 情報の書き換え

MRAMでは、ビット線及びワード線の電流によって誘起される磁場を用いてMTJの磁化状態を変化させ情報の書き換えを行う。MRAMにおいても、通常の半導体集積メモリと同様にデバイスの微細化によって高密度集積化及び高性能化を実現することができるが、MTJを微細化すると強磁性電極の反磁界が大きくなり、磁化反転に必要な磁場強度

50

が大きくなる。従って、書き換えに必要な電流が増大する。この電流増大はかなり大きく、配線を微細化していくと実現可能な程度でアスペクト比を増加しても配線の信頼性を確保できなくなる程度に及ぶ。強磁性体の保磁力を小さくすると、書き換えに必要な磁場の強度は減少するが、誤書き込みなどの致命的な問題が発生する。

従って、記憶素子に用いる強磁性体の保磁力を下げることなく、低い電流値で発生する磁場で容易に磁化情報の書き換えが可能な方法が必要となる。

(3) 高密度集積化

MRAMは、構造がシンプルで、またMTJはナノスケールのサイズまで微細化できることから、高密度集積化に適したメモリである。数ギガビット以上の高集積度を実現しようとする、MOSトランジスタのチャンネル長は $0.1\mu\text{m}$ 程度以下となることが予想されるが、このような微細なトランジスタに合わせて微細なMTJを集積化しようとしても、コンタクト、多層配線がセル面積を占有するようになり、両者を高密度に集積することが難しくなる。

従って、高相度集積化に適したより簡単な構造を有するメモリセルが望まれる。

本発明は、トランジスタ内部に含まれる強磁性体の磁化状態で出力特性を制御できる新しいトランジスタを提供することを目的とする。加えて、このトランジスタ単体で1ビットのメモリセルを構成することにより大容量の高性能不揮発性メモリを提供することを目的とする。

本発明の第1の観点によれば、伝導キャリアを注入する強磁性体からなるソース（強磁性ソース）と、該強磁性ソースから注入された伝導キャリアを受けるドレインと、前記強磁性ソースと前記ドレインとの間に設けられた強磁性体からなるトンネル障壁（強磁性トンネル障壁）と、前記強磁性トンネル障壁に対して形成され、該強磁性トンネル障壁に電界を印加することにより前記強磁性ソースから前記ドレインへのキャリアの伝導を制御するゲート電極とを有し、前記伝導キャリアが電子の場合には強磁性トンネル障壁における伝導帯のエネルギーバンド端がスピン分裂しており、前記伝導キャリアが正孔の場合には強磁性トンネル障壁における価電子帯のエネルギーバンド端がスピン分裂していることを特徴とするトランジスタが提供される。

前記強磁性トンネル障壁は、前記強磁性ソースに対する前記強磁性トンネル障壁の相対的な磁化の方向が同方向（平行磁化）である場合または前記強磁性ソースの多数スピンの向きと、前記強磁性トンネル障壁におけるスピン分裂したエネルギーバンド端にけるスピンの向きとが平行である場合、前記ゲート電極に対して印加する電圧（ゲート電圧）により、前記強磁性ソースの多数スピンの伝導キャリアとして前記強磁性トンネル障壁を透過するトンネル確率を制御できることが好ましい。例えば、前記強磁性トンネル障壁は、前記強磁性ソースと前記強磁性トンネル障壁とが平行磁化の場合に、ゲート電圧を前記強磁性トンネル障壁に対して印加することにより、実効的なトンネル障壁の厚さを減少させ、前記強磁性ソースの前記多数スピンの前記強磁性トンネル障壁をトンネルすることに基づく電流が生じる程度の厚さを有する。

一方、前記強磁性ソースに対する前記強磁性トンネル障壁の相対的な磁化の向きが互いに反対方向（反平行磁化）である場合または前記強磁性ソースの多数スピンの向き前記強磁性トンネル障壁におけるスピン分裂したエネルギーバンド端にけるスピンの向きが反平行である場合、前記強磁性ソースにおける多数スピンの前記強磁性トンネル障壁のバリア高さが前記エネルギーバンド端におけるスピン分裂の幅だけ高くなることにより、平行磁化の場合に比べて前記強磁性ソースと前記ドレインとの間に生じるトンネル電流が小さくなる。従って、このトランジスタでは、同一バイアス下であっても、強磁性ソースと強磁性トンネル障壁との相対的な磁化の方向によって相互（伝達）コンダクタンスが変化する。

マトリクス状に配置された上記トランジスタと、前記強磁性ソースをそれぞれ接地する第1の配線と、列方向に並ぶ前記トランジスタの前記ゲート電極を共通に接続する複数本のワード線と、行方向に並ぶ前記トランジスタの前記ドレインを共通に接続する複数本のビット線とを有する記憶回路が提供される。

10

20

30

40

50

さらに、前記トランジスタ上で互いに電氣的に絶縁された状態で交差する第1の別配線及び第2の別配線とを設けることができる。また、前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記ワード線および前記ビット線、又は、前記ワード線又は前記ビット線のいずれか一方を用いることもできる。

上記記憶回路において、前記第1の別配線及び第2の別配線、又はこれらを置き換えた前記ワード線及び前記ビット線、又は前記第1の別配線又は第2の別配線のいずれか一方を置き換えた前記ワード線又は前記ビット線及びこれらに置き換えられなかった方の前記第1の別配線又は前記第2の別配線に電流を流すことにより誘起される磁場により、前記強磁性ソース又は強磁性トンネル障壁の磁化を反転させ、前記強磁性ソースと前記強磁性トンネル障壁との間の相対的な磁化状態を変化させることにより磁化の方向として記憶される情報の書き換えを行うことが可能である。

10

前記ワード線に対して第1のバイアスを加え、前記第1の配線と前記ビット線との間に第2のバイアスを加えた場合の前記トランジスタの出力特性に基づき情報の読み出しを行なうことができる。

また、前記記憶回路の前記ビット線の一端のそれぞれに形成される出力端子と、該ビット線のそれぞれから分岐し負荷を介して電源に接続する第2の配線とを有する記憶回路が提供される。この場合では、前記ワード線に対して第1のバイアスを印加した場合において、前記電源と前記第1の配線との間に生じる前記負荷と前記トランジスタを介する電流による前記負荷の電圧降下に基づく出力電圧により、情報の読み出しを行うことができる。

20

上記回路を用いれば、高密度に集積化が可能で、トランジスタ内の磁化状態に応じた出力電圧を負荷と電源により設計可能な不揮発性記憶回路が提供できる。

以上、本発明の第1の観点による前記トランジスタでは、強磁性トンネル障壁におけるスピン選択率が大きいこと、平行磁化と反平行磁化における電流の変化率を大きくできる。また、1つの前記トランジスタ自身が不揮発性メモリセルとして働く。したがって、前記トランジスタを用いた記憶回路によれば、上記データの読み出しおよび上記高密度集積化に対する課題を解決することができる。

本発明の第2の観点によれば、強磁性半導体層と該強磁性半導体層へ、キャリアを注入するソースと、該強磁性半導体層に注入されたキャリアを受けるドレインと、前記ソースから前記ドレインへのキャリアの伝導を制御する電圧を印加するゲート電極とを有することを特徴とするトランジスタが提供される。このトランジスタでは、前記ソースまたは前記ドレインのいずれか一方が前記半導体層に接合する非磁性体からなるトンネル障壁（以下、「非磁性トンネル障壁」と称する）と該非磁性トンネル障壁に接合する強磁性体からなる電極（以下、「強磁性電極」と称する）とを含んで構成される強磁性ソースまたは強磁性ドレインであることを特徴とする。前記ソースが前記強磁性ソースである場合には、前記ドレインは前記半導体層に接合する非磁性トンネル障壁と該非磁性トンネル障壁に接合する非磁性体からなる電極（以下、「非磁性電極」と称する）とを含んで構成される非磁性ドレインとする。また、前記ドレインが前記強磁性ドレインである場合に、前記ソースが前記半導体層に接合する非磁性トンネル障壁と該非磁性トンネル障壁に接合する非磁性電極とを含んで構成される非磁性ソースとする。さらに、前記ソースおよび前記ドレインの両方が前記半導体層に接合する非磁性トンネル障壁と該非磁性トンネル障壁に接合する強磁性電極とを含んで構成される強磁性ソースおよび強磁性ドレインであってもよい。強磁性ソースと強磁性ドレインは前記強磁性半導体層に接合した強磁性体からなるトンネル障壁（以下、「強磁性トンネル障壁」と称する）と該強磁性トンネル障壁に接合する非磁性電極から構成されても良い。前記キャリアが電子の場合では、前記強磁性トンネル障壁または非磁性トンネル障壁によるエネルギー障壁は少なくとも伝導バンド側に生じ、前記キャリアが正孔の場合では前記エネルギー障壁は少なくとも価電子バンド側に生じるようにする。

30

40

マトリックス状に配置された複数の上記トランジスタと、列方向に並ぶ複数の前記トラ

50

ンジスタのそれぞれのソースを共通に接続する複数本の接地線と、列方向に並ぶ複数の前記トランジスタのそれぞれのゲート電極を共通に接続する複数本のワード線と、行方向に並ぶ前記トランジスタのそれぞれのドレインを共通に接続する複数本のビット線とを有する記憶回路が提供される。

前記ビット線と前記接地線とに、前記強磁性半導体層中が保持力の大きな強磁性状態から常磁性状態又は保磁力の十分に小さい強磁性状態のいずれかである第1の状態になる程度の第1の電圧を印加し、前記第1の状態において前記強磁性半導体層の磁化方向を変化できる程度の磁場を誘起する電流を前記前記ワード線に流し、前記第1の電圧を切るか又は前記強磁性半導体層を強磁性に戻す程度の第2の電圧を印加して前記強磁性半導体層を保持力の大きな強磁性状態にすることによって前記ワード線と前記ビット線とにより選択されるトランジスタの情報を書き換えることができる。

10

また、前記ビット線と前記接地線とに前記強磁性半導体層が消磁状態になる程度の電圧を印加し、前記強磁性半導体層を磁化できる程度の磁場を誘起する電流を前記ワード線に流すことにより初期磁化特性を利用して情報を書き換えることもできる。

前記接地線を基準として、前記ビット線と、前記ワード線と、に対して、それぞれ所定の電圧を印加した場合の、前記ビット線と前記接地線との間に流れる電流の大きさに基づき、前記ワード線と前記ビット線とにより選択される選択トランジスタの情報の読み出しを行うことができる。

また、マトリックス状に配置された上記の複数のトランジスタと、行方向に並ぶ複数の前記トランジスタのそれぞれのソースを共通に接続する接地用の複数本の接地線と、列方向に並ぶ複数の前記トランジスタのそれぞれのゲート電極を共通に接続する複数本のワード線と、行方向に並ぶ前記トランジスタのそれぞれのドレインを共通に接続する複数本のビット線とを有する記憶回路が提供される。この回路では、前記ビット線と前記接地線とに、前記強磁性半導体層が保持力の大きな強磁性状態から常磁性状態又は保磁力の十分に小さい強磁性状態のいずれかである第1の状態になる程度の第1の電圧を印加し、前記第1の状態において前記強磁性半導体層の磁化方向を変化できる程度の磁場を誘起する電流を複数の前記ワード線に同時に流し、前記第1の電圧を切るか、又は前記チャンネルを強磁性に戻す程度の第2の電圧にすることにより前記強磁性半導体層を保持力の大きな強磁性状態にすることによって、前記ビット線と前記接地線とに接続されるトランジスタ群の情報を一括して書き換えることができる。本発明の第2の観点による前記トランジスタを用いた前記記憶回路の特徴を以下に述べる。

20

30

1) 情報の書き込み

強磁性半導体では、電界を印加することによって強磁性半導体層のキャリア数を減少させれば、強磁性から常磁性に磁性を変化させることが可能である。これは電界効果磁性制御と呼ばれている。(非特許文献2、3参照)本発明の第2の観点による前記トランジスタを用いたメモリセルでは、ソースおよびドレインに電圧を印加してチャンネル領域の強磁性半導体層を強磁性から常磁性(または十分に保磁力の小さな状態)に変化させ、この状態を保ったままで磁化反転を行う。従って、強磁性状態の保磁力より十分小さな磁場で書き込みが可能となる。また、ソースとドレインにバイアスを印加して強磁性半導体のキャリア数を減少させれば、強磁性状態を消磁することもできる。バイアスを切った後で、消磁された強磁性半導体に磁場を印加すると、強磁性半導体は初期磁化に従って磁化されるため、強磁性状態における保磁力よりも小さな磁場で磁化情報を書き換えることができる。

40

2) 情報の読み出し

本発明の第2の観点による前記トランジスタでは、チャンネルに用いる強磁性半導体層と強磁性ソース(又は強磁性半導体層と強磁性ドレイン)との間のトンネル磁気抵抗(TMR)効果に類似の伝導現象によって磁化状態を読み出す。ソースとドレインとの間に印加したバイアスは、ソース接合とドレイン接合とで分圧する。従って、本発明によるデバイスでは、平行磁化と反平行磁化とにおける出力信号(ドレイン電流)の比は、通常のMTJより弱いバイアス依存性を有する。本デバイスではMTJより大きな読み出し用のバイ

50

アス印加することが可能となる。特に、ソースを強磁性体とした場合にはこのバイアス依存性は顕著に弱められる。

3) 高密度集積化

本発明の第2の観点による前記トランジスタでは、1つの前記トランジスタで1ビットのメモリセルを構成する。従って、配線に関しても非常に単純な構成にすることができる。したがって、微細化に適したレイアウトを容易に構成することができる。

また、従来構成によるMRAMのメモリセルでは、1MTJ、1トランジスタ、4配線(図7参照)の構成であり、MTJおよび書込み用ワード線の存在によってソースを隣り合ったセルで共用してセル面積を小さくするなどの工夫が困難であったが、本発明のメモリセルでは、隣り合ったセル同士でソースを共有するセル構造も可能となる。

10

【図面の簡単な説明】

図1は、本発明の第1の実施の形態によるトランジスタの概略構成を示す断面図である。

図2(a)は、強磁性ソースが強磁性金属の場合の、図1の構造におけるエネルギーバンド図である。図2(b)は、強磁性ソースがn型強磁性半導体の場合のエネルギーバンド図である。図2(c)は、強磁性ソースがp型強磁性半導体の場合のエネルギーバンド図である。

図3(a)から図3(c)までは、本実施の形態によるトランジスタの動作原理をエネルギーバンド図により示す図であり、図3(a)は、ゲート電圧を印加しない場合、図3(b)は、ゲート電圧を印加した場合であって、強磁性ソースと強磁性トンネル障壁とが平行磁化の場合、図3(c)は、ゲート電圧を印加した場合であって、強磁性ソースと強磁性トンネル障壁とが反平行磁化の場合のエネルギーバンド構造を示す図である。

20

図4は、図1、図2に示すトランジスタの出力特性を示す図である。

図5は、本発明の第2の実施の形態によるトランジスタの断面構造例を示す図である。

図6は、本発明の第4の実施の形態によるトランジスタの構造断面例を示す図である。

図7(a)、(b)は、本発明の第5及び第6の実施の形態による記憶回路であって、本発明の第1から第4までの各実施の形態によるトランジスタのいずれかを用いた記憶回路の構成例を示す図である。図7(c)は、図7(b)に示した記憶回路の出力特性を示す図である。

図8は、MTJを用いた一般的なMRAMのメモリセルの断面図である。

30

図9は、共通の強磁性ソースを有するメモリセルの断面構造例を示す図である。

図10は、本発明の第4の実施の形態によるトランジスタを用いたメモリセルの断面構造例を示す図である。

図11(a)は、本発明の第7の実施の形態による強磁性半導体層をチャネル領域に用いたMISFETの構造を示す図である。図11(b)から(d)までは、本発明の第7の実施の形態によるMISFETの熱平衡時におけるチャネル領域近傍のバンド構造例を示す図である。

図12は、本発明の第8の実施の形態による強磁性半導体層をチャネル領域に用いたMISFETのデバイス構造を示す図である。

図13は、本発明の第9の実施の形態による、強磁性半導体層チャネル領域に用いたMISFETの構造を示す図である。

40

図14は、本発明の第10～13までの実施の形態によるMISFETのデバイス構造を示す図である。

図15(a)から図15(c)までは、本発明の第7の実施の形態によるトランジスタの動作原理をエネルギーバンド図により示す図であり、図15(a)は、ゲート電圧を印加しない場合、図15(b)は、ゲート電圧を印加した場合であって、強磁性ソースと強磁性半導体層とが平行磁化の場合、図15(c)は、ゲート電圧を印加した場合であって、強磁性ソースと強磁性半導体層とが反平行磁化の場合のエネルギーバンド構造を示す図である。

図16(a)から図16(c)までは、本発明の第9の実施の形態によるトランジスタ

50

の動作原理をエネルギーバンド図により示す図であり、図16(a)は、ゲート電圧を印加しない場合、図16(b)は、ゲート電圧を印加した場合であって、強磁性ソースと強磁性半導体層とが平行磁化の場合、図16(c)は、ゲート電圧を印加した場合であって、強磁性ソースと強磁性半導体層とが反平行磁化の場合のエネルギーバンド構造を示す図である。

図17は、本発明の第14の実施の形態によるMISFETであって、ヨーク構造を用いたゲート電極とワード線との複合構造を示す図である。

図18は、本発明の第7から第14までの実施の形態によるMISFETを用いた不揮発性メモリのセル構成例を示す図である。図18(a)は、本発明の第15の実施の形態によるメモリ構成例を示す図であり、図18(b)は、本発明の第16の実施の形態によるメモリ構成例を示す図である。

10

図19は、強磁性半導体層の電界効果磁性制御を利用したメモリセルの書き換え動作の原理を磁化曲線上において説明した図である。

図20は、強磁性半導体層の初期磁化特性を利用したメモリセルの書き換え動作の原理を磁化曲線上において説明した図である。

図21(a)は、本発明の第17の実施の形態によるメモリ構成例を示す図であり、図21(b)は、本発明の第18の実施の形態によるメモリ構成例を示す図である。

【発明を実施するための最良の形態】

本発明の第1の観点に係るトランジスタは、強磁性ソースと強磁性トンネル障壁との接合によるスピン依存トンネル効果を利用した新しいトランジスタである。より詳細には、絶縁性の強磁性トンネル障壁を強磁性ソースとドレインとで挟み込んだトンネル接合と、この強磁性トンネル障壁に対して形成され強磁性トンネル障壁に電界を印加することのできるゲート電極とを含んで構成されるトランジスタである。

20

尚、「スピン」という用語は、通常、スピン角運動量に対して用いられるが、以下では特定のスピンの向きを有するキャリアの意味でも用いることもある。また、強磁性トンネル障壁の磁化の方向はエネルギーバンド端におけるスピンバンドのスピンの向きによって決まるとする(例えば伝導帯のバンド端がスピン分裂している場合には強磁性トンネル障壁のエネルギーバンド端におけるスピンバンドのスピンの向きと反対の方向が磁化の向きとなる。)

強磁性トンネル障壁のバンド端では、アップスピンバンドとダウンスピンバンドとがスピン分裂しているため、強磁性ソースから見たトンネル障壁のバリア高さはアップスピンとダウンスピンとで異なる。従って、強磁性トンネル障壁のトンネル確率は強磁性ソースにおけるキャリアのスピンの向きに依存する。ゲート電圧を強磁性トンネル障壁に対して印加して強磁性トンネル障壁のポテンシャル形状を変化させることにより、トンネル確率を変化させて強磁性ソースとドレインとの間に生じるトンネル電流を制御する。このためトンネル電流の大きさは強磁性ソースにおける多数スピンのスピンの向きに対する強磁性トンネル障壁のエネルギーバンド端におけるスピンバンドのスピンの向きに依存する。すなわち、強磁性ソースと強磁性トンネル障壁との相対的な磁化の方向に依存する。

30

強磁性ソースにおける多数スピンのスピンの向きと強磁性トンネル障壁のエネルギーバンド端におけるスピンバンドのスピンの向きとが一致する場合を平行磁化とし、これらスピンの向きが互いに反対方向である場合を反平行磁化とする。平行磁化の場合では、強磁性ソースの多数スピンから見た強磁性トンネル障壁のバリア高さは低く、ゲート電圧によって容易にドレイン電流を得ることができる。これに対して、反平行磁化の場合では強磁性ソースの多数スピンから見た強磁性トンネル障壁のバリア高さは高く、平行磁化の場合と同一のバイアスを印加してもドレイン電流は平行磁化の場合に比べて小さくなる。従って、上記トランジスタは、強磁性ソースと強磁性トンネル障壁との相対的な磁化の方向によって相互(伝達)コンダクタンスが異なる。

40

上記トランジスタは、磁場などによって強磁性ソースと強磁性トンネル障壁の相対的な磁化の向きを変化させることによって情報を記憶し、トランジスタの伝達特性からトランジスタ内に記憶された情報を電氣的に読み出すことができる。従って、1つの上記トラン

50

ジスタのみで1ビットの不揮発性のメモリセルを構成することができる。

上記考察に基づいて、以下に本発明の実施の形態について、図面を参照して説明する。まず、本発明の第1の実施の形態によるトランジスタについて図面を参照して説明する。

図1は、本発明の第1の実施の形態によるトランジスタの断面構造例を示す図である。図1に示すように、本実施の形態によるトランジスタ1は、強磁性ソース3と強磁性トンネル障壁7とドレイン5との接合を有するトンネル接合構造体と、強磁性トンネル障壁7に対して形成されたゲート絶縁膜11とゲート電極15とを有し、上記強磁性トンネル障壁7に対して電界を印加できる制御電極構造体とを含んで構成され、全体としてトランジスタ1を形成する。

強磁性ソースには、Ni、Co、Fe、パーマロイなどの強磁性金属やGaMnAsや磁性元素を含む半導体などの電気伝導性の強磁性半導体を用いられる。強磁性トンネル障壁にはEuSなどの絶縁性の強磁性半導体やガーネットなどの強磁性絶縁体を用いられる。また、磁性元素を含む半導体で、絶縁性を示す強磁性半導体を強磁性トンネル障壁に用いても良い。ドレインにはAl、Au、非磁性シリサイドなどの非磁性金属やドーブしたSi、GaAsなどの電気伝導性の非磁性半導体を用いられる。但し、強磁性半導体と非磁性半導体を、それぞれ強磁性ソースとドレインとに用いる場合には両者を同一の伝導型にする必要がある。

伝導キャリアは、強磁性ソースに強磁性金属又はn型強磁性半導体を用いた場合は電子となり、強磁性トンネル障壁は伝導帯の底がスピン分裂している必要がある。また、強磁性ソースとしてp型強磁性半導体を用いた場合は、伝導キャリアは正孔となり、強磁性トンネル障壁における価電子帯の頂上がスピン分裂している必要がある。

図2(a)は、図1に示すトランジスタの強磁性ソースとドレインとを、それぞれ強磁性金属と非磁性金属とで構成した場合のエネルギーバンド構造の例を示す図である。強磁性ソース3とドレイン5における実線と強磁性トンネル障壁7における破線とは、フェルミエネルギー E_f を示す。また、強磁性トンネル障壁7の伝導帯底にある近接した2本の実線21、25は、それぞれアップスピンバンドとダウンスピンバンドのバンド端を表す。

図中に示した上向きと下向きの矢印はアップスピンとダウンスピンを表す。強磁性ソースのフェルミエネルギー E_f 上に示した矢印は、多数スピンの向きを表し、少数スピンの表示は省略している。また同様に、上向きと下向きの矢印を用いて強磁性トンネル障壁7におけるアップスピンバンド端21とダウンスピンバンド端25を表す。ドレイン5では、フェルミエネルギー E_f 上に示した上向き及び下向きの2つ並べられた矢印を用いて非磁性体であることを表す(上記各領域における上向きと下向きの矢印に関しては、以下の図でも同様の意味で用いる。)

は、強磁性トンネル障壁7におけるアップスピンバンド21とダウンスピンバンド25とのスピン分裂幅を表す。強磁性ソース3に対する強磁性トンネル障壁7のバリア高さは、アップスピンとダウンスピンとで異なるが、低い方のバリア高さをとする。すなわち、強磁性ソース3のフェルミエネルギー E_f と強磁性トンネル障壁7の伝導帯における最も低いエネルギーを有するスピンバンドの底のエネルギーとの差をとする。

図2(b)は、図1に示すトランジスタの強磁性ソース3とドレイン5を、それぞれn型強磁性半導体およびn型非磁性半導体により構成した場合のエネルギーバンド構造を示す図である。強磁性ソース3aとドレイン5aにおける実線 E_c は、伝導帯底のエネルギーを表す。また、強磁性ソース3a、ドレイン5a及び強磁性トンネル障壁7aにおける破線は、フェルミエネルギー E_f を表す。

図2(a)の場合と同様に、は強磁性トンネル障壁におけるアップスピンバンド21aとダウンスピンバンド25aとのスピン分裂幅を表し、ソース電極3aの伝導帯底と強磁性トンネル障壁7aの伝導帯における最も低いエネルギーを有するスピンバンド底のエネルギーとの差をとする。図2(b)では、非縮退の強磁性半導体と非磁性半導体とを用いた場合を示しているが、縮退した強磁性半導体と非磁性半導体を用いてそれぞれ強磁性ソース3aとドレイン5aを構成することもできる。

10

20

30

40

50

図2(c)は、図1に示すトランジスタの強磁性ソース3とドレイン5とを、それぞれ、p型強磁性半導体とp型非磁性半導体とで構成した場合のエネルギーバンド構造を示す図である。強磁性ソース3bとドレイン5bにおける実線 E_v は、価電子帯頂上のエネルギーを表す。また、強磁性ソース3b、ドレイン5bと強磁性トンネル障壁7bにおける破線は、フェルミエネルギーを表す。強磁性トンネル障壁7bの価電子帯頂上に存在する近接した2本の実線は、アップスピンバンド21bとダウンスピンバンド25bのバンド端を表す。は、強磁性トンネル障壁7bにおけるアップスピンバンド25bとダウンスピンバンド21bとのスピン分裂幅を表し、強磁性ソース5bの価電子帯頂上と強磁性トンネル障壁7bの価電子帯における最も高いエネルギーを有するスピンバンド頂上のエネルギーとの差をとする。図2(c)においては、非縮退の強磁性半導体と非磁性半導体を用いた場合を示しているが、縮退した強磁性半導体と非磁性半導体を用いてそれぞれ強磁性ソース3bとドレイン5bとを構成することもできる。

10

図1において、強磁性ソース3における多数スピンの向きと強磁性トンネル障壁7のバンド端となるスピンバンドのスピンの向きとが一致する場合は平行磁化となる。また、反平行磁化は、これらスピンの向きが互いに反対方向である場合となる。強磁性ソースの多数スピンの向きに対する強磁性トンネル障壁のバリア厚さは、平行磁化の場合では、反平行磁化の場合では+となる。従って、強磁性ソース3に対するトンネル障壁7の相対的な磁化の向きを、例えば磁場を印加することにより平行磁化から反平行磁化に変化させることで、強磁性ソースの多数スピンの感じるバリア高さをから+に増加させることができる。

20

ゲート絶縁膜11の厚さは、ゲート電極に印加した電圧によって強磁性トンネル障壁のポテンシャル形状を変化できる程度の薄さであって、ゲート電圧印加時にゲート電極15と強磁性ソース3又はドレイン5との間にリーク電流(トンネル電流など)がほとんど生じない程度の厚さを有していることが好ましい。

強磁性トンネル障壁の膜厚は、強磁性体ソースと強磁性体トンネル障壁が平行磁化を持つ場合に、強磁性ソース3とドレイン5間のバイアス V_{DS} のみの印加時には、ソースからドレインにダイレクトトンネルやFowler-Nordheimトンネリング(以下、「FNトンネル」と称する。)などのトンネル効果による電流がほとんど生じない程度の厚さに設定しておき、 V_{DS} の印加によって生じる強磁性トンネル障壁7のバンド端におけるポテンシャル形状を、ゲート電極15と強磁性ソース電極3との間のバイアス V_{GS} の印加により、変形させることによってトンネル電流が生じるようにする。

30

以下、図2(a)に示した強磁性金属を強磁性ソースに用い、伝導キャリアが電子である場合を例に、図3を参照して本実施の形態によるトランジスタ1の動作を詳細に説明する。強磁性ソース3と強磁性トンネル障壁7とが平行磁化である場合には、強磁性ソース3の多数スピンと平行なスピンのスピンバンドが強磁性トンネル障壁7のバンド端になるので、強磁性ソースの多数スピンから見たバリア高さはとなる。ソース3、ドレイン5との間のみにバイアス V_{DS} を印加すると、強磁性トンネル障壁のポテンシャル形状は、図2(a)に示す矩形状から図3(a)に示すような形状またはこれに類似の形状に変化する。このとき、 V_{DS} はFNトンネルによる電流がほとんど流れない程度の大きさである。すなわち、 V_{DS} の印加によって強磁性ソース3のフェルミエネルギーが強磁性トンネル障壁7のバンド端を横切っているにもかかわらず、強磁性ソース/強磁性トンネル障壁の界面から強磁性ソースのフェルミエネルギーと強磁性トンネル障壁のバンド端が交差するまでの距離dはFNトンネルが生じない程度に長い。

40

ゲート電極にバイアス $V_{GS}(>0)$ を印加すると、ゲート電極から強磁性ソースに向かう電気力線によって、強磁性ソース/強磁性トンネル障壁の界面近傍の電界が強くなり、図3(b)に示すようなポテンシャル形状が形成される。従って、ポテンシャル障壁の幅が、トンネルのほとんど生じないdからトンネルの可能なd'へ減少すれば、強磁性ソース3の多数スピンは強磁性トンネル障壁7を透過することができる。従って、強磁性ソース3とドレイン5との間にドレイン電流が生じる。一方、強磁性ソース3の少数スピンに対するバリア高さはよりさらにだけ高く、また、少数スピンのキャリア密度が小さ

50

いことから、少数スピンのによるドレイン電流は小さい。よって、ドレイン電流は強磁性ソース電極3の多数スピンと少数スピンによるトンネル電流の和となるが、十分な大きさであれば、多数スピンによるトンネル電流が支配的となる。

V_{GS} によるトンネル障壁の幅の減少に対して、トンネル確率は大きく増加するため、微小な V_{GS} の変化に対して I_D は大きく変化する。よって、高い相互(伝達)コンダクタンスを得ることが出来る。

図3(c)に示すように、強磁性ソースと強磁性トンネル障壁とが反平行磁化を持つ場合は、強磁性ソースの多数スピンに対するバリア高さは $+$ となり、強磁性ソースの少数スピンに対するバリア高さが $-$ となる。よって、反平行磁化の場合では、多数スピンのトンネル確率は図3(b)の場合と同一のバイアス V_{DS} と V_{GS} を印加しても低くドレイン電流はほとんど生じない。強磁性ソース3の少数スピンに対する強磁性トンネル障壁7のバリア高さは $-$ であることから、少数スピンに対してトンネル確率は大きい、少数スピンのキャリア密度は小さいことから、少数スピンのトンネルによって生じるドレイン電流は小さい。従って、反平行磁化の場合にもドレイン電流は強磁性ソースの多数スピンと少数スピンによる電流の和となるが、その大きさは平行磁化の場合に比べて小さい。よって、反平行磁化の場合の相互(伝達)コンダクタンスは小さい。

図4を参照して、図1から図3までに示すトランジスタの電流-電圧特性について説明する。図4は、 V_{GS} をパラメータとしたトランジスタ1のドレイン電流 I_D の V_{DS} 依存性を示す概念図である。強磁性ソース3と強磁性トンネル障壁7とが平行磁化である場合に、決められたあるドレイン電流を生じる V_{GS} を V_1 とする。平行磁化の場合に、ゲート電極に V_1 以上の $V_{GS} = V_1 (> V_1)$ 印加すると、上述のように強磁性ソースにおける多数スピンに対するトンネル障壁のバリア高さが低いこと、およびゲート電圧によって実効的なトンネル障壁の幅が狭くなることから、強磁性ソース3の多数スピンのトンネルによるドレイン電流(I_D)35が生じる。 V_{GS} の大きさによって、実効的なトンネル障壁の幅を制御できることから、ドレイン電流35は、 V_{GS} によって制御できる。

また、 V_{GS} を印加した場合における強磁性ソース/強磁性トンネル障壁界面近傍のポテンシャル形状の変化が、主としてゲート電圧による電界変化に起因する場合は、トンネル確率は、ほとんど V_{DS} に依存しないため、図4に示すようにドレイン電流は V_{DS} に対して飽和特性が得られる。

一方、強磁性ソースと強磁性トンネル障壁が反平行磁化を持つ場合は、上記のように強磁性ソースの多数スピンに対するトンネル障壁のバリア高さは高く($+$)、トンネル確率は小さい。少数スピンに対してはバリア高さは低く($-$)トンネル確率は大きい、キャリア密度が小さい。従って、反平行磁化の場合では、 $V_{GS} = V_1 > V_1$ の場合であっても、平行磁化の場合に比べて小さなドレイン電流(I_D)33のみを生じる。

従って、上記トランジスタは、ドレイン電流をゲート電圧で制御できるトランジスタとしての性質を備えるとともに、強磁性ソース3と強磁性トンネル障壁7との相対的な磁化が、平行磁化をもつ場合には、相互コンダクタンスが大きく、反平行磁化の場合には、相互コンダクタンスが小さいという特徴的な性質を有する。

強磁性体では、外部から保磁力以上の磁場が印加されない限り、磁化の方向を安定に保持することができる。このため、上記トランジスタは、強磁性ソース3と強磁性トンネル障壁7との相対的な磁化を平行磁化又は反平行磁化にすることによって2値の情報を不揮発に記憶することができる。例えば、強磁性ソース3と強磁性トンネル障壁7に保磁力の差を与えるか、又は、一方の磁化の方向を固定しておき、信号線による磁場などによって強磁性ソース3と強磁性トンネル障壁7との間を平行磁化とすれば“0”の情報を記憶させることができ、反平行磁化とすれば“1”の情報を記憶させることができる。上記トランジスタは、上述のようにドレイン電流の大きさ又は相互(伝達)コンダクタンスの大きさから、強磁性ソース3と強磁性トンネル障壁7との間の相対的な磁化状態を電気的に検出することができる。従って、1つの上記トランジスタのみで1ビットの不揮発性メモリセルを構成することができる。

10

20

30

40

50

図5は、本発明の第2の実施の形態によるトランジスタの断面構造例を示す図である。図5に示すように、本実施の形態によるトランジスタ51は、強磁性体からなるソース（強磁性ソース）53と強磁性体からなるドレイン（強磁性ドレイン）55とによって強磁性トンネル障壁57を挟み込んだトンネル接合構造体と、強磁性トンネル障壁57に対して形成されたゲート絶縁膜61とゲート電極65とを有し、上記強磁性トンネル障壁57に対して電界を印加できる制御電極構造体とを含んで構成され、全体としてトランジスタ51を形成する。

強磁性ソース53と強磁性ドレイン55には、強磁性金属、電気伝導性の強磁性半導体などの電気伝導性強磁性体、強磁性トンネル障壁57には、絶縁性の強磁性半導体などの絶縁性強磁性体を用いる。但し、強磁性半導体を、強磁性ソースと強磁性ドレインとに用いる場合には両者を同一の伝導型にする必要がある。具体的な材料としては、上記した第1の実施の形態と同様のものが考えられる。

また、第1の実施の形態と同様に、伝導キャリアは、強磁性ソース53に強磁性金属又はn型強磁性半導体を用いた場合には電子となり、強磁性トンネル障壁57は伝導帯の底がスピン分裂している必要がある。また、強磁性ソース53としてp型強磁性半導体を用いた場合は、伝導キャリアは正孔となり、強磁性トンネル障壁57における価電子帯の頂上スピン分裂している必要がある。

第2の実施の形態におけるバンド構造は、図2におけるバンド構造のドレインを強磁性体とすれば良い。また、第2の実施の形態においても第1の実施の形態と同様にとを決めることができる。強磁性ソース53における多数スピンの向きと、強磁性トンネル障壁57のエネルギバンド端におけるスピンバンドのスピンの向きとが一致する場合を平行磁化とし、これらスピンの向きが互いに反対方向である場合を反平行磁化とする。強磁性ドレイン55の磁化は、ピン層と一致させてもフリー層と一致させても良い。（強磁性ソースまたは強磁性トンネル障壁に一致させる。）

特に、第2の実施の形態によるトランジスタでは、強磁性ソース53と強磁性ドレイン55とを同じ材料で構成できるため、トランジスタの作製プロセスが大きく簡略化できるという特徴を有する。

次に、本発明の第3の実施の形態によるトンネルトランジスタについて説明する。本実施の形態によるトランジスタは、第1の実施の形態によるトランジスタにおける強磁性ソースをハーフメタル強磁性体（以下、「ハーフメタル」と略記する。）に置き換えたものである。ハーフメタルでは、一方のスピンに対しては金属的なスピンバンド構造をとるが、もう一方のスピンに対しては絶縁体（半導体）的なスピンバンド構造を有する。したがって、一方のスピンのみが伝導キャリアとなる。ハーフメタルにおける伝導キャリアのスピンの向き（金属的スピンバンドのキャリアのスピンの向き）と、強磁性トンネル障壁のバンド端となるスピンバンドのスピンの向きとが一致する場合を平行磁化とし、これらスピンの向きが互いに反対方向である場合を反平行磁化とする。平行磁化の場合には、図3（b）の場合と同様に、強磁性ソースの金属的なスピンバンドに属するスピンはバリア高さのトンネル障壁を透過してドレイン電流を形成する。一方、反平行磁化の場合には、バリア高さがとなるスピンを有する伝導キャリアは、強磁性ソースがハーフメタルであることから存在しない（上述のように通常の強磁性金属を用いた強磁性ソースではこの伝導キャリアは少数スピンとなる）。ハーフメタルの絶縁体的スピンバンドのバンドギャップが十分に広く、また、ハーフメタルの膜厚が十分に厚ければ、外部の非磁性コンタクトから強磁性トンネル障壁をトンネルできるようなスピンを有するキャリアの注入はほとんど生じない。ハーフメタルの金属的スピンバンドに属するスピンに対して強磁性トンネル障壁のバリア高さは + となるため、このスピンに対するトンネル確率は低く、十分な大きさのであれば、この伝導キャリアによるドレイン電流を無視できるほど小さくすることができる。従って、強磁性ソースにハーフメタルを用いれば、平行磁化と反平行磁化におけるドレイン電流比を飛躍的に大きくすることができる。また、第2の実施の形態によるトランジスタのように、強磁性ソースと強磁性ドレインとの両方をハーフメタルにすることもできる。ハーフメタルとしては、 CrO_2 、 Fe_3O_4 、ホイスラーアロイなど

10

20

30

40

50

を用いることができる。また、せん亜鉛鉍構造をとるMnAs、CrAs、CrSbや、ハーフメタルとなる電子構造を有する強磁性半導体を用いることもできる。

次に、本発明の第4の実施の形態によるトランジスタについて図6を参照して説明する。図6は、本発明の第4の実施の形態によるトランジスタの構造断面図である。第1から第3までの実施の形態によるトランジスタは、プレーナ型トランジスタであったが、第4の実施の形態によるトランジスタは、第1から第3までの実施の形態によるトランジスタを縦型トランジスタで構成したものである。

図6に示すように、本実施の形態によるトランジスタ71は、基板70と、基板70上に形成された強磁性ソース73と、強磁性トンネル障壁77と、強磁性又は非磁性のドレイン75との積層構造体であって、積層構造体のそれぞれの構成要素の側面の一部又は全部がゲート絶縁膜81により覆われており、さらに、このゲート絶縁膜81と、ゲート絶縁膜81を介して強磁性トンネル障壁77に対して電界を印加することができるゲート電極85を有している。

10

この構造は、基板70の表面の法線方向に積層した強磁性ソース73と、強磁性トンネル障壁77と、強磁性又は非磁性のドレイン75との積層構造体の構成を有しているため、強磁性ソース73と、強磁性トンネル障壁77と、強磁性又は非磁性のドレイン75との連続した接合を、膜厚制御性の良い薄膜成長法を用いて形成することができる。従って、高い精度で強磁性トンネル障壁77を形成することができる。

以上の第1から第4までの実施の形態によるトランジスタにおいて、強磁性ソースと強磁性トンネル障壁の間に非磁性体を挟んで、強磁性ソースと強磁性トンネル障壁との磁気的なカップリングを防ぐことも可能である。

20

次に、上記第1から第4までのいずれかの実施の形態によるトランジスタ1つを記憶素子として用いた記憶回路(不揮発性メモリ)とその動作について図面を参照しつつ説明する。

本発明の第1から第4までの各実施の形態によるトランジスタは、MOSトランジスタなどの電界効果トランジスタと同様にゲート電圧によりドレイン電流を制御できるトランジスタであるとともに、トランジスタ内に不揮発に磁化情報を保持できる強磁性体とこの強磁性体の磁化状態に依存する伝達特性(相互コンダクタンス)をも併せ持つ。従って、トランジスタ単体のみで1ビットのメモリセルを構成できる。また、トランジスタの出力電圧は、周辺回路(負荷と電源)により任意に設計することも可能である。

30

図7(a)、(b)は、本発明の第5及び第6の実施の形態による記憶回路であって、本発明の第1から第4までの各実施の形態によるトランジスタのいずれかを用いた記憶回路の構成例を示す図である。図7(a)に示すように、本実施の形態による記憶回路は、ソース(S)を接地したトランジスタ91を多数マトリクス状に配置し、トランジスタ91のドレイン(D)とゲート(G)とを、それぞれ、読み出し用ビット線BLと読み出し用ワード線WLとに接続する。また、書き換え用ワード線と書き換え用ビット線とを上記トランジスタ上で他の配線と電氣的に絶縁した状態で交差するように配置する。この書き換え用ワード線と書き換え用ビット線として、上記した読み出し用ビット線と読み出し用ワード線を併用しても良い。図7(a)、(b)はこの場合のセル構成を示す図である。この場合では、トランジスタ単体でメモリセルを構成できるのみならず、配線に関して

40

非常に単純な構成にすることができる。次に、本発明の第5の実施の形態について図面を参照しつつ説明を行う。従来の構成によるMRAMでは、2素子4配線(図8参照)の構成であり、さらにMTJ及び書き換え用ワード線の存在によって、ソースを隣り合ったセルで共用してセル面積を小さくするなどの工夫が困難であったが、本実施の形態では、図7(a)に示すように、最も単純な1素子3配線(または1素子2配線)によってメモリセルを構成できるため、微細化に適したレイアウトを容易に構成することができる。例えば、ソースを共通にした構造を用いれば、メモリセルのサイズをより一層小さくすることができる(後述)。

以下、書き換え/読み出しビット線および書き換え/読み出し用ワード線をそれぞれ共用する場合として、単にそれぞれ、ビット線BL、ワード線WLと呼ぶ。情報の書き換え

50

は本実施の形態によるトランジスタ 91 における強磁性ソースまたは強磁性トンネル障壁の保持力を変えておくか、一方の磁化方向を固定しておき、一方の磁化を反転させることにより、強磁性ソースと強磁性トンネル障壁との間の相対的な磁化を平行磁化または反平行磁化にして行う。この平行磁化または反平行磁化の磁化状態を“0”または“1”の2値の情報に対応させる。具体的には、選択セル上で交差するビット線BLとワード線WLに電流を流し、それぞれの電流によって誘起される磁界の合成磁界によって選択されたメモリセルの保持力の小さな強磁性体または磁化方向の固定されていない強磁性体の磁化を反転させて情報を記憶する。

この際、選択したメモリセルと同一のビット線BL又はワード線WLに接続している非選択メモリセルが磁化反転しないようにするため、一方の配線のみからの磁界では磁化反転を生じないようにそれぞれの配線に流す電流値を設定しておく。

情報の読み出しは、選択セルに接続されたワード線WLに電圧を印加して本実施の形態によるトランジスタを導通させてから、ビット線BLに電圧を印加し、ドレイン電流の大きさを検出する。本実施の形態によるトランジスタでは、強磁性ソースと強磁性トンネル障壁との相対的な磁化状態が平行磁化の場合では相互コンダクタンスが大きく、大きなドレイン電流を生じるが、反平行磁化の場合では相互コンダクタンスが小さくドレイン電流も小さい。従って、ドレイン電流の大きさに基づき、強磁性ソース電極と強磁性トンネル障壁との相対的な磁化状態を検出することができる。

通常のMTJにおいて、平行磁化における電流は両強磁性電極における多数スピンの状態密度間のトンネルと少数スピンの状態密度間のトンネルによって生じ、反平行磁化の場合では少数スピンの状態密度から多数スピンの状態密度へのトンネルと多数スピンの状態密度から少数スピンの状態密度へのトンネルによって生じる。従って、強磁性電極のスピンの分極率が大きいほど平行磁化と反平行磁化のそれぞれの場合における電流の比が大きくなる。しかし、平行磁化の場合に生じる電流に少数スピンによる電流成分が含まれるので、平行磁化と反平行磁化のそれぞれの場合における電流の比は容易には大きくできない。

一方、本実施の形態によるトランジスタでは、強磁性トンネル障壁のバンド端におけるスピン分裂によって、平行磁化を持つ場合におけるドレイン電流は強磁性ソースの多数スピンのトンネルのみによって生じ、反平行磁化の場合でのドレイン電流は強磁性ソースの少数スピンのトンネルのみによって生じるようにできる。また、強磁性トンネル障壁は大きなスピン選択性を有する。従って、本実施の形態によるトランジスタでは、平行磁化と反平行磁化とのそれぞれの場合における電流の比（ドレイン電流比）は、MTJの場合における電流比に比べて大きくすることができる。従って、本実施の形態によるトランジスタを用いれば、上記回路において容易に磁化状態を検出することができる。

また、MTJでは、TMR比はバイアス電圧とともに急激に減少するため、回路に必要なバイアス下ではTMR比が大きく減少するといった問題があったが、本実施の形態によるトランジスタを用いればこのような問題は生じない。本実施の形態によるトランジスタでは、FNトンネルによるスピンの向きに依存したトンネル効果を用いているため、FNトンネルを生じさせるために必要なバイアスを、トンネル障壁のバリア高さや膜厚などによって調整することができる。従って、回路に必要なバイアス下で大きなドレイン電流比を実現できるように設計可能である。

また、強磁性トンネル障壁を強磁性ソースと強磁性又は非磁性のドレインで挟み込んだトンネル構造（第1から第4の実施の形態におけるトランジスタのゲート絶縁体とゲート電極のない2端子デバイス）は、高いTMR比の出現するバイアス電圧を最適化できる2端子磁気抵抗素子としても用いることができる。

次に、本発明の第6の実施の形態について図面を参照しつつ説明を行う。図7(b)は、図7(a)に示す記憶回路のビット線BL端に出力端子 V_0 と出力端子 V_0 から分岐して負荷を介して電源 V_{DD} に接続した記憶回路である。図7(c)は、図7(b)に示した記憶回路の出力特性を示す図である。ここでは、負荷としてデプレッションMOSトランジスタによる能動負荷を用いているが、純抵抗を用いても良い。図7(c)に示すように、情報の読出し時にはトランジスタのゲート電極に V_{GS} を印加し、ビット線BLに負

10

20

30

40

50

荷を介して電源 V_{DD} を印加すれば、負荷による動作点は強磁性ソース/強磁性トンネル障壁間の磁化状態に応じて図 7 (c) 中の負荷曲線上を動く (図中の P 1 1 と P 1 2)。従って、平行磁化と反平行磁化との場合の出力信号 V_0 は、それぞれ図中の V_{01} と V_{02} となる。それぞれの出力信号の絶対値および比 (V_{01} / V_{02}) は、負荷、 V_{DD} などの周辺回路によって適正化できる。例えば、負荷曲線を最適化することにより、ドレイン電流比 I_{D1} / I_{D2} が小さい場合でも大きな出力信号比を得ることができる。また、 I_{D1} と I_{D2} の値がメモリセルによってばらついていても、能動負荷の飽和電流が I_{D1} より大きく、 I_{D2} より小さければ、出力電圧はほとんど変動しない。さらに、情報の読み出しにセンスアンプを用いないため、高速の読み出しが可能となる。したがって、本実施の形態による記憶回路では、所望の大きさの出力信号を容易に得ることができ、さらに高速読み出しが可能になるという利点を有する。

10

また、第 1 から第 3 の実施の形態による 2 つのトランジスタのソースを 1 つのソースで共通として高密度に集積化が可能なメモリセル構造を形成することも可能である。図 9 は共通ソース構造を有するメモリセルの断面構成例を示す図である。図 9 に示すメモリセル構造は、互いに隣接する 2 つの上記トランジスタのうちの第 1 のトランジスタ Tr_1 と第 2 のトランジスタ Tr_2 と、第 1 のトランジスタ Tr_1 のゲート電極 G_1 と第 2 のトランジスタ Tr_2 のゲート電極 G_2 とを共通接続するワード配線 WL と、第 1 のトランジスタ Tr_1 の第 1 のドレイン D_1 と接続する第 1 ビット線 BL_1 と、第 2 のトランジスタの第 2 のドレイン D_2 と接続する第 2 ビット線 BL_2 と、第 1 及び第 2 のトランジスタ Tr_1 、 Tr_2 に共通の強磁性ソース S と、これを接地 (GND) する配線とを有する。上記構造のメモリセルをマトリクス状に配置すれば、さらに高密度集積化が可能となる。

20

図 10 は、第 4 の実施の形態 (図 6) に示すトランジスタを複数用いたメモリセル構造の断面構成例である。基板又は基板上に設けられたコンタクト層とマトリクス状に配置された上記トランジスタのそれぞれの強磁性ソース S とが共通に接続するとともに接地 (GND) し、行方向に並ぶ複数のトランジスタでは、それぞれのトランジスタが有するドレイン D を共通に接続するビット線により接続されており、列方向に並ぶ複数のトランジスタでは、それぞれのトランジスタが有するゲート電極 G を共通に接続するワード線により接続されている。上記構造によれば、集積密度を一層高くすることが可能である。

30

以上、強磁性トンネル障壁と、強磁性金属、強磁性半導体、ハーフメタルを強磁性ソース又は強磁性ソース及び強磁性ドレインに用いたトランジスタについて示したが、強磁性トンネル障壁と、非磁性電気伝導体からなるソースと、強磁性金属、強磁性半導体、ハーフメタルを強磁性ドレインに用いてトランジスタを構成しても同様の効果が期待できる。

ただし、上述の非磁性ソースと、強磁性トンネル障壁と、強磁性ドレインから構成されるトランジスタの場合では、平行磁化と反平行磁化におけるそれぞれの電流の比は、ソース・ドレイン間のバイアスで減少してしまうことが予想される。

本発明の第 2 の観点によるトランジスタとその不揮発性メモリへの応用について示す。このトランジスタはチャネル領域に強磁性半導体を用いた、金属 - 絶縁体 - 半導体電界効果トランジスタ ($MISFET$) である。ソースとドレインはチャネル領域に用いる強磁性半導体層に接合するトンネル障壁とこれに接合する電極を含んで構成され、ソースとドレインとの少なくとも一方に強磁性体を含むことを特徴とする。以下、強磁性体を含んで構成されるソースおよびドレインを、それぞれ強磁性ソースおよび強磁性ドレインと称し、非磁性体のみから構成されるソースおよびドレインをそれぞれ非磁性ソースおよび非磁性ドレインと呼ぶことにする。強磁性ソースおよび強磁性ドレインは、非磁性体からなるトンネル障壁 (非磁性トンネル障壁) と強磁性体からなる電極 (強磁性電極) と、を含んで構成される。また、強磁性体からなるトンネル障壁 (強磁性トンネル障壁) と非磁性体からなる電極 (非磁性電極) と、を含んで構成させることもできる。これらの $MISFET$ は、強磁性ソースと強磁性ドレインとの構造によって本発明の第 7 から第 9 の実施の形態に大別することができる (下記 (1) ~ (3))。

40

(1) 強磁性電極/非磁性トンネル障壁構造

図 11 (a) は、本発明の第 7 の実施の形態による $MISFET$ の構造を示す図である

50

。図11(a)に示すように、第7の実施の形態によるMISFETでは、ゲート電極215と、ゲート絶縁膜211と、強磁性半導体層207と、を有するMIS構造(この積層構造には強磁性半導体を用いられているが、金属-絶縁体-半導体の場合と同様に、MIS構造と称することにすると、強磁性半導体層に接合する非磁性トンネル障壁203bとこれに接合する強磁性電極203aからなる強磁性ソース203と、強磁性半導体層に接合する非磁性トンネル障壁205bとこれに接合する非磁性電極205aからなる非磁性ドレイン205とから構成される。図11(a)では強磁性ソースと非磁性ドレインの組み合わせを示したが、ドレインを非磁性トンネル障壁と強磁性金属からなる強磁性ドレインとし、ソースを非磁性トンネル障壁と非磁性電極とからなる非磁性ソースとしても良い。また、ソースとドレインとが、それぞれ強磁性ソースと強磁性ドレインであっても良い。

10

チャネル領域を形成する強磁性半導体層207は、母材となる半導体に磁性元素を高濃度を含んだ強磁性半導体で構成され、図示しない半導体基板上(又は半導体層上)に成長するか、または、熱拡散やイオン注入などによって半導体中に磁性原子を導入することによって形成することができる。この強磁性半導体層207は、縮退する程度に磁性元素をドーピングしてあっても良く、或いは縮退していない程度に磁性元素をドーピングしても良い。強磁性半導体層207の具体的材料として、SiやGeなどの半導体に磁性元素を高濃度にドーピングした強磁性半導体、 $Si_{1-x}M_x$ 、 $Ge_{1-x}M_x$ 、 $(SiGe)_{1-x}M_x$ (M=磁性元素)などを用いることができる。強磁性ソースまたは強磁性ドレイン(または両方)に用いる強磁性電極には通常の強磁性金属(Fe、Ni、パーマロイ、CoFe合金、CoFeB合金など)の他、高濃度に磁性元素をドーピングした強磁性半導体($Si_{1-x}M_x$ 、 $Ge_{1-x}M_x$ 、 $(SiGe)_{1-x}M_x$ (M=磁性元素)など)やハーフメタル強磁性体(マグネタイト、ホイスラーアロイ、 CrO_2 、閃亜鉛鋅構造をとるMnAs、CrAs、MnSbなど)を用いることができる。このような強磁性ソースおよび強磁性ドレインに用いる強磁性電極は、強磁性半導体層207上に成長又は堆積しても良いが、熱拡散又はイオン注入によって半導体中に磁性原子を導入することによって形成しても良い。非磁性電極を形成する場合には、非磁性金属(Al、PdSi合金、ErSi合金など)や伝導制御した非磁性半導体(Si、Ge、SiGe合金)を用いることができる。非磁性トンネル障壁としては、非磁性絶縁体(Si酸化物、Si窒化物、Al酸化物、Ta酸化物など)や非磁性半導体(SiCなど)を用いる。MIS構造としては、強磁性半導体層の表面を酸化したMOS構造を用いるか、強磁性半導体207上に絶縁体層(Si酸化物、Al酸化物、Hf酸化物など)211を成長又は堆積してMIS構造とすることができる。基板としては、通常の半導体基板やSOI基板を利用することができる。本実施の形態によるMISFET201では、チャネル領域を形成する強磁性半導体207と同じ伝導型のキャリアを伝導キャリアとする蓄積チャネル型で動作する。キャリアとしては、電子又は正孔のいずれも利用可能であるが、以下ではnチャネル型デバイスを例にしてエネルギーバンド構造の説明を行う。pチャネル型デバイスについても同様に構成できる。

20

30

図11(b)から(d)までは、本発明の第7の実施の形態によるMISFETの熱平衡時におけるチャネル領域近傍のバンド構造例を示す図である。ここでは、強磁性電極に強磁性金属を、非磁性電極に非磁性金属を用いた場合を例として説明する。図11(b)では、強磁性電極203a-1と非磁性トンネル障壁203b-1とをからなる強磁性ソース203-1と非磁性電極205a-1と非磁性トンネル障壁205b-1とからなる非磁性ドレイン205-1を有している。図11(c)では、非磁性電極203a-2と非磁性トンネル障壁203b-2とからなる非磁性ソース203-2と強磁性電極205a-2と非磁性トンネル障壁205b-2とからなる強磁性ドレイン205-2を有している。図11(d)では強磁性電極203a-3と非磁性トンネル障壁203b-3とからなる強磁性ソース203-3と強磁性電極205a-3と非磁性トンネル障壁205b-3とからなる強磁性ドレイン205-3を用いた場合をそれぞれ示す。また、簡単のために、熱平衡時におけるフラットバンド状態を仮定する。強磁性ソース203および強磁性

40

50

ドレイン 205 に示した実線と、強磁性半導体層 207 と非磁性トンネル障壁 203 b、205 b に示した点線はフェルミエネルギー E_F を表す。 E_G は強磁性半導体のバンドギャップを表す。 E_C と E_V とは、それぞれ半導体の伝導バンドの底と価電子帯の頂上とを表す。以下においても同様に、これらを表すために E_F 、 E_G 、 E_C 、 E_V を用いる。図 11 におけるチャンネル領域の強磁性半導体層 207 は縮退していないが、上述のように縮退する程度に磁性元素をドーピングしてあっても良い。n チャンネル型デバイスでは、ソースおよびドレインの非磁性トンネル障壁によって、少なくともソースの強磁性（または非磁性）電極およびドレインの強磁性（または非磁性）電極から見て障壁の高さがそれぞれ s と d となるエネルギー障壁を伝導帯側に生じるようにする。p チャンネル型デバイスでは、少なくとも価電子帯側にエネルギー障壁が生じるようにする。

10

強磁性電極（203 a）又は非磁性電極（205 a）のフェルミエネルギー E_F 上に示した矢印は、それぞれの領域における多数スピンの向きを表し、上向きであればアップスピンを表し、下向きであればダウンスピンを表す。また、少数スピンの表示は省略した。同様に、強磁性半導体層では E_C 上に示した矢印によって多数スピンの向きを示した。非磁性電極は上向きと下向きの矢印を同時に示すことによって表現している。以下でもバンド図上の矢印を同様の意味で用いる。

（2）強磁性電極 / 真性半導体トンネル障壁

図 12 (a) は、本発明の第 8 の実施の形態による MISFET のデバイス構造を示す図である。本発明の第 8 の実施の形態による MISFET では、本発明の第 7 の実施の形態による MISFET における非磁性トンネル障壁 203 b・205 b を真性半導体（または適度に不純物をドーピングした半導体で）置き換えた構造を有する。本発明の第 7 の実施の形態による MISFET と同様にソースとドレインとの少なくとも一方に強磁性電極を用いる。図 12 (a) では、強磁性ソースと非磁性ドレインの場合を示した。チャンネル領域に用いる強磁性半導体層、強磁性電極、非磁性電極、基板の構成及び材料は、本発明の第 7 の実施の形態による MISFET と同様である。非磁性トンネル障壁 223 b・225 b は、チャンネル領域に用いる強磁性半導体層 227 のホスト材料となる半導体で構成されていてもよい。例えば、チャンネル領域の強磁性半導体層を $Si_{1-x}M_x$ （ M = 磁性元素）で構成した場合、非磁性トンネル障壁はアンドープの Si となる。（また、適度に不純物をドーピングした半導体であっても良い。）

20

本発明の第 8 の実施の形態による MISFET も蓄積チャンネル型で動作し、キャリアとしては電子及び正孔ともに利用可能であるが、以下では n チャンネル型デバイスについてバンド構造を説明する。p チャンネル型デバイスについても同様に構成できる。

30

図 12 (b) - (d) に本発明の第 8 の実施の形態による MISFET の熱平衡時におけるチャンネル領域近傍のバンド構造を示す。ここでは、強磁性電極に強磁性金属を、非磁性電極に非磁性金属を、用いた場合を示す。図 12 (b) では、強磁性電極 223 a - 1 と非磁性トンネル障壁 223 b - 1 とからなる強磁性ソース 223 - 1 と非磁性電極 225 a - 1 と非磁性トンネル障壁 225 b - 1 とからなる非磁性ドレイン 225 - 1 とを有している。図 12 (c) では非磁性電極 223 a - 2 と非磁性トンネル障壁 223 b - 2 とからなる非磁性ソース 223 - 2 と強磁性電極 225 a - 2 と非磁性トンネル障壁 225 b - 2 とからなる強磁性ドレイン 225 - 2 とを有しており、図 12 (d) は強磁性電極 223 a - 3 と非磁性トンネル障壁 223 b - 3 とからなる強磁性ソース 223 - 3 と、強磁性電極 225 a - 3 と非磁性トンネル障壁 225 b - 3 とからなる強磁性ドレイン 225 - 3 と、を用いた場合をそれぞれ示す。n チャンネル型デバイスでは、ソースおよびドレインの真性半導体によって図に示すような障壁が形成され、（ただし、強磁性半導体層と真性半導体層の界面に生じるポテンシャルのとびは、図示していない。）障壁高さがそれぞれ s 、 d となるエネルギー障壁を伝導帯側に生じるようにする。p チャンネル型デバイスでは価電子帯側にエネルギー障壁が生じるようにする。

40

（3）非磁性電極 / 強磁性トンネル障壁

図 13 (a) は、本発明の第 9 の実施の形態による MISFET の構造を示す。本発明の第 9 の実施の形態による MISFET では、本発明の第 7 の実施の形態による MISF

50

E Tの非磁性トンネル障壁203b・205b(図11)をそれぞれ強磁性トンネル障壁243bと非磁性トンネル障壁245bに置き換え、強磁性電極203aと非磁性電極205a(図11)をそれぞれ非磁性電極243a・245aに置き換えた構造を有する。図13(a)ではソースおよびドレインがそれぞれ強磁性ソースと非磁性ドレインの場合を示したが、ソースとドレインとの少なくとも一方に強磁性トンネル障壁を用いれば良い。ソースまたはドレインの一方のみに強磁性トンネル障壁を用いる場合は、他方には非磁性トンネル障壁を用いる。

チャネル領域が形成される強磁性半導体層247と、非磁性電極243a・245a、基板の構成、材料は本発明の第7の実施の形態によるMISFETと同様である。強磁性トンネル障壁243bには絶縁性を示す強磁性体や強磁性半導体を用いることができる。具体的材料としては、EuSやGd₂O₃などを用いることができる。この本発明の第9の実施の形態によるMISFETも蓄積チャネル型で動作し、キャリアとしては電子および正孔ともに利用可能であるが、以下ではnチャネル型デバイスについてバンド構造を説明する。pチャネル型デバイスについても同様に構成できる。

図13(b)から(d)に、第3のデバイス構造における熱平衡時のチャネル領域近傍のバンド構造を示す。ここでは、強磁性電極に強磁性金属を、非磁性電極に非磁性金属を用いた場合を示す。図13(b)に示す構造では非磁性電極243a-1と強磁性トンネル障壁243b-1とからなる強磁性ソース243-1と、非磁性電極245a-1と非磁性トンネル障壁245b-1とからなる非磁性ドレイン245-1と、を含み、図13(c)に示す構造では、非磁性電極243a-2と非磁性トンネル障壁243b-2とからなる非磁性ソース243-2と、非磁性電極245a-2と強磁性トンネル障壁245b-2とからなる強磁性ドレイン245-2とを含み、図13(d)に示す構造では非磁性電極243a-3と強磁性トンネル障壁243b-3とからなる強磁性ソース243-3と非磁性電極245a-3と強磁性トンネル障壁245b-3とからなる強磁性ドレイン245-3を用いている。強磁性トンネル障壁243b-1、245b-2、243b-3、245b-3のバンド端では、アップスピンバンドとダウンスピンバンドのスピンスplitによって、それぞれに接合する非磁性電極から見た障壁高さがスピンスplitに依存する。nチャネル型デバイスでは、強磁性トンネル障壁の伝導帯の底がスピンスplitしている必要がある。pチャネル型デバイスでは、強磁性トンネル障壁の価電子帯の頂上がスピンスplitしている必要がある。図中の強磁性トンネル障壁における2本の近接する実線はアップスピンバンドとダウンスピンバンドとのバンド端を表し、 ϵ_s および ϵ_d はそれぞれソース、ドレインに強磁性トンネル障壁を用いた場合の強磁性トンネル障壁におけるアップスピンバンドとダウンスピンバンドとのスピンスplit幅を表す。また、これらの実線上に示した上向き矢印と下向き矢印は、それぞれアップスピンバンド端と、ダウンスピンバンド端と、を表す。ソースにおける ϵ_s はソースの非磁性電極から見た強磁性トンネル障壁の低い方の障壁高さまたは非磁性トンネル障壁の障壁高さであり、ドレインにおける ϵ_d はドレインの非磁性電極から見た強磁性トンネル障壁の低い方の障壁高さまたは非磁性トンネル障壁の障壁高さである。

以上が本発明の第7から第9までの実施の形態によるMISFETの基本構造を示す図である。これらの基本構造は、図14(a)から図14(d)までの具体的な構造によって実現することができる。図14中のソースとドレインの電極とトンネル障壁とを適宜強磁性体とすれば、図11~図13までに示した本発明の第7から第9までの実施の形態によるMISFETを実現できる。

図14は、本発明の第10から第13までの実施の形態によるMISFETの実現形態を示す図である。図14(a)は、本発明の第10の実施の形態によるMISFETの構造を示す図である。図14(a)に示すように、本実施の形態によるMISFET300は、基板301上にアイランド状に形成された強磁性半導体層307と、強(非)磁性トンネル障壁303b、305bによって、強磁性半導体層307と基板301とを分離された強(非)磁性電極303a、305aによるソースとドレインから構成される。

図14(b)は、本発明の第11の実施の形態によるMISFETの第2の実現形態を

10

20

30

40

50

示す図であって、予め形成した強磁性半導体層/強(非)磁性トンネル障壁/強(非)磁性電極の三層構造を利用した構成例である。本実施の形態によるMISFET320は、基板321上に形成され基板321側から順に強磁性半導体323と、強(非)磁性トンネル障壁325と、強(非)磁性電極327との三層構造に、リソグラフィなどによってエッチングを行った三層構造のある方向から見た断面が、凹型、U字型、V字型等の形状となるくぼみを形成する。このくぼみに露出した強磁性半導体、強(非)磁性トンネル障壁、強(非)磁性電極の表面に形成された絶縁膜331と、ゲート電極335と、を有している。

図14(c)は、本発明の第12の実施の形態によるMISFETの第3の実現形態を示す図であり、SOI基板を用いた構成例を示す図である。図14(c)に示すように、本実施の形態によるMISFET340は、基板341とその上に形成された埋め込み酸化膜342とからなるSOI構造上に形成されたアイランド状の強磁性半導体347と、この強磁性半導体層347の対向する側面にそれぞれ形成される強(非)磁性トンネル障壁とこれに接合する非磁性電極によって形成されるソースとドレインと、さらに、強磁性半導体347上に形成されるゲート絶縁膜351と、その上に形成されるゲート電極355とを有している。埋め込み酸化膜342を利用するため、トンネル障壁343b・345bは強磁性半導体347の側壁にのみ形成すれば良い。

図14(d)は、本発明の第13の実施の形態によるMISFETの第4の実現形態を示す図であり、縦型トランジスタによる構成例を示す図である。図14(d)に示すように、第4構成例では、基板361の上に、ソース363と強磁性半導体367とドレイン355とのアイランド状の積層構造を形成し、その側壁にゲート絶縁膜371とゲート電極373とを形成した構成を有している。

次に、本発明の第2の観点によるMISFETの動作原理について図面を参照しつつ説明を行う。本発明の第7～第13の実施の形態に示したMISFETのチャネル領域は、強磁性半導体層で構成されているが、ソースとドレインの組み合わせに関しては、上記のように(i)強磁性ソースと非磁性ドレイン、(ii)非磁性ソースと強磁性ドレイン、(iii)強磁性ソースと強磁性ドレインの場合が存在する。また、強磁性ソースと強磁性ドレインはそれぞれ(a)強磁性電極/非磁性トンネル障壁接合、(b)強磁性電極/真性半導体障壁接合または(c)非磁性電極/強磁性トンネル障壁接合で構成される。

以下、強磁性電極/非磁性トンネル障壁接合または非磁性電極/強磁性トンネル障壁接合からなる強磁性ソースを有するnチャネル型デバイスを例にして動作原理の説明を行う。強磁性電極/真性半導体障壁接合からなる強磁性ソースを有するMISFETの動作原理は、強磁性電極/非磁性トンネル障壁接合を用いた場合と同様である。また、以下、pチャネル型デバイスについても同様に動作する。また、強磁性ソースに対する強磁性チャネル領域の相対的な磁化の向きが同方向である場合を平行磁化とし、これらの相対的な磁化の向きが互いに反対方向の場合を反平行磁化とする。強磁性トンネル障壁を用いる場合は、強磁性半導体層の多数スピンの向きと強磁性トンネル障壁におけるバンド端を構成するスピンバンドのスピンの向きとが平行の場合を平行磁化とし、互いに反対方向の場合を反平行磁化とする。またゲート電圧によって誘起されるラッシュバ効果を無視する。チャネル長はスピンの緩和距離より十分短いとする。

以下に、第7の実施の形態によるMISFETの動作原理について説明する。図15は、強磁性電極403a/非磁性トンネル障壁403bからなる強磁性ソース403を有するMISFET401のバンド構造を示す図である。図15(a)は、ゲート・ソース間バイアス V_{GS} を $V_{GS} = 0$ とし、ドレイン・ソース間にバイアス $V_{DS} (> 0)$ を印加した場合のバンド構造を示す図である。 V_{DS} の印加によって、図15(a)に示すようなポテンシャル形状が形成される。ドレイン近傍に近接しているゲート電極を零電位にしているため、ドレインにおけるトンネル障壁のポテンシャル降下がソースのトンネル障壁よりも大きい。このとき、強磁性ソースのトンネル障壁における障壁幅 d を適切に厚く設定してあれば、トンネル効果によって強磁性ソースからチャネル領域に電子の注入はほとんど生じない。また、強磁性ソースにおける強磁性電極の伝導キャリアが高さ s の障壁

10

20

30

40

50

を熱的に乗り越えることに由来する電流が生じる可能性があるが、 V_{GS} を適切に選ぶことによってこの電流を十分に小さくできる。従って、 $V_{GS} = 0$ の状態では、MISFET は遮断（オフ）状態となる。この遮断状態は強磁性ソースと強磁性チャネルとの間の相対的な磁化の向きに依存しない。

ゲート電極にバイアス $V_{GS} (> 0)$ を印加すると、ゲート電極から強磁性ソースに向かう電気力線によって、強磁性ソース側のトンネル障壁近傍の電界が強められ、図 15 (b) のようにトンネル障壁の障壁幅が減少する（図中の d' ）。従って、強磁性ソースにおける電子はこのポテンシャル障壁 V_{GS} をトンネル効果によって透過し、ゲート絶縁膜直下のチャネル領域内に注入される。注入された電子は V_{GS} によって絶縁体/半導体界面に引き付けられながら、 V_{DS} によってドレインまで輸送され、ドレイン電流を形成する。この際、本実施の形態による MISFET 401 の伝達（相互）コンダクタンス及びドレイン電流は、強磁性ソース（403）と強磁性チャネル領域（407）との相対的な磁化の向きに依存する。

この電子のトンネル障壁を介した強磁性ソース（403）から強磁性チャネル領域（407）へのトンネルにおいては、トンネル磁気抵抗（TMR）効果と同様の効果が働く（簡単のため、以下ではこの効果も単に TMR 効果と呼ぶことにする）。従って、強磁性ソース（403）と強磁性チャネル領域（407）とが平行磁化の場合ではトンネル抵抗が小さく、反平行磁化の場合ではトンネル抵抗が大きくなる。また、このような TMR 効果の影響が小さな場合でも、強磁性ソース 403 からはソースの強磁性体のスピン分極率に依存したスピン偏極率を持つ電子を注入することができる。このため、強磁性チャネル領域（407）と強磁性ソース（403）との相対的な磁化状態によって、電子は強磁性チャネル領域（407）内でスピン依存散乱を生じる。従って、このトンネル注入時の TMR 効果および強磁性チャネル領域におけるスピン依存散乱によって、強磁性ソース（403）と強磁性チャネル領域（407）の相対的な磁化の向きに依存して、伝達コンダクタンスが変化する。

図 15 (b) に示すように、強磁性ソース（403）と強磁性チャネル領域（407）とが平行磁化であれば、伝達コンダクタンスは大きくなりドレイン電流も大きくなるが、図 15 (c) に示すように、強磁性ソース 403 と強磁性チャネル領域（407）とが反平行磁化であれば、伝達コンダクタンスは小さくドレイン電流は小さい。

以上に説明したように、本実施の形態による MISFET では、同一バイアス下であっても、強磁性ソース（403）と強磁性チャネル領域（407）との相対的な磁化の向きにより伝達コンダクタンスを制御することができる。また、本実施の形態による MISFET 401 は、チャネル領域に注入されるキャリアの数を V_{GS} によって制御できることから、ドレイン電流は V_{GS} によって制御できる。従って、本実施の形態による MISFET は、ドレイン電流をゲート電圧で制御できる通常のトランジスタとしての性質を備えるとともに、強磁性ソース（403）と強磁性チャネル領域（407）との相対的な磁化の向きによって伝達コンダクタンスを制御できる。真性半導体によって強磁性ソースのトンネル障壁を構成した場合の MISFET でも、同様に動作する。

次に本発明の第 9 の実施の形態によるトランジスタ MISFET の動作原理について説明する。図 16 は、非磁性電極/強磁性トンネル障壁接合からなる強磁性ソースを有する MISFET のバンド構造を示す図である。図 16 (a) は、 $V_{GS} = 0$ として、 $V_{DS} (> 0)$ を印加した場合のバンド構造を示す図である。ドレイン近傍に近接しているゲート電極を零電位にしているため、ドレインにおけるトンネル障壁のポテンシャル降下がソースの強磁性トンネル障壁よりも大きい。ソースにおける強磁性トンネル障壁 423b のスピン分裂のため、ソースの非磁性電極 423a の電子から見るとスピンの向きによって障壁高さが異なる。図 16 (a) では、ソースにおける非磁性電極のアップスピン電子はダウンスピン電子に比べて低い障壁高さを感じるが、強磁性ソースのトンネル障壁における障壁幅 d を適切に設定してあれば、 $V_{GS} = 0$ の場合では $V_{DS} (> 0)$ を印加してもトンネル効果によって強磁性ソースからチャネル領域に向けてのアップスピン電子の注入をほとんど生じないようにすることができる。また、強磁性ソースにおける非磁性電極 42

10

20

30

40

50

3 aのキャリアが強磁性トンネル障壁4 2 3 bを熱的に乗り越えることに由来する電流が生じる可能性があるが、障壁高さ ϕ_s を適切に選ぶことによって、この電流を十分に小さくすることができる。従って、 $V_{GS} = 0$ の状態ではMISFETは遮断(オフ)状態となる。この遮断状態は、強磁性ソース4 2 3と強磁性チャネル領域との間の相対的な磁化の向きに依存しない。

ゲート電極に $V_{GS} (> 0)$ を印加すると、ゲート電極から強磁性ソース4 2 3に向かう電気力線によって、ソース側の強磁性トンネル障壁4 2 3 b近傍の電界が強められ、アップスピン電子に対するトンネル障壁4 2 3 bの障壁幅が減少する(図16(b)中のd')。従って、強磁性ソースの強磁性電極4 2 3 aにおけるアップスピン電子はこのポテンシャル障壁をトンネル効果によって透過し、ゲート絶縁膜直下のチャネル内に注入される。一方、非磁性電極4 2 3 aのダウンスピン電子に関しては、障壁高さ ϕ_s がスピン分裂幅 Δ だけ高いことから、トンネル注入できない。よって、強磁性ソース4 2 3からは、強磁性トンネル障壁4 2 3 bによってアップスピン電子のみを注入することができる。

注入された電子は V_{GS} によって絶縁体/半導体界面に引き付けられながら、 V_{DS} によって非磁性ドレイン4 2 5まで輸送され、ドレイン電流を形成する。この際、本実施の形態によるMISFET4 2 1の伝達(相互)コンダクタンス及びドレイン電流は、強磁性ソース4 2 3の強磁性トンネル障壁4 2 3 bと強磁性チャネル領域4 2 7との相対的な磁化の向きに依存する。

強磁性ソース4 2 3の非磁性電極4 2 3 aからの強磁性トンネル障壁4 2 3 bを介した強磁性チャネル領域4 2 7へのトンネルにおいては、トンネル磁気抵抗(TMR)効果と同様の効果が働く(簡単のため、以下ではこの効果を単にTMR効果と呼ぶことにする)。従って、強磁性ソース4 2 3と強磁性チャネル領域4 2 7とが平行磁化の場合ではトンネル抵抗が小さく、反平行磁化の場合ではトンネル抵抗が大きくなる。また、このようなTMR効果の影響が小さな場合でも、強磁性ソース4 2 3からは強磁性ソース4 2 3のスピン分裂幅に依存したスピン偏極率を持つ電子を注入することができる。このため、強磁性チャネル領域4 2 7と強磁性ソース4 2 3との相対的な磁化状態によって、電子は強磁性チャネル領域4 2 7内でスピン依存散乱を生じる。従って、このトンネル注入時のTMR効果および強磁性チャネル領域4 2 7におけるスピン依存散乱によって、強磁性ソース4 2 3と強磁性チャネル領域4 2 7の相対的な磁化の向きに依存して伝達コンダクタンスが変化する。

図16(b)に示すように、強磁性ソース4 2 3と強磁性チャネル領域4 2 7とが平行磁化であれば、伝達コンダクタンスは大きくなりドレイン電流も大きくなるが、図16(c)に示すように、強磁性ソース4 2 3と強磁性チャネル領域4 2 7とが反平行磁化であれば、伝達コンダクタンスは小さくドレイン電流は小さい。

以上に説明したように、本実施の形態によるMISFETでは、同一バイアス下であっても、強磁性ソースと強磁性チャネル領域との相対的な磁化の向きにより伝達コンダクタンスを制御することができる。また、チャネル領域に注入されるキャリアの数を V_{GS} によって制御できることから、ドレイン電流は V_{GS} によって制御できる。従って、本実施の形態によるMISFETは、ドレイン電流をゲート電圧で制御できる通常のトランジスタとしての性質を備えるとともに、強磁性ソースと強磁性チャネル領域との相対的な磁化の向きによって伝達コンダクタンスを制御できる。

次に、本発明の第14の実施の形態によるMISFETを用いたメモリセルについて図面を参照しつつ説明を行う。図17は、本実施の形態によるメモリセル構造であって、ヨーク構造を用いたゲート電極とワード線との複合構造を示す図である。図17は、本発明の第7から第13までの実施の形態のいずれかに記載のMISFETの断面をソース側またはドレイン側から見た図である。図17に示すように、本実施の形態によるメモリセル構造4 3 1は、チャネル領域4 3 3と、その上に形成されたゲート酸化膜4 3 5と、その上に形成されたゲート電極4 3 7と、その上に形成されたワード線4 4 1と、を有する積層構造体と、この積層構造体を外側から覆うヨーク4 4 5とを有している。ヨーク4 4 5は、高透磁率の材料により構成するのが好ましい。図17に示す構造を用いると、ワード

10

20

30

40

50

線 4 4 1 の電流によって発生する磁場を強磁性チャネル領域 4 3 3 に対して有効に印加することができるため、メモリにおける書き込み電流を低減することが可能となる。

次に、上記各実施の形態において説明した M I S F E T を用いた不揮発性メモリについて説明する。上記各 M I S F E T は、強磁性ソース（または強磁性ドレイン）と強磁性チャネル領域（強磁性半導体層）との相対的な磁化状態を平行磁化又は反平行磁化にすることによって 2 値の情報を記憶し、これらの磁化状態に対応した出力（ドレイン電流）から磁化状態を検出することができるため、不揮発性メモリを構成することができる。1 つの M I S F E T を用いるだけで 1 ビットのメモリセルを構成することができるため、高密度集積化が可能である。また、チャネル領域に用いる強磁性半導体の電界効果による磁性制御（例えば、非特許文献 2、3）を積極的に利用して、従来の M R A M における大きな問題点である書き換え電流の低減を可能とする。

10

以下、強磁性ソースを有する n チャネル型の M I S F E T を用い、上記不揮発性メモリの動作原理について説明するが、上述の他の構成例を有する M I S F E T 及び p チャネル型デバイスを用いても、同様にメモリ動作をさせることができる。ここで、強磁性ソースを磁化の方向を固定したピン層とし、強磁性チャネル領域を磁化の方向を変化させるフリー層とする。

図 1 8 (a) は、本発明の第 1 5 の実施の形態による不揮発性メモリのセル構成例を示す図である。図 1 8 (a) に示すように、本実施の形態によるメモリセル群 4 7 1 は、上記の各実施の形態による M I S F E T 4 7 3 からなるメモリセルと、M I S F E T 4 7 3 のゲート電極 G に接続されるワード線 (W L) と、ドレイン D に接続されるビット線 (B L) と、ソース S に接続される接地線 (G N D) と、を有している。このメモリセルの書き換え動作においては、選択セルに接続されているビット線 B L と接地線 G N D とに、（基板電位又はゲート電極に対して）比較的大きなバイアス電圧を加え、チャネル領域の強磁性が消滅して常磁性（又は保磁力が十分に小さくなる状態）となる程度までキャリア数を減少させるか、空乏化させる。図 1 8 (a) に示すように、ビット線 B L と接地線 G N D とを直交するように配置すれば、選択セルのみにおいてソース S とドレイン D とにバイアスが印加され、このビット線 B L 又は接地線 G N D に接続された他の非選択セルにおいては、ドレイン D 又はソース S のみにバイアスが加わる。従って、一方のバイアスのみではチャネル全体にわたって強磁性を消滅できない程度に上記バイアスを設定しておけば（例えばソース S から中心程度までの領域、または、ドレイン D から中心程度までの領域が空乏化するようにすれば）、非選択セルの磁化情報が失われないようにすることができる（例えば、チャネル領域の体積を単磁区構造が容易に実現できる程度の大きさにしておく。）。）。。

20

30

この状態において、ワード線 W L に比較的に小さな電流を流し、磁場を誘起して常磁性状態のチャネル領域の磁化方向を変化させ、次いでビット線 B L と接地線 G N D との間のバイアスを切ることによって、チャネル領域を強磁性状態に戻して情報を書き換える。

図 1 9 は、上記の書き換え動作の原理を磁化曲線上において説明した図である。まず初めに、強磁性半導体層からなるチャネル領域の磁化は磁化曲線上の A 点にあったとする。この状態から、図 1 9 中の E 点に書き換えを行うことを考える。まず、A 点の状態からビット線 B L と接地線 G N D とにバイアスを加え、選択セルの強磁性を常磁性に変化させる。この際、チャネル領域の磁化は B 点となる。次いで、チャネル領域直上のゲート電極 G に接続するワード線 W L に電流を流せば、この電流によって誘起される磁場の強さが強磁性状態にあったチャネル領域の保磁力 H_c 以下であっても、図 1 9 の C 点のように磁化反転させることができる。次いで、ゲート電極 G に電流を流したまま、ソース S とドレイン D のバイアスを切れば、チャネル領域は強磁性状態に戻る。このときの磁化の向きは、図 1 9 の D 点のように常磁性状態の磁化の向きが保存される。この状態からワード線 W L の電流を切れば、書き換えが完了する（図 1 9 の E 点）。

40

本実施の形態によるメモリセルでは、強磁性状態にあるチャネル領域の保磁力 H_c よりも小さな磁場により磁化反転させることができるため、磁化反転に必要な電流を大きく減少させることができる。また、常磁性状態になった選択セルのみについて書き換えを行う

50

ため、誤書き込みが生じにくい。

また、情報の書き換えには、初期磁化特性を用いることによっても低電流書き込みが可能となる。強磁性半導体では、電界効果によってキャリアを減少させて強磁性を消失させると、強磁性半導体の磁化を消磁することができる。この状態において磁場を印加すると、磁化曲線は初期磁化曲線を描きながら磁化するのでこれを利用する。図20は、この書き換え動作の例を磁化曲線上に示した図である。はじめに、チャンネル領域の磁化は磁化曲線上のA'点にあったと仮定する。この状態から、図20中のE'点に書き換えを行うことを考える。まず、A'点の状態からビット線BLと接地線GNDとにバイアスを加え、強磁性半導体層のキャリアを減少させ、選択セルの強磁性チャンネル領域を消磁する。チャンネル領域の磁化は、B'点となる。ビット線BLと接地線GNDのバイアスを切った後、チャンネル領域直上のゲート電極Gに接続するワード線WLに電流を流せば、この電流によって誘起される磁場の強さが強磁性状態にあったチャンネル領域の保磁力 H_c 以下であっても図20のC'点を通る初期磁化曲線に沿って磁化する。従って、 H_c 以下の磁場でも磁化反転させることができる(図20のD'点)。最後に、ゲート電極Gの電流を切れば書き換えが完了する(図10のE点)。

10

情報の読み出し動作では、選択セルに通常のトランジスタ動作に必要なバイアスを印加し、ドレイン電流の大きさによって強磁性ソースと強磁性チャンネル領域との相対的な磁化状態を検出する。ワード線WLとビット線BLとを直交させて配置しているため、選択セルのみに関して記憶内容を読み出すことができる。尚、読み出し動作では、プリチャージによって必要なバイアスを加えても良い。

20

次に、本発明の第16の実施の形態によるMISFETを用いたメモリセルについて図面を参照しつつ説明を行う。図18(b)は、本実施の形態によるメモリセル構成であって、上記各実施の形態によるMISFETを用いたメモリセル構成を示す図である。本実施の形態によるメモリセル群481は、上記第7から第14までの各実施の形態によるMISFET483a及び483bの列方向に隣接するMISFET対をからなるメモリセル483と、MISFET483a・483bの両方のゲート電極Gに接続されるワード線WLと、MISFET483aのドレインDに接続される第1ビット線(BL1)と、MISFET483bのドレインDに接続される第2ビット線(BL2)と、ソースSに共通接続される接地線(GND)と、を有している。本実施の形態によるMISFETを用いたメモリセル構造によれば、ソースを隣り合ったMISFETで共有する構造であるため、セルの占有面積の縮小に有効である。

30

次に、本発明の第17の実施の形態による不揮発性メモリについて図面を参照しつつ説明を行う。図21(a)は、本実施の形態による不揮発性メモリであって、複数のメモリセルを一括消去/書き換えできる不揮発性メモリのセル構成例を示す図である。本実施の形態によるメモリセルは、本発明の第7から第14までの各実施の形態によるMISFETと、ワード線(WL)と、ビット線(BL)と、接地線(GND)と、を有している。但し、ドレインに接続されるビット線BLとソースに接続される接地線GNDとが、互いに平行になるように配置されている。図21(a)に示すセル構造では、平行方向に並び、選択したビット線に接続されている全てのMISFETの磁化情報を同時に消去して書き換えることが可能である。

40

書き換え動作では、選択したビット線BLとこれに接続されたMISFETに接続している接地線GNDにバイアスを印加し、このビット線BLと接地線GNDとに接続された全てのMISFETのチャンネル領域を、強磁性から常磁性(または保磁力が十分に小さくなる状態)に変化させる。次に、これらのMISFETのゲートに接続されるそれぞれのワード線WLに、書き換え内容に応じた向きの電流を流し、常磁性状態のチャンネル領域の磁化方向を変化させる。次に、ビット線BLと接地線GNDのバイアスを切ることによって、最後に各ワード線への電流を切ってそれぞれのMISFETのチャンネル領域を強磁性に戻し、最後の各ワード線の電流を切って情報を書き換える。本実施の形態によるメモリセルでは、それぞれのメモリセルの書き換えに必要な電流が小さいことを利用して多数のワード線WLに同時に書き換え電流を流すことができるため、1本のビット線BLに接続

50

される多数のM I S F E Tの磁化情報を同時に書き換えることが可能である。従って、書き換えの高速化が可能である。上記のセル構成においても、ワード線W Lとビット線B Lとを直交した配置としてあるため、選択セルに通常のトランジスタのバイアスを印加すれば、磁化状態に対応したドレイン電流に基づいて選択セルの磁化状態を検出することができる。また、このセル構成でも、プリチャージによる読み出しが可能である。

また、上記のメモリセル構成においても、図20を参照して説明した初期磁化特性を用いることによって低電流書き込みが可能となる。この場合では、選択されたビット線B Lに接続される多数のメモリセルの内容を一括して消去し、1ビットずつ書き込むことが可能となる。従って、この場合にはフラッシュメモリと類似の書き換え方法を用いることができる。より具体的には、ビット線B Lと接地線G N Dとにバイアスを加え、選択したビット線B Lに接続されているメモリセルの強磁性チャンネル領域を一括して消磁する。次に、ビット線B Lと接地線G N Dとのバイアスを切った後、消磁されたメモリセルのゲート電極Gに接続する複数のワード線W Lに電流を順次電流を流していけば、1ビットずつ書き換えを行うことができる。この書き換え方法では、1ビットずつ書き換えるため、一度に流す電流の小さくできるという利点がある。

10

次に、本発明の第18の実施の形態による不揮発性メモリについて図面を参照しつつ説明を行う。図21(b)は、図21(a)に示すメモリセルと類似の構成を有しているが、列方向に隣接する2つのM I S F E T 4 6 3 a・4 6 3 bのソースSを共有する構造を有し、共通ソースSに接地線G N Dが接続されている。ソースSを共通にする2つのM I S F E T 4 6 3 a、4 6 3 bのそれぞれのドレインDは、異なるビット線B L 1とB L 2とに接続されている。図21(b)に示す構成では、セルの占有面積を縮小することができ、集積回路の占有面積を低減することができるという利点がある。

20

以上、実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なのは当業者に自明であろう。

本発明の強磁性半導体をチャンネル領域に用いたM I S F E Tによれば、ドレイン電流をゲート電圧で制御できるトランジスタとして特性を有するとともに、その伝達コンダクタンスを強磁性チャンネル領域と強磁性ソース(又は強磁性ドレイン又は強磁性ソース及び強磁性ドレインの両方)との相対的な磁化の向きによって制御できるという特徴的な特性を併せ持つ。従って、この相対的な磁化の向きによって2値の情報を記憶することができるとともに、この相対的な磁化の向きを電気的に検出することができる。また、強磁性半導体からなるチャンネル領域の電界効果による磁性制御を用いれば、情報の書き換えに必要な電流の大幅な低減が可能となる。したがって、上記M I S F E Tは、高密度集積化に適した高性能不揮発性メモリセルを構成することができる。

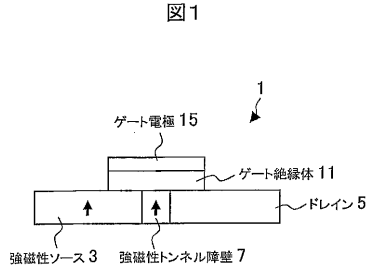
30

以上、本発明の実施の形態について説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なのは当業者に自明であろう。

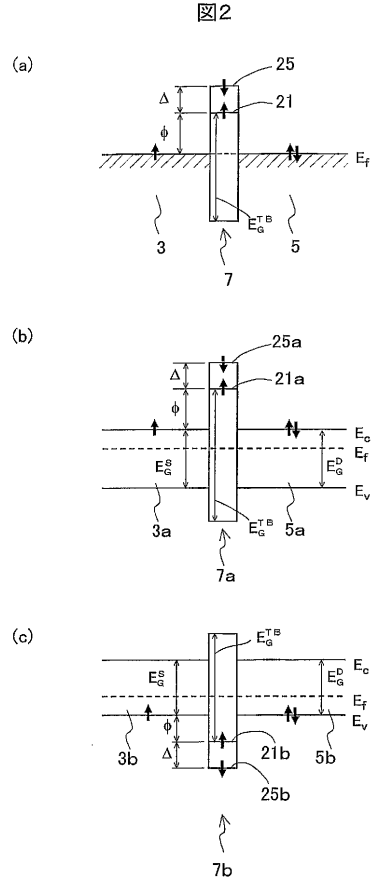
【産業上の利用可能性】

本発明は、不揮発性メモリ装置において、高集積化と低消費電力化が可能であり、種々の電子機器、特に携帯用電子機器用の不揮発性メモリ装置として応用が可能である。

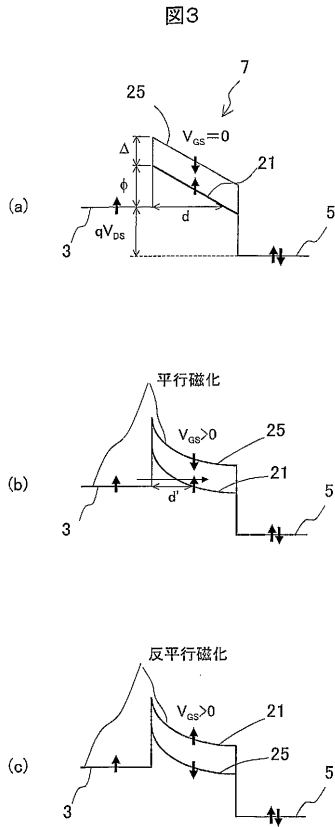
【 図 1 】



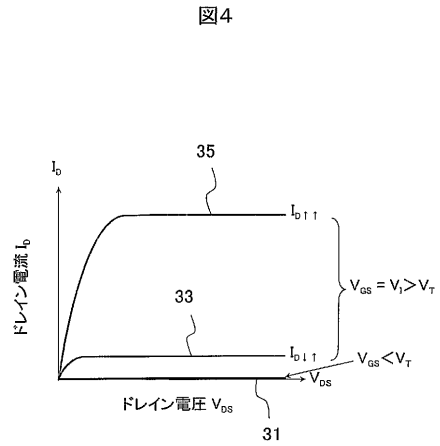
【 図 2 】



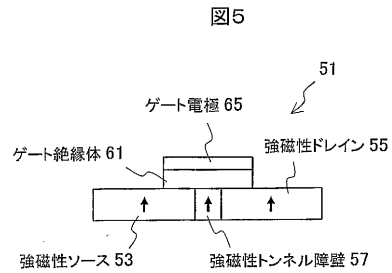
【 図 3 】



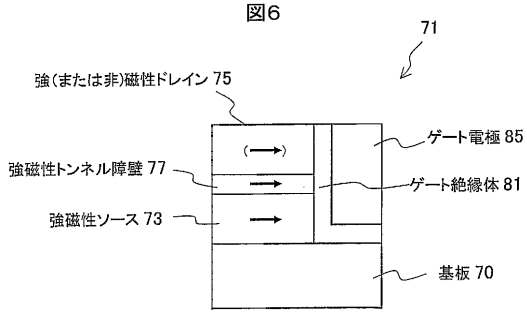
【 図 4 】



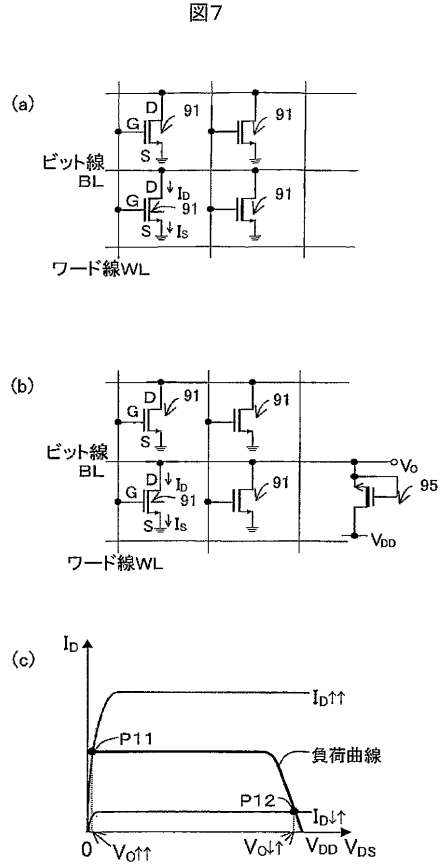
【 図 5 】



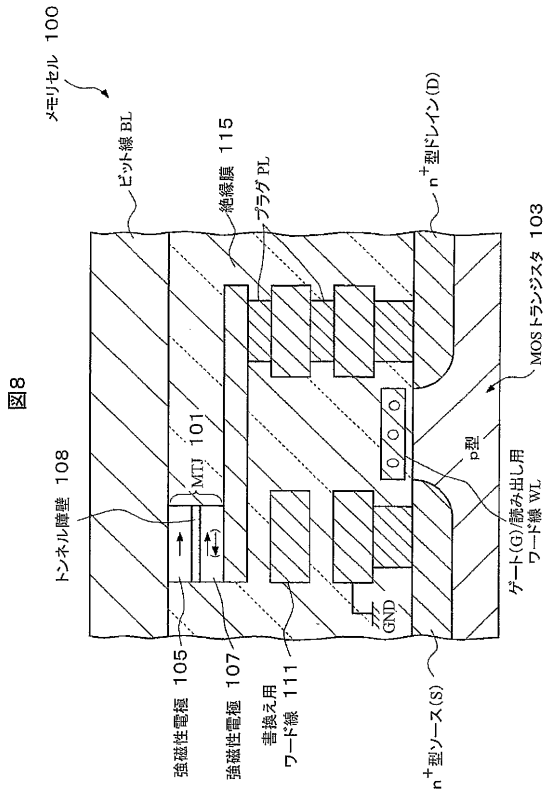
【図6】



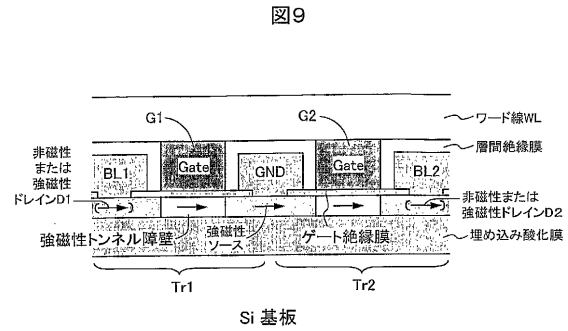
【図7】



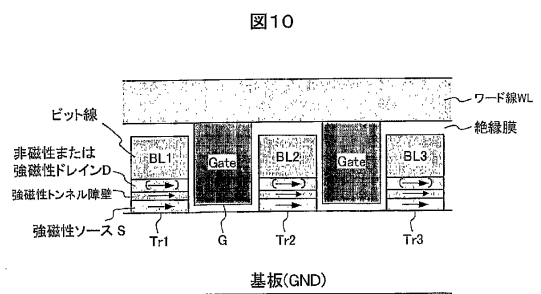
【図8】



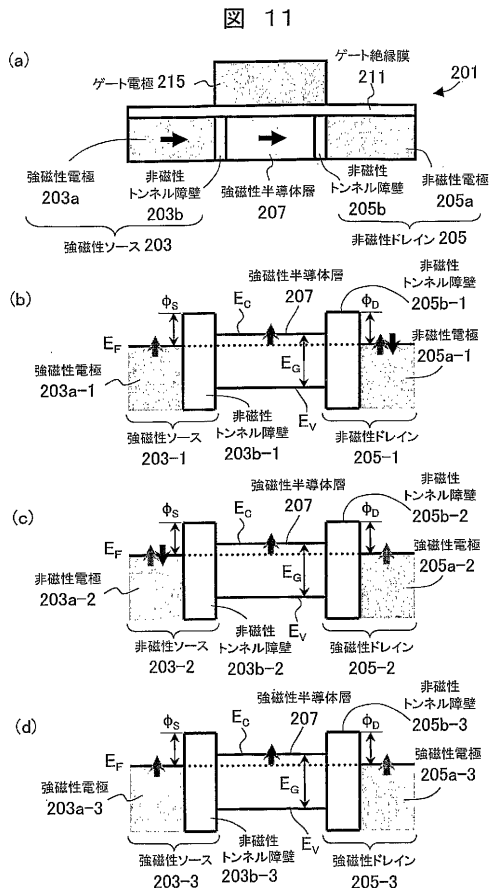
【図9】



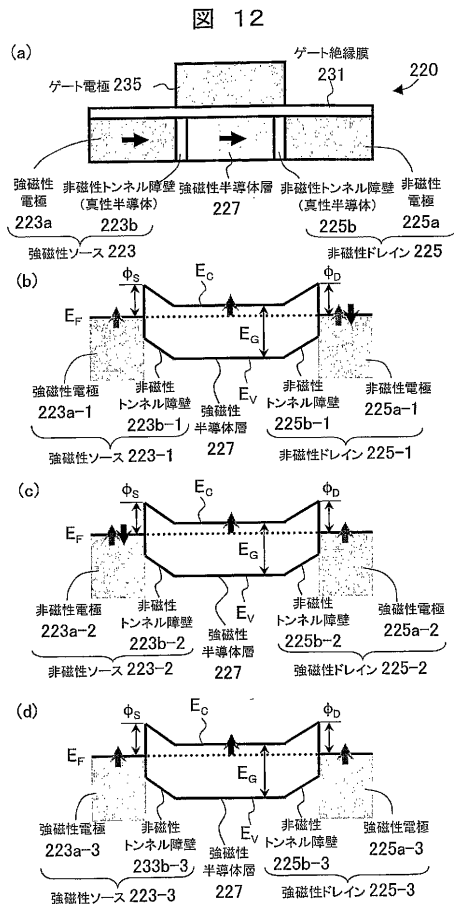
【図10】



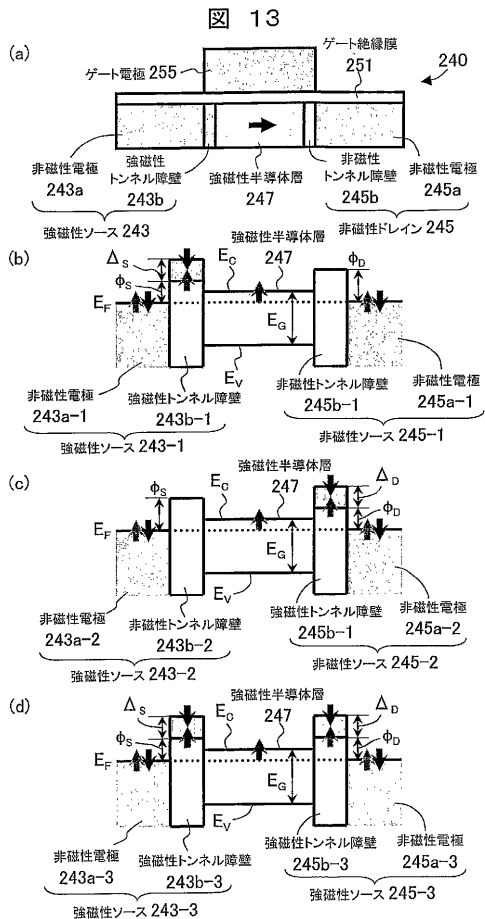
【図 1 1】



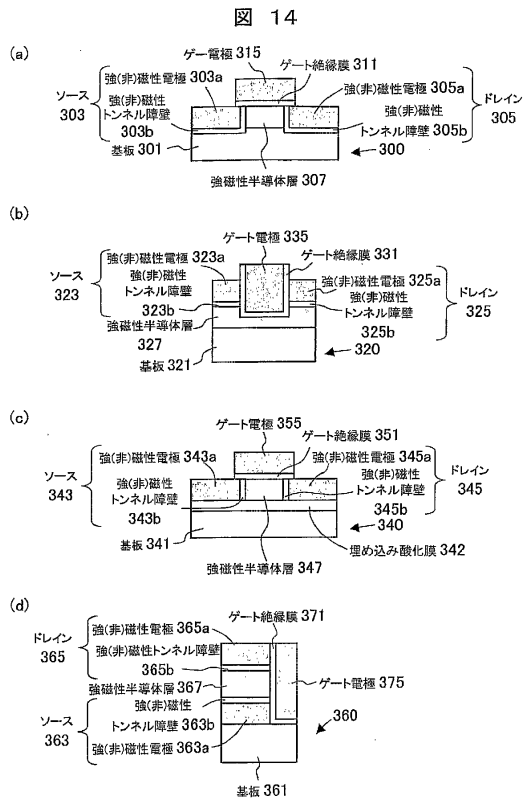
【図 1 2】



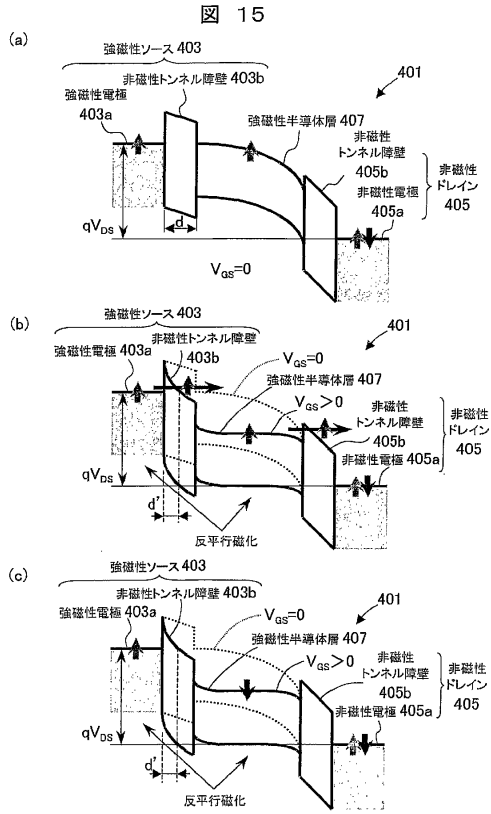
【図 1 3】



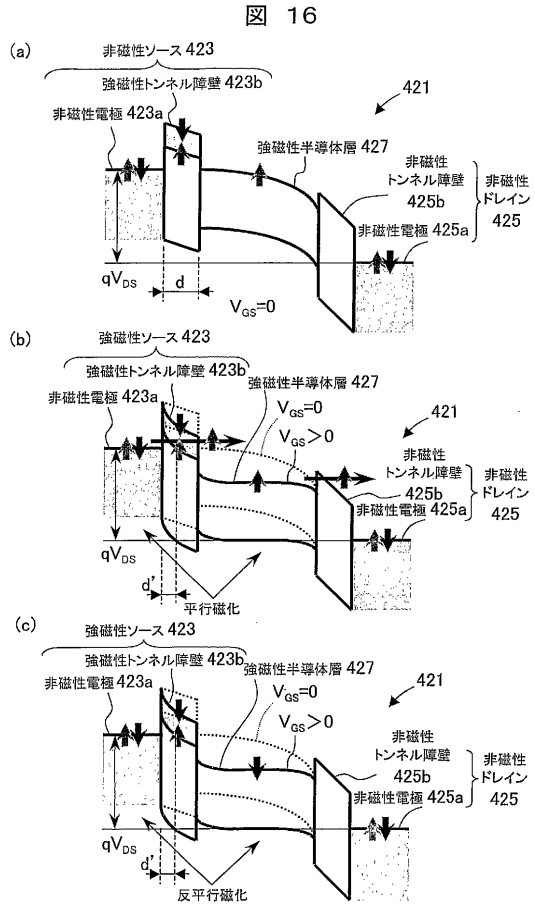
【図 1 4】



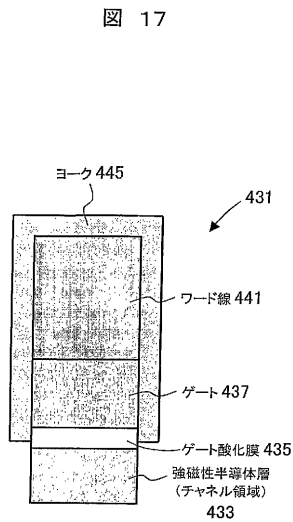
【 図 15 】



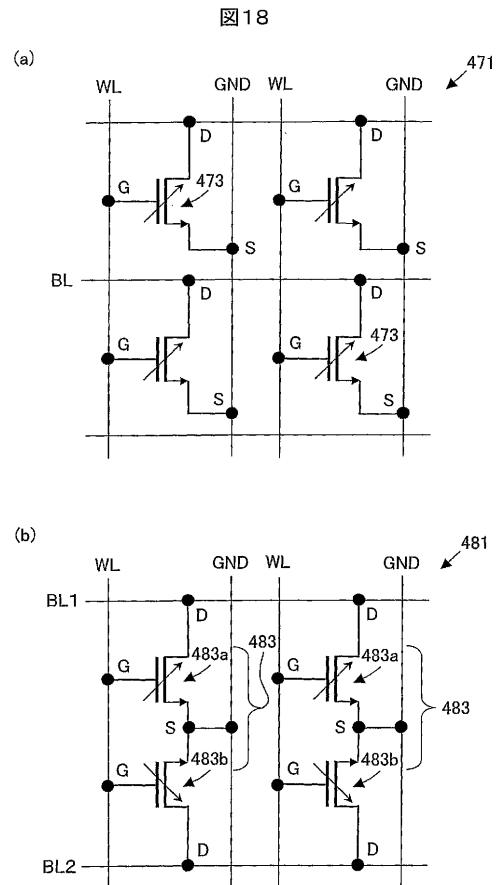
【 図 16 】



【 図 17 】

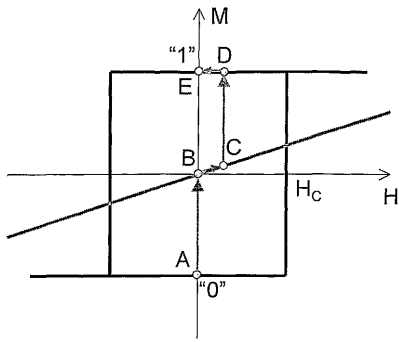


【 図 18 】



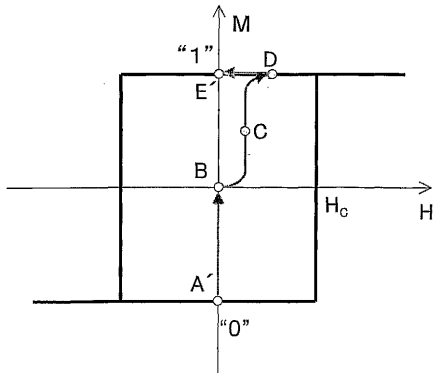
【 図 19 】

図 19



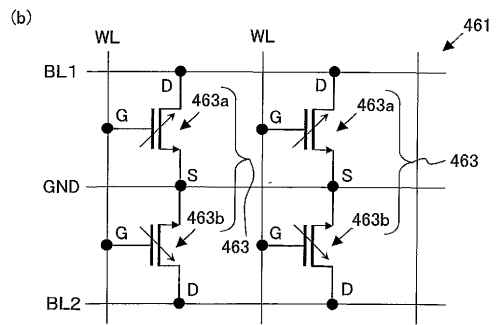
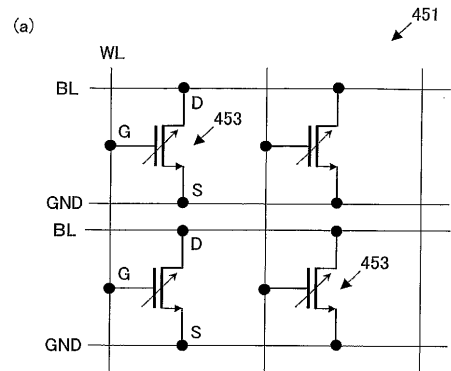
【 図 20 】

図 20



【 図 21 】

図21



フロントページの続き

- (56)参考文献 特開平 1 1 - 2 3 8 9 2 4 (J P , A)
特開 2 0 0 1 - 2 5 0 9 9 8 (J P , A)
特開 2 0 0 3 - 0 7 8 1 4 7 (J P , A)
LeClair, P. et al. , Large magnetoresistance using hybrid spin filter devices , Appl. Ph
ys. Lett. , 米国 , American Institute of Physics , 2 0 0 2 年 1 月 2 8 日 , Vol. 80, No.4
 , pp.625-627
MATSUKURA, F. et al. , Control of ferromagnetism in field-effect transistor of a magnet
ic semiconductor , Physica E , Elsevier Science B.V. , 2 0 0 2 年 1 月 , Vol.12, pp.351-3
55
菅原聡 他 , スピンフィルタ・トランジスタの提案とその応用 , 第50回応用物理学関係連合講演
会講演予稿集 , 日本 , 応用物理学会 , 2 0 0 3 年 3 月 2 7 日 , No.3 , p.1566, 30a-ZH-1
松野知絏 他 , スピンフィルタ・トランジスタを用いたリコンフィギャラブル論理回路 , 第50回
応用物理学関係連合講演会講演予稿集 , 日本 , 応用物理学会 , 2 0 0 3 年 3 月 2 7 日 , No.3 ,
p.1566, 30a-ZH-2

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/82
G11C 11/15
H01L 21/8246
H01L 27/105