

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4526484号
(P4526484)

(45) 発行日 平成22年8月18日(2010.8.18)

(24) 登録日 平成22年6月11日(2010.6.11)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 B
HO 1 L 21/318 (2006.01)	HO 1 L 21/318 B
HO 1 L 21/316 (2006.01)	HO 1 L 21/318 M
	HO 1 L 21/316 X
	HO 1 L 21/316 C

請求項の数 11 (全 14 頁)

(21) 出願番号	特願2005-512064 (P2005-512064)	(73) 特許権者	503360115
(86) (22) 出願日	平成16年7月28日 (2004.7.28)		独立行政法人科学技術振興機構
(86) 国際出願番号	PCT/JP2004/010696		埼玉県川口市本町四丁目1番8号
(87) 国際公開番号	W02005/010974	(74) 代理人	100091096
(87) 国際公開日	平成17年2月3日 (2005.2.3)		弁理士 平木 祐輔
審査請求日	平成18年1月24日 (2006.1.24)	(74) 代理人	100102576
(31) 優先権主張番号	特願2003-281104 (P2003-281104)		弁理士 渡辺 敏章
(32) 優先日	平成15年7月28日 (2003.7.28)	(74) 代理人	100108394
(33) 優先権主張国	日本国(JP)		弁理士 今村 健一
		(72) 発明者	須田 淳
			滋賀県大津市田辺町3-19
		(72) 発明者	松波 弘之
			京都府八幡市西山足立1-9
		審査官	松嶋 秀忠

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

S i C表面構造と、

該S i C表面構造に形成されたソース及びドレインと、

前記S i C表面構造に接して形成されたA lを含むIII族窒化物層であって1分子層から前記S i C表面構造とミスフィット転位を生じない臨界膜厚までの間の膜厚を有する界面制御層と、

該界面制御層上に前記界面制御層とは異なる材料であって前記界面制御層よりも伝導キャリアに対するバンドオフセットの大きい材料の、A l₂O₃層、S i O₂層の順で形成された絶縁層とを有する絶縁構造と、

該絶縁構造上に形成されたゲート電極とを有する電界効果トランジスタ。

【請求項2】

前記III族窒化物層は、A l Nであり、厚さが6 n m以下であること特徴とする請求項1に記載の電界効果トランジスタ。

【請求項3】

前記界面制御層は、A lの他に、B、G a、I nのうちの少なくとも1つ以上のIII族元素とNとを含むことを特徴とする請求項1に記載の電界効果トランジスタ。

【請求項4】

前記界面制御層は、面内格子定数がS i Cの面内格子定数と0.5%以下の不整合であ

る B A l N 層を含むことを特徴とする請求項 1 に記載の電界効果トランジスタ。

【請求項 5】

S i C 表面構造と、

該 S i C 表面構造に形成されたソース及びドレインと、

前記 S i C 表面構造に接して形成された A l を含む III 族窒化物層であって 1 分子層から前記 S i C 表面構造とミスフィット転位を生じない臨界膜厚までの間の膜厚を有する界面制御層と、

該界面制御層上に前記界面制御層とは異なる材料であって前記界面制御層よりも伝導キャリアに対するバンドオフセットの大きい材料の、 $A l_2 O_3$ 層、 $S i_x N_y$ 層の順で形成された絶縁層とを有する絶縁構造と、

該絶縁構造上に形成されたゲート電極と

を有する電界効果トランジスタ。

【請求項 6】

前記 $A l_2 O_3$ 層は、 $A l N$ と $A l$ と $A l_x N_y$ と $A l A s$ と $A l N_x A s_{1-x}$ とから成る群のうちから選択される少なくとも 1 つの材料の堆積層を酸化することにより形成された $A l_2 O_3$ 層又は少量の N 又は A s のうちの少なくとも一方を含む $A l_2 O_3$ 層であることを特徴とする請求項 1 から 5 までのいずれか 1 項に記載の電界効果トランジスタ。

【請求項 7】

S i C 表面構造を有する基板を準備する工程と、

該 S i C 表面構造にソース及びドレインを形成する工程と、

前記 S i C 表面構造の表面のステップ構造制御および清浄化する工程と、

前記 S i C 表面構造に接して A l を含む III 族窒化物層であって 1 分子層から前記 S i C 表面構造とミスフィット転位を生じない臨界膜厚までの間の膜厚を有する界面制御層をレイヤー・バイ・レイヤー成長もしくはステップフロー成長にて形成する工程と、

該界面制御層上に前記界面制御層とは異なる材料であって前記界面制御層よりも伝導キャリアに対するバンドオフセットの大きい材料の、 $A l_2 O_3$ 層、 $S i O_2$ 層の順で形成される絶縁層を有する絶縁構造を形成する工程と、

該絶縁構造上にゲート電極を形成する工程と

を有する電界効果トランジスタの製造方法。

【請求項 8】

前記 III 族窒化物層は $A l N$ であり、厚さが 6 n m 以下であることを特徴とする請求項 7 に記載の電界効果トランジスタの製造方法。

【請求項 9】

S i C 表面構造として 4H-S i C もしくは 6H-S i C の (0001) 面から 1 5 度以内のオフセット角を有する面を用い、そのステップ構造制御として、それぞれの S i C の単位周期 (c 軸格子定数) 高さのステップを持つステップ-テラス構造を形成する請求項 7 又は 8 に記載の電界効果トランジスタの製造方法。

【請求項 10】

S i C 表面構造と、

該 S i C 表面構造に形成されたソース及びドレインと、

前記 S i C 表面構造に接して形成され A l と N を含み厚さが 1 分子層以上でありミスフィット転位を生じない臨界膜厚以下である界面制御層と、該界面制御層上に前記界面制御層とは異なる材料であって前記界面制御層よりも伝導キャリアに対するバンドオフセットの大きい材料の、 $A l_2 O_3$ 層、 $S i O_2$ 層の順で絶縁層とを有する絶縁構造であって、前記 $A l_2 O_3$ 層は、 $A l N$ と $A l$ と $A l_x N_y$ と $A l A s$ と $A l N_x A s_{1-x}$ とから成る群のうちから選択される少なくとも 1 つの材料の堆積層を酸化することにより形成された $A l_2 O_3$ 層又は少量の N 又は A s のうちの少なくとも一方を含む $A l_2 O_3$ 層である絶縁構造と、

該絶縁構造上に形成されたゲート電極と

10

20

30

40

50

を有する電界効果トランジスタ。

【請求項 1 1】

請求項 1 から 6、請求項 1 0 のいずれか 1 項に記載のドレインに対する電極が、前記 SiC 表面構造の表面又は裏面を含む任意の位置に形成されていることを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SiC系のMISFETに関し、特に、AlN系の絶縁膜を有するMISFETに関する。

10

【背景技術】

【0002】

SiCは、3eV以上の広い禁制帯幅と2.5MV/cmを超える極めて高い絶縁破壊電界強度という優れた物性値を有するため、既存の半導体であるSi及びGaAsなどの半導体では理論的に実現不可能な超低損失のパワートランジスタ、高出力高周波トランジスタ、又は、極めて小さなゲート長を持つ電界効果トランジスタを実現可能な半導体材料として注目されている。

【0003】

しかしながら、SiCを用いて絶縁ゲートを有する電界効果トランジスタデバイスの基本構造である金属-シリコン酸化膜-半導体電界効果トランジスタ(MOSFET)を作成すると、SiO₂/SiC界面における実効チャンネル電子移動度が、バルクのSiCの電子移動度よりも極めて小さくなるため、チャンネル抵抗が大きくなる。これにより、トランジスタのオン特性が悪くなり、高性能デバイスの実現が困難な状況にある。

20

【0004】

実効チャンネル電子移動度が極めて小さい原因はSiO₂/SiC界面にあると考えられる。そこで、SiO₂/SiCの形成プロセスなどに関して、例えば、SiCの酸化温度、酸化雰囲気の詳細や、シリコン酸化膜への窒素の添加、酸化されるSiC結晶面方位の変更などに関して様々な取り組みがなされている。

【0005】

一方、ゲート絶縁膜としてSiO₂を使用せず、他の絶縁膜を用いようとする試みもある。使用する物質としては、酸化膜と同様な非晶質物質、SiCと同様の単結晶物質などが対象となる。その中でもAlNは、SiCと同じく反転対称を持たない六方晶の結晶構造を持ち、また、格子定数も比較的近いことから関心が持たれており、既に、金属/AlN/SiC系の金属-絶縁体-半導体電界効果トランジスタ(MISFET)の試作に関する報告がなされている(例えば、非特許文献1参照)。

30

【0006】

しかしながら、SiC表面上への高品質AlNの結晶成長は非常に困難であった。低品質のAlN層しか得られないため、AlN層には大きなリーク電流が流れる。そのため、作成したAlN/SiC系MISFETは、特にゲートの絶縁特性が極めて悪く実用に適するようなデバイスは実現できていない。

40

【0007】

最近、発明者らはSiC表面上への高品質なAlN結晶成長方法を見出し、極めて良好な絶縁特性を有するAlN層の結晶成長に成功した。しかしながら、AlNが高品質であるだけでは、AlNとSiCとの間の伝導帯バンド不連続量は約2.0eVとSiO₂とSiCとの間の不連続量2.74eVに比べそれほど大きくないために、例えば3MV/cmに近い電界がAlN層に印加されると、量子力学的トンネル効果により電子がAlN層をトンネルし、その結果、ゲート絶縁性が失われてしまうことが、理論的及び実験的に検証されている。(例えば、非特許文献2参照)。

【0008】

【非特許文献1】C. - M. Zetterling, M. Ostling, H. Yano

50

, T. Kimoto, H. Matsunami, K. Linticum and R. F. Davis, SiC MISFETs with MBE-grown AlN Gate Dielectric, Material Science Forum Vols. 338-342 (2000) pp. 1315-1318.

【非特許文献2】Norio Onojima, Jun Suda, and Hiroyuki Matsunami, Molecular-beam epitaxial growth of insulating AlN on surface-controlled 6H-SiC substrate by HCl gas etching, Applied Physics Letters, Vol. 80, No. 1, (2002) p. 76-78.

10

【発明の開示】

【発明が解決しようとする課題】

【0009】

AlN層を厚くすることにより、電界を3MV/cm以下に抑えることも考えられるが、AlNとSiCとの間の格子不整合が約0.9%であることを考慮すると、AlN層の厚さは30nmが限界となる。すなわち、30nm以上の厚さでは、多数のミスフィット転位がAlN層中に導入されてしまい、AlN層の結晶性の低下に起因してリーク電流が増加するという問題がある。

【0010】

AlN/SiCの伝導帯バンドオフセットは約2.0eVと報告されている。この構造における電氣的絶縁性は、トンネル電流によって規定される。AlNの物性値を用いて概算すると、AlN/SiC界面のAlN層側に約3MV/cm以上の電界が加わるとトンネル電流が増大し、絶縁性が失われていく。実際に、テストデバイスを作成して検証したところ、図10に示す結果が得られた。図10は、AlN/SiC MISダイオードの電界強度と電流密度との関係を示す図である。図10に示すように、上記構造では、AlNへの印加電界が3MV/cm程度で絶縁膜を流れる電流が 10^{-6} A/cm²を超える。この3MV/cmという絶縁耐圧を大幅に向上することは、AlN/SiC構造を用いる限りにおいては理論的に不可能である。

20

【0011】

尚、AlNよりもバンドギャップの大きいSiO₂を用いると、その上限は7MV/cm付近まで向上し、この問題を回避することができるが、SiCとの間で良好な界面を形成することが難しく実効チャネル電子移動度が低くなってしまふ。

30

【0012】

本発明は、高性能絶縁ゲートSiC系MISFETを実現することを目的とする。

【課題を解決するための手段】

【0013】

本発明の一観点によれば、SiC表面構造と、該SiC表面構造に形成されたソース及びドレインと、前記SiC表面構造に接して形成され厚さが1分子層以上のIII族窒化物層を含む界面制御層と、該界面制御層上に前記界面制御層とは異なる材料であって前記界面制御層よりも伝導キャリアに対するバンドオフセットの大きい材料により形成された絶縁層とを有する絶縁構造と、該絶縁構造上に形成されたゲート電極とを有する電界効果トランジスタが提供される。

40

【0014】

上記電界効果トランジスタによれば、SiCとの間で良好な界面を形成する界面制御層と、該界面制御層よりも伝導キャリアに対するバンドオフセットの大きい絶縁層との多層構造絶縁体を用いることにより、伝導キャリアの移動度の低下を抑制するとともに、電界効果トランジスタの前記絶縁構造を解するゲートリークを低減する。III族窒化物としては、AlとNとを含むのが好ましい。この際、厚さが6nm以下であることにより、格子不整合の影響を低減することができる。

【0015】

50

或いは、前記界面制御層は、 $B_x Al_{1-x-y} Ga_y N$ 層 ($x < 0.4$ 、 $y < 0.4$)を含むのが好ましい。 $B_x Al_{1-x-y} Ga_y N$ 層は、SiC層との格子整合をとることができるため、III族窒化物とSiCとの間により良好な界面を形成する。

【0016】

前記絶縁層は、AlNとAlと $Al_x N_y$ とAlAsと $AlN_x As_{1-x}$ とから成る群のうちから選択される少なくとも1つの材料からなる堆積層を酸化することにより形成された $Al_2 O_3$ 層又は少量のN、Asを含む $Al_2 O_3$ 層とすることも可能である。これにより製造工程を簡単にすることができる。

【0017】

本発明の他の観点によれば、SiC表面構造を有する基板を準備する工程と、該SiC表面構造にソース及びドレインを形成する工程と、前記SiC表面構造の表面を清浄化する工程と、前記SiC表面構造に接してAlとNとを含み厚さが1分子層以上の界面制御層を形成し、該界面制御層上に前記界面制御層とは異なる材料により形成された絶縁層を形成して絶縁構造を形成する工程と、該絶縁構造上にゲート電極を形成する工程とを有する電界効果トランジスタの製造方法が提供される。

【0018】

上記方法によれば、表面のステップ構造制御および清浄化されたSiC表面構造に接して界面制御層を形成するため、SiCとの界面状態が良好になる。その上にリーク電流抑制効果の高い絶縁層を形成することにより、界面状態が良好なままでリーク電流を抑制することができる。

【発明の効果】

【0019】

以上のように、本発明によれば、SiCとの間の界面状態を良好に保ちつつ、リーク電流を抑制することができ、高性能絶縁ゲートSiC系MISFETを実現することができる。

【発明を実施するための最良の形態】

【0020】

本発明に係るMISFETは、電子が走行する絶縁体/SiC界面には、SiCと同様の結晶構造を有するIII族窒化物、例えばAlN単結晶をSiC表面に接して用い、一方、ゲート絶縁性の確保のために、さらに他の絶縁膜が用いることを特徴とする。

【0021】

以下、本発明の実施の形態について図面を参照しつつ説明を行う。まず、本発明の第1の実施の形態によるMISFETについて図面を参照しつつ説明する。図1(A)から図4(J)までに基づいて、本発明の第1の実施の形態によるMISFETの製造方法について説明する。まず、図1(A)に示すように、4H-SiC(0001)_{Si}基板1(ジャスト基板又は任意の結晶方向に15°以下のオフセット角を有する基板とする。それ以上大きなオフセット角になるとステップの近接やファセットの形成が問題となり、他の結晶成長機構を考慮する必要が生じる。また、SiCの結晶構造は4Hでなくても6Hでも良い。)上にSiC層1aを、例えばホモエピタキシャル成長により形成する。このエピタキシャル層は、高品質の単結晶層である。図1(B)に示すように、SiC層1a上に、少なくとも、後にソース/ドレインが形成される領域に開口を有するマスクRを形成し、SiC内においてn型導電層を形成するための不純物としてV族元素であるNやPをイオン注入する。イオン注入された原子を電気的に活性化するための高温アニール処理を行うことにより、図1(C)に示すように、ソース/ドレイン領域3a/3bを形成することができる。

【0022】

図1(C)までの工程を終了した後、図2(D)に示すように、SiC基板1を洗浄し、例えば石英製の加熱炉内において水素ガスで希釈されたHClガス雰囲気中で(例えば、キャリアガスである水素ガスの流量が1slmであり、HClガスの流量が3sccmである。)、例えば、1300で10分間の熱処理を行う。(ガスエッチングにも高温

10

20

30

40

50

アニール処理と同一の加熱炉を用いることで洗浄や加熱炉の移し替えを省いた連続処理も可能である。)この条件下におけるSiCのエッチング速度は約 $0.3 \mu\text{m}/\text{h}$ である。このようなガスエッチング処理により、上述のように、SiC基板表面は原子レベルで平坦なテラスとステップからなるステップ-テラス構造となる。テラスの幅は、基板の面方位(オフ角)による。例えば、 $(0001)_s$ 面に対して 0.2° 程度のオフセット角を持つ場合、テラス幅は μm オーダーとなる。ステップの高さは、SiC基板表面の傾斜角、傾斜方向の結晶方位、ガスエッチングの条件を整えることで、4H-SiCの $[0001]$ 方向の積層構造の単位周期に対応した4モノレイヤーになる。ガスエッチングの後に、SiC基板を大気中に取り出す。尚、取り出した基板を原子間力顕微鏡により評価したところ、基板表面はステップ-テラス構造を有しており、テラス上は原子レベルで平坦であることがわかった。また、ステップの高さは4モノレイヤーになっていた。III族窒化物を成長する前にSiC基板表面を上記構成にすることで、高品質な構造を成長できる1つの条件が満たされていることがわかる。

10

【0023】

次に、図2(E)に示すように、大気中に取り出したSiC基板1の表面に対して、水、塩酸、フッ酸による処理を順次行った。フッ酸処理により、SiC基板1の表面にわずかに形成されているシリコン酸化膜を除去することができる。基板表面2にはSiC清浄表面2が形成されている。この処理を行ったSiC基板1に対しても、原子間力顕微鏡により評価したところ、SiC基板1の表面にはステップ-テラス構造が観察された。すなわち、上記化学処理によっても表面のステップ-テラス構造は変化せず維持されていることが確認された。また、X線光電子分光法(XPS)により表面分析を行ったところ、表面の酸素量がフッ酸の処理により大幅に低減していることが分かった。しかしながら、微量ではあるが、有意な量の酸素がなお残っていることも確認された。

20

【0024】

図2(F)に示すように、上記SiC基板1を高真空装置、例えばMBE(Molecular beam epitaxy)装置内に取り付け、超高真空状態(例えば、 $10^{-6} \sim 10^{-8} \text{Pa}$)に保持した。超高真空状態において、例えば 800 以下の温度(図では 600)において、Ga原子ビーム又はSi原子ビームの照射を開始し、その後、 800 以上の温度(例えば 1000)へ昇温し、次いで、一定期間中高温に保持する。加熱・保持を行うプロセスは、少なくとも1回以上(図では2回)、好ましくは3回以上繰り返した。加熱中はGa照射を中断するのが好ましい。

30

【0025】

次いで、 1000 から 600 まで降温させた後、再びGaを照射し、温度を維持する。次いで、Gaの照射を中断し 1000 まで昇温する。その後、温度を例えば 900 まで降温し、Al5aとN5bとを同時に供給する。この時点でAlNの成長が開始する。尚、Ga原子ビーム5aの代わりに、又は、Ga原子5aに加えてSi原子ビームを照射しても良い。XPSによる表面分析の結果、Ga照射・加熱処理後の表面の酸素量は測定装置の測定限界以下になった。Ga照射とそれに続く熱処理により、フッ酸処理によっても完全には除去し切れていない、もしくはフッ酸処理後大気中を介してMBE装置に取り付ける間に吸着した表面の酸素をほぼ完全に除去することができる。

40

【0026】

図3(G)に示すように、AlN膜の成長温度(例えば、 $T_s = 400$ から 1100 までの間、例えば 900)に設定し、超高真空状態(例えば、 $10^{-6} \sim 10^{-8} \text{Pa}$)においてAl原子5aとN原子5bとをSiC基板1表面に供給する。なお、成長中の真空度は、N原子供給量と成長装置の真空排気能力との平衡により決まる。一般的な成長条件では、 $10^{-2} \sim 10^{-4} \text{Pa}$ 程度となる。N原子5bは、例えば高周波プラズマ励起活性窒素を用いたrf-MBE法により基板表面に供給した。この時点から、AlN層5がSiC基板1表面上に成長する。

【0027】

AlN層5の成長が開始されたタイミングから後にその場観察した電子線回折(RHE

50

ED)の測定を行った結果、振動が観測され、SiC表面上においてAlN層がレイヤー・バイ・レイヤー(鳥状の3次元成長ではなく層状の2次元成長)の様式で成長していることが確認できた。

【0028】

尚、RHEED振動の周期の持続に関しては成長条件により大きく異なり、より低温の成長では数10周期を超える振動の持続が確認できる。原子間力顕微鏡によるAlN成長表面のステップ構造の観察より、高温での振動の減衰は、成長モードがレイヤー・バイ・レイヤー成長からステップフロー成長に移行したことによるものであることが分かった。尚、ステップフロー成長も2次元成長であり、結晶の高品質化という意味ではレイヤー・バイ・レイヤー成長と同様に結晶成長においては好ましいことである。尚、AlN膜の結晶成長温度を、600~700程度まで下げた場合には、RHEED振動の周期が20周期以上にわたり明瞭に現れており、結晶成長温度を低温化にすることによって、レイヤー・バイ・レイヤー成長を長時間にわたり持続可能なことがわかる。しかし、例えば、400以下の低温では、原子のマイグレーションや過剰原料の再脱離が不十分となり、結晶性が大幅に悪化する。すなわち、高品質AlNを得るためには少なくとも400以上の温度が必要であることがわかる。

10

【0029】

次に、図3(H)に示すように、厚さ4nmのAlN層5を成長させた後に、AlN層5上に厚さ44nmのSiO₂層7を形成する。SiO₂層7は、AlN層5上にスパッタ法或いはCVD法などによりアモルファス層として堆積する。図4(V)に示すように、ソース電極11a及びドレイン電極11bが形成される領域におけるAlN層5及びSiO₂層7を除去してソース電極11a及びドレイン電極11bを形成するとともに、ゲート電極15が形成される領域上のAlN層5及びSiO₂層7を残して、その上にゲート電極15を形成する。

20

【0030】

図4(J)に、図4(I)の構造におけるゲート電極15(右)からSiC基板1(左)までの基板法線方向におけるエネルギーバンド構造の概略を示す。図4(J)に示すように、SiC-AlN間の伝導帯のエネルギー不連続値E_cは、約+2.0eVである。また、AlN-SiO₂間の伝導帯のエネルギー不連続値E_cは、約+0.74eVである。WKB近似を用いてトンネル確率を計算すると、4nmのAlN層と44nmのSiO₂層との積層構造では、この積層構造と同じゲート絶縁膜容量となる100nmのAlN単一層の場合と比較してSiC基板1側からゲート電極15側にトンネルする電流成分をおよそ10分の1に大幅に低減することができる。すなわち、より広い電界の範囲において絶縁性を保つことができることがわかる。

30

【0031】

以上のように、本実施の形態によるMISFETを用いると、ゲート絶縁性を向上することができることがわかる。一方、AlN層5とSiC基板1との界面近傍のSiC層中を走行するチャンネル電子の実効移動度は、AlN/SiC界面により決まるので、高品質AlN層を用いることにより電子の実効移動度を高くすることができ、MISFETのオン特性を改善することができる。尚、AlN/SiC界面近傍を走行する電子がAlN/SiC界面の影響下にあるためには、AlN層の厚さは必ず1分子層(c軸格子定数の半分)以上である必要がある。1分子層に満たない鳥状のAlN層を用いると、電子はAlNとSiO₂という異なる高さの障壁の影響を直接的受けるため、界面内における障壁高さの高低によるキャリア散乱を強く受け、性能が著しく低下する。またAlN層は、可能な限り平坦に近い方が望ましい。電子はAlN層を介してSiO₂の障壁の影響を受けるため、AlN層の厚さにばらつきがあると、実効的に電子が影響を受ける障壁高さに大小が生じ電子が散乱される原因となるからである。原子レベルの平坦性の実現は、レイヤー・バイ・レイヤー成長もしくはステップフロー成長によりAlN層を形成することにより達成される。

40

【0032】

50

尚、界面制御層として機能させるためにはAlN層としては厚さを6nm以下とするのが好ましい。すなわち、AlN層5が厚くなると、SiC基板1との格子不整合のためにミスフィット転位が発生し、それに基づくAlN層の結晶性の悪化が問題となる。それを防ぐために、AlN層の厚さはミスフィット転位が発生しない、いわゆる臨界膜厚以下に設定することが望ましい。発明者らの実験によると、少なくとも6nmを超えると転位が発生し始めることが分かっている。従って、AlN層の厚さを6nm以下にすることが、ミスフィット転位抑制のための条件である。また、AlN層の厚さを小さくすることは、電界印加時に、電子がAlN層をトンネルし、AlNとSiO₂の界面に蓄積することを防ぐという意味でも重要である。

【0033】

以上、説明したように、本実施の形態によるMISFETを用いると、SiC基板とAlN層との良好な界面を形成することができるため、実効チャネル電子移動度を高めることができる。一方、AlN層とゲート電極との間にSiO₂層が形成されているため、SiC基板1側からゲート電極15側にトンネルする電流成分をAlN層のみの場合に比べて大幅に低減することができる。

【0034】

尚、ゲート電極側の絶縁層としては、SiO₂に代えて他の物質を用いることも可能である。絶縁体としては様々な選択肢があるが、堆積方法が最も良く研究されているものとしてSiO₂以外にはSi_xN_yを用いることが考えられる。

【0035】

次に、本発明の第2の実施の形態によるMISFETについて図面を参照して説明する。

【0036】

本実施の形態によるゲート電極側の絶縁体として、Al₂O₃を用いる。図5(A)に示すように、本実施の形態によるMISFETは、p型SiC基板41に高濃度にn型不純物がドーピングされたソース及びドレイン領域43a・43bと、SiC基板1上の上記ソース領域43aと、ドレイン領域43bとの間に形成され、AlN層/Al₂O₃層の積層構造45、51と、その上に形成されるゲート電極55とを有している。ここで、AlN層45との親和性を考慮すると、Alを成分として含む絶縁体を利用するのが望ましい。加えて、Al₂O₃は大きなバンドギャップ、高い絶縁性、大きな誘電率を持っておりMISFETへの応用に適している。図5(B)に、図5(A)に示すSiC系MISFETのゲート電極55(右側)からSiC基板41(左側)に向けてのエネルギーバンド構造の概略を示す。図5(B)に示すように、SiC-AlN間の伝導帯のエネルギー不連続値E_cは、約+2.0eVである。また、AlN-Al₂O₃間の伝導帯のエネルギー不連続値E_cは、約+0.29eVである。4nmのAlN層と108nmのAl₂O₃層との積層構造では、この積層構造と同じゲート絶縁膜容量となる100nmのAlN単一層の場合と比較してSiC基板41側からゲート電極55側にトンネルする電流成分を約100分の1に低減することができる。すなわち、より広い電界の範囲において絶縁性を保つことができることがわかる。

【0037】

ここで、Alを含む絶縁体の形成方法として、図6(A)(図3(H)に対応する)、(B)に示すように、AlN層又はAl層又はAl_xN_y層又はAlAs層、又は、AlN_xAs_{1-x}層5(図ではAlN)を最初に堆積し、それを酸化することにより、Al₂O₃層もしくは少量のN、Asを含んだAl₂O₃層5aを形成することができる。図6(A)、(B)に示す酸化法を用いることによりAlN/Al₂O₃系の多層絶縁膜を形成できることは工程の簡略化の観点から好ましい。

【0038】

以上、本実施の形態によるSiC系MISFETによれば、第1の実施の形態によるSiC系MISFETと同様の効果を得ることが出来る上に、製造工程をより簡単にすることができるという利点がある。

10

20

30

40

50

【0039】

次に、本発明の第3の実施の形態によるSiC系MISFETについて図面を参照しつつ説明を行う。図7は、本実施の形態によるSiC系MISFETの構造例を示す断面図である。図7に示すように、本実施の形態によるSiC系MISFETは、p-SiC基板21に形成されたソース領域23a、ドレイン領域23bと、それぞれの上に形成されたソース電極31a及びドレイン電極31bと、チャンネル領域上に形成された $B_xAl_{1-x-y}Ga_yN$ 層($x < 0.4$, $y < 0.4$)と、ゲート電極35とを有している。BA1GAN混晶を用いると、面内格子定数をSiCにほぼ完全に一致させることができる。格子定数を一致させることができれば、界面における歪みの低減とミスフィット転位の発生とを抑制することができるので望ましい。尚、混晶組成が大きくなると混晶のミクロな組成揺らぎに基づく、いわゆる合金散乱が大きくなり電子移動度の低下が生じるため、GaN、BNのモル分率はそれぞれ40%以下にするのが好ましい。このように、界面制御層としてBA1GAN層25を用い、その面内格子定数がSiC21の面内格子定数と0.5%以下の不整合であるのが好ましい。尚、図7に示すように、BA1GAN層の上に例えば SiO_2 層又は Si_xN_y 層などを積層すると、トンネル電流を抑制することができるという利点がある。

10

【0040】

次に、本発明の第4の実施の形態によるSiC系MISFETについて図面を参照しつつ説明を行う。AlN層および電極層との親和性(膜形成時のぬれ性、デバイス特性劣化につながる固相反応の抑制)のために絶縁体を複数構成にすることもできる。AlN層と親和性の良い第1の絶縁体と、金属と親和性の良い第2の絶縁体を積層する方法に関しては、第2及び第3の実施の形態において説明したが、さらに、第1の絶縁体と第2の絶縁体とだけでは性能が不足な場合、例えばバンドオフセットが小さい問題などを解決するために第1及び第2の絶縁体間に第3の絶縁体を入れた3層構造を形成することも可能である。

20

【0041】

図8(A)は、本実施の形態によるSiC系MISFETの構造例を示す図である。図8(A)に示すように、本実施の形態によるSiC系MISFETは、p-SiC基板61と、基板61に形成されたソース領域63a及びドレイン領域63bと、これらの上に形成されたソース電極75a及びドレイン電極75bと、チャンネル層の上に形成された多層絶縁体(AlN層65、 Al_2O_3 層67、 SiO_2 層71)と、多層絶縁体上に形成されたゲート電極77とを有している。図8(B)は、図8(A)の構造におけるゲート電極77(右)からSiC基板61(左)までの基板法線方向におけるエネルギーバンド構造の概略を示す。図8(B)に示すように、SiC-AlN間の伝導帯のエネルギー不連続値 E_c は、約+2.0eVである。また、AlN- Al_2O_3 間の伝導帯のエネルギー不連続値 E_c は、約+0.29eVである。 Al_2O_3 - SiO_2 間の伝導帯のエネルギー不連続値 E_c は、約+0.45eVである。例えば、4nmのAlN層と5nmの Al_2O_3 層と42nm厚の SiO_2 層との積層構造では、この積層構造と同じゲート絶縁膜容量となる100nmのAlN単一層の場合と比較してSiC基板41側からゲート電極55側にトンネルする電流成分を大幅に低減することができる。すなわち、より広い電界の範囲において絶縁性を保てること分かる。

30

40

【0042】

尚、絶縁体同士の固相反応抑制のために絶縁体間に異種物質を挿入することもできる。但し、挿入される異種物質は、金属や半導体などの比較的バンドギャップの狭い物質は好ましくない。金属や半導体を用いると、挿入物質中に電荷が蓄積したり、共鳴トンネルが生じて、ヒステリシスが生じたり、ゲート絶縁性が悪くなる原因となる。

【0043】

次に、本発明の第5の実施の形態によるSiC系トランジスタについて図面を参照しつつ説明を行う。本実施の形態によるSiC系トランジスタは、金属/絶縁体/金属/絶縁体/1分子以上の厚さのAlとNとを含む界面制御層/SiC構造を有するフローティン

50

ゲート構造を持つ電界効果トランジスタであって、フローティングゲート構造を持つ電界効果トランジスタである。フローティングゲート構造を有する電界効果トランジスタは、例えば不揮発性メモリなどの様々なデバイスへの応用が可能である。図9(A)は、本実施の形態によるMISFETをベースにした不揮発性メモリデバイス構造例を示す図である。図9(A)に示すように、本実施の形態による不揮発性メモリデバイスは、p-SiC基板81と、基板81内に形成されたソース及びドレイン領域83a、83bと、チャンネル領域上に形成された積層構造であって、AlN層85と、GaN層95bとAlN層91との積層構造と、ソース及びドレイン領域83a、83bのそれぞれに対して形成されたソース及びドレイン電極95a、95bと、上記積層の上に形成されたゲート電極(制御電極)97とを有している。

10

【0044】

図9(B)は、図9(A)の構造におけるゲート電極97(右)からSiC基板81(左)までの基板法線方向におけるエネルギーバンド構造の概略を示す図である。図9(B)に示すように、SiC基板81に対して形成された2層のAlN層85、91の間に、AlNに対して伝導帯のエネルギーバンド不連続値として約-2eVの値を有するGaN層87を形成すると、GaN層87は両側をエネルギー障壁層で囲まれた量子井戸層として機能し、この量子井戸層(87)中にチャンネル層からの電子を蓄積しておくことができる。障壁高さが2eVと高いため、室温においても量子井戸(87)からチャンネル層に戻る電子の量は少ない。量子井戸層(87)中に蓄積されている電子(電荷)量により、図9(A)に示すトランジスタのしきい値電圧が変化することを利用して、不揮発性メモリ

20

【0045】

SiC上に超低損失のパワートランジスタ、高出力高周波トランジスタ、又は、極めて小さなゲート長を持つ電界効果トランジスタを形成する場合に、上記不揮発性メモリデバイスを同じ基板上に集積化することができるという利点を有している。

【0046】

尚、本明細書において、SiC表面構造という用語は、SiC基板の表面と、例えばSi基板やサファイア基板上などの異種材料上に堆積されたSiC層の表面とのいずれをも含むものとする。SiC基板という場合にも、その中にはSiCが表面に存在する基板という意味が含まれるものとする。

30

【0047】

本明細書としては、プレーナー型のMISFETを実施例として記述したが、本発明の実施はプレーナー型に限らない。パワートランジスタなどでは、ドレイン電極が基板裏面にある縦型のFETが良く用いられる。ソースやドレインなどの構造は異なるが、スイッチ作用を行う金属-絶縁体-半導体構造は同一であり、本発明の適用範囲である。

【0048】

III族窒化物と称する場合には、B、Al、Ga、Inのうちの少なくとも1つ以上III族元素とNを含むことを意味する。V族の元素としてN以外の元素を含んでも良いし、またGaNやAlNなどの化合物のみではなく、 $Al_x In_y Ga_{1-x-y} N$ などの混晶も含まれるものとする。

40

【図面の簡単な説明】

【0049】

【図1】図1(A)から図1(C)までは、本発明の第1の実施の形態によるMISFETの製造方法を示す図である。

【図2】図2(D)から図2(F)までは、本発明の第1の実施の形態によるMISFETの製造方法を示す図であり、図1に続く図である。

【図3】図3(G)から図3(H)までは、本発明の第1の実施の形態によるMISFETの製造方法を示す図であり、図2に続く図である。

【図4】図4(I)は、本発明の第1の実施の形態によるMISFETの製造方法を示す図であり、図3に続く図である。図4(J)は、図4(I)に示すMISFETのゲート

50

から基板にかけてのエネルギーバンド構造を示す図である。

【図5】本発明の第2の実施の形態によるMISFET構造(図5(A))とそのエネルギーバンド構造(図5(B))である。

【図6】図6(A)及び(B)に示す構造の製造工程の一例を示す図である。

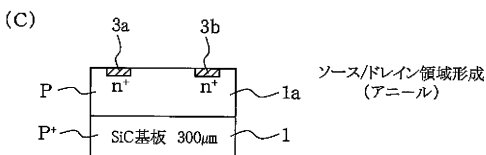
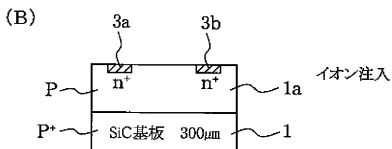
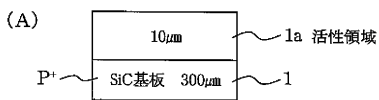
【図7】本発明の第3の実施の形態によるMISFETの構造を示す図である。

【図8】本発明の第4の実施の形態によるMISFETの構造を示す図である。

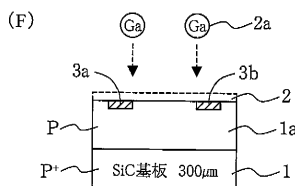
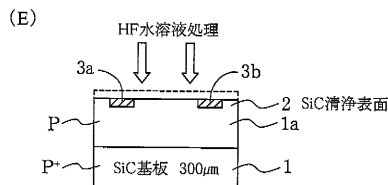
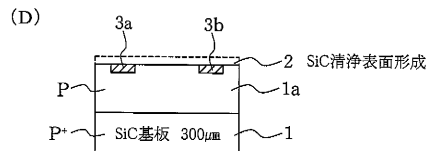
【図9】本発明の第5の実施の形態によるMISFETであって、フローティングゲート構造を持つ電界効果トランジスタであって、フローティングゲート構造を持つ電界効果トランジスタの構造を示す図である。

【図10】AlN/SiC MISダイオードの電界強度と電流密度との関係を示す図である。

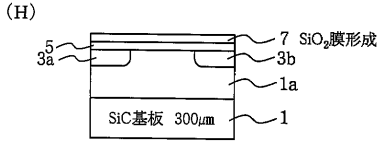
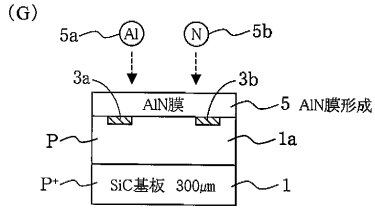
【図1】



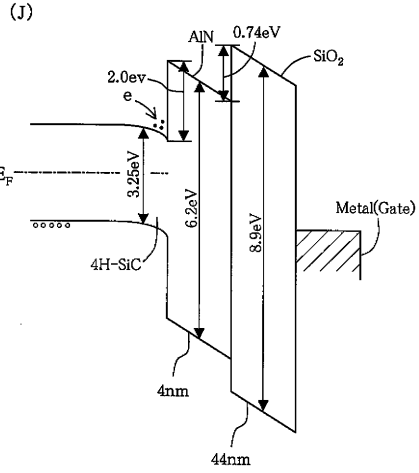
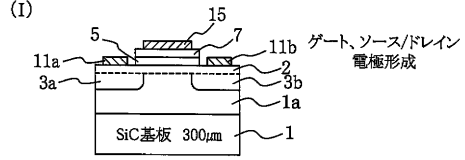
【図2】



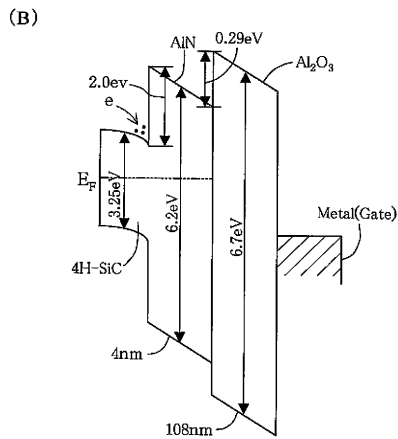
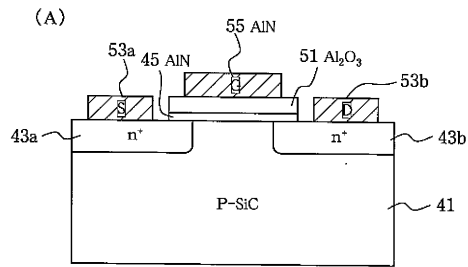
【図3】



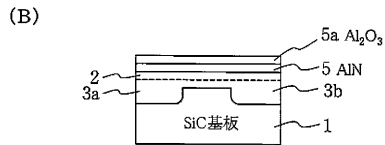
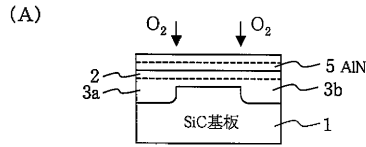
【図4】



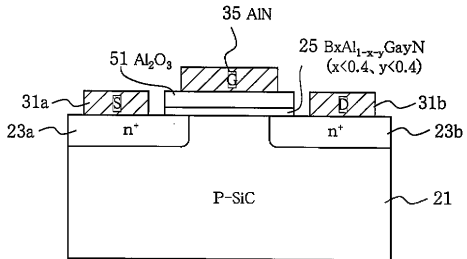
【図5】



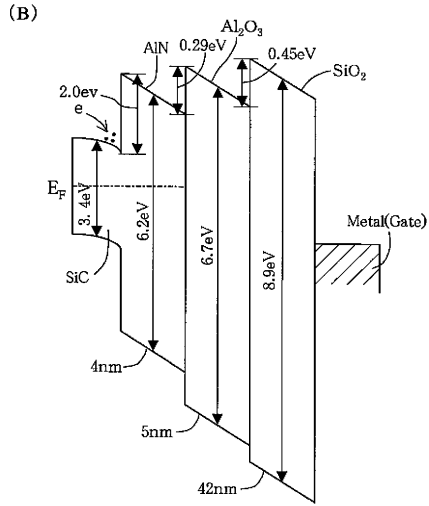
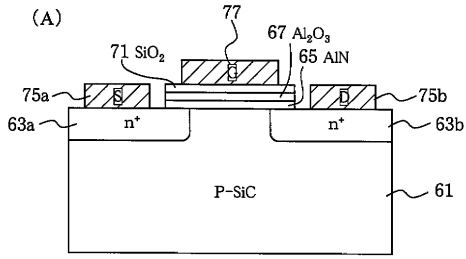
【図6】



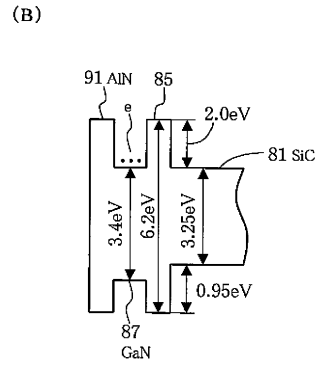
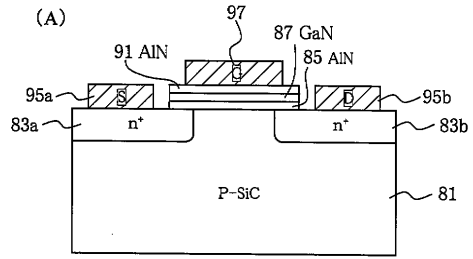
【図7】



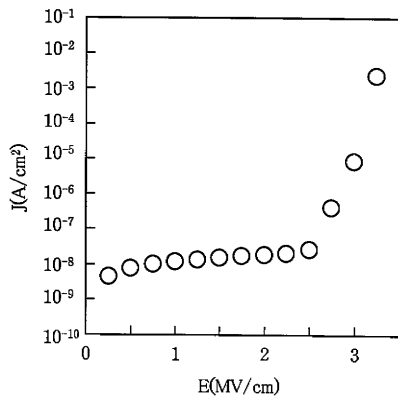
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

- (56)参考文献 特開2000-150792(JP,A)
仏国特許出願公開第02707425(FR,A1)
特表平10-510952(JP,A)
特開2001-094099(JP,A)
特開2010-074096(JP,A)
James Kolodzey et al., Electrical Conduction and Dielectric Breakdown in Aluminum Oxide Insulators on Silicon, IEEE TRANSACTIONS ON ELECTRON DEVICES, 2000年 1月, VOL. 47, NO.1, pp.121-128
N.Onojima et al., Heteroepitaxial Growth of Insulating AlN on 6H-SiC by MBE, Material Science Forum, 2002年, Vols.389-393, pp.1457-1460

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 21/336
H01L 21/316
H01L 21/318