

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3742878号
(P3742878)

(45) 発行日 平成18年2月8日(2006.2.8)

(24) 登録日 平成17年11月25日(2005.11.25)

(51) Int. Cl. F I
G 1 1 C 15/04 (2006.01) G 1 1 C 15/04 6 3 1 F

請求項の数 9 (全 16 頁)

(21) 出願番号	特願2002-159436 (P2002-159436)	(73) 特許権者	504136568
(22) 出願日	平成14年5月31日(2002.5.31)		国立大学法人広島大学
(65) 公開番号	特開2004-5825 (P2004-5825A)		広島県東広島市鏡山1丁目3番2号
(43) 公開日	平成16年1月8日(2004.1.8)	(74) 代理人	100058479
審査請求日	平成14年5月31日(2002.5.31)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 自己調整型ウィンナ・ラインアップ増幅器

(57) 【特許請求の範囲】

【請求項1】

メモリ領域の各行に配置され、メモリ領域の各行に蓄積された参照データと外部入力とをビットごとに比較するワード重み付け比較器の比較信号 (C_i ; 添字 i は行番号) を入力する信号制御部と、

前記信号制御部でレベル制御された前記比較信号 (C_i) を増幅し、距離増幅信号 ($L A_i$) として出力する自己調整型距離増幅部と、

前記メモリ領域の各行に対応する前記距離増幅部に共通な自己調整電圧 ($F a$) を入力するフィードバック生成部と、

前記フィードバック生成部の出力電圧 ($\min\{C_i\}$) をフィードバック電圧 (F) に変換する電圧フォロワからなる駆動電流生成部と、を具備し、

前記フィードバック電圧 (F) は、前記メモリ領域の各行に対応する前記信号制御部に並列に供給され、前記距離増幅部の増幅特性が前記比較信号 (C_i) の内ウィンナ行の比較信号 (C_{win}) で自己調整され、かつ前記レベル制御の値が、少なくとも前記ウィンナ行の比較信号 (C_{win}) を前記距離増幅部の最大利得領域の範囲内に導くことを特徴とする自己調整型ウィンナ・ラインアップ増幅器。

【請求項2】

前記信号制御部は、

前記比較信号 (C_i) を転送する前記ワード重み付け比較器の第1の信号線と、

前記比較信号 (C_i) の電力を制御する電圧 ($V D D_i$) を転送する前記ワード重み付

10

20

け比較器の第2の信号線と、

前記メモリ領域の各行に対応する前記信号制御部に前記フィードバック電圧(F)を並列に供給する第3の信号線と、

前記信号制御部を活性化する第4の信号線と、

ドレインが前記第1の信号線に接続され、ゲートが前記第3の信号線に接続され、ソースが接地されたnチャンネルトランジスタと、

ソースが電源(VDD)に接続され、ゲートが接地され、ドレインが前記第2の信号線に接続された第1のpチャンネルトランジスタと、

ソースが前記電源(VDD)に接続され、ゲートが前記第4の信号線に接続され、ドレインが前記第1の信号線に接続された第2のpチャンネルトランジスタとを具備し、

前記フィードバック電圧(F)は、前記nチャンネルトランジスタのゲートに入力され、前記比較信号(C_i)は、前記nチャンネルトランジスタによってレベル制御されることを特徴とする請求項1記載の自己調整型ウィナ・ラインアップ増幅器。

10

【請求項3】

前記自己調整型距離増幅部は、

ソースが電源(VDD)に接続されたpチャンネルトランジスタと、

ソースが接地された第1のnチャンネルトランジスタと、

ドレインが前記電源(VDD)に接続され、ソースが前記第1のnチャンネルトランジスタのゲートに接続され、ゲートが前記第1のnチャンネルトランジスタのドレインに接続された第2のnチャンネルトランジスタと、

20

前記pチャンネルトランジスタのゲートに一方の端子が接続され、他方の端子が接地された容量(C)と、を具備し、

前記pチャンネルトランジスタのドレインと前記第1のnチャンネルトランジスタのドレインとは互いに接続されて出力ノード(N_i)をなし、前記第2のnチャンネルトランジスタのソースは、前記自己調整電圧(F_a)の共通信号線に接続され、前記信号制御部でレベル制御された前記比較信号(C_i)は、前記pチャンネルトランジスタのゲートに入力され、前記距離増幅信号(LA_i)は、前記出力ノード(N_i)から出力され、前記第2のnチャンネルトランジスタのソース電圧は、前記自己調整電圧(F_a)として前記共通信号線に転送されることを特徴とする請求項1記載の自己調整型ウィナ・ラインアップ増幅器。

30

【請求項4】

前記フィードバック生成部は、

ソースが電源(VDD)に接続され、ゲートがドレインと共通に接続されたpチャンネルトランジスタと、

ドレインが前記pチャンネルトランジスタのドレインと互いに接続されて前記フィードバック生成部の出力部をなし、ゲートが前記自己調整電圧(F_a)の共通信号線に接続され、ソースが接地された第1のnチャンネルトランジスタと、

ドレインが前記自己調整電圧(F_a)の共通信号線に接続され、ゲートが前記ドレインと共通に接続され、ソースが接地された第2のnチャンネルトランジスタと、を具備し、

前記自己調整電圧(F_a)は、前記第1のnチャンネルトランジスタのゲートに入力され、前記出力電圧(min{C_i})は、前記フィードバック生成部の出力部から出力されることを特徴とする請求項1記載の自己調整型ウィナ・ラインアップ増幅器。

40

【請求項5】

前記駆動電流生成部を構成する電圧フォロワは、前記フィードバック生成部の出力電圧(min{C_i})を入力し、フィードバック電圧(F)に変換して、前記フィードバック電圧(F)を前記電圧フォロワの出力部から前記メモリ領域の各行に対応する前記信号制御部のnチャンネルトランジスタのゲートに並列に供給し、かつ前記電圧フォロワは、前記信号制御部と同時に活性化されることを特徴とする請求項1記載の自己調整型ウィナ・ラインアップ増幅器。

【請求項6】

50

前記自己調整型ウイナ・ラインアップ増幅器は、前記増幅器を構成する n チャンネルトランジスタ及び p チャンネルトランジスタを互いに置き換え、かつ前記メモリ領域を構成する n チャンネルトランジスタ及び p チャンネルトランジスタを互いに置き換えることにより、等価な動作が可能になることを特徴とする請求項 1 記載の自己調整型ウイナ・ラインアップ増幅器。

【請求項 7】

前記自己調整型ウイナ・ラインアップ増幅器を構成するトランジスタ数は、前記メモリ領域の行数 (R) に比例することを特徴とする請求項 1 記載の自己調整型ウイナ・ラインアップ増幅器。

【請求項 8】

前記比較信号 (C_i) の電力を制御する電圧 (VDD_i) は、前記ワード重み付け比較器を流れる電流の最大値を制限することにより、前記比較信号 (C_i) による消費電力を低減することを特徴とする請求項 2 記載の自己調整型ウイナ・ラインアップ増幅器。

【請求項 9】

前記比較信号 (C_i) の電力を制御する電圧 (VDD_i) は、前記ワード重み付け比較器から出力されるウイナ行の比較信号 (C_{win}) とルーザ行の比較信号 (C_{lose}) との間の静的状態における信号差 $|C_{win} - C_{lose}|$ を拡大することを特徴とする請求項 2 記載の自己調整型ウイナ・ラインアップ増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は連想メモリに係り、特にパターンマッチング機能を実現するために使用する最大値検出回路に関するものである。

【0002】

【従来の技術】

従来の半導体連想メモリ用最大値検出回路には、フィードバックによる安定化機能と固定された最大利得領域を有するものが知られている。この種の最大値検出回路を具備する半導体連想メモリは、例えば、H. J. Mattausch et al., "An Architecture for Compact Associative Memories with Deca-ns Nearest-Match Capability up to Large Distances", ISSCC Dig. of Tech. Papers, pp. 170-171, 2001 及び特願 2002-008783 に提案されている。

【0003】

図 8 を用いて、従来の最大値検出回路、特にウイナ・ルーザ距離増幅を行うウイナ・ラインアップ増幅器 (以下 WLA と略称する) の動作について説明する。なお、半導体連想メモリは、メモリ領域に蓄積された参照データの内、入力データに最も類似する参照データをデータ間の距離と呼ばれる尺度に基づき検索するものであり、入力データにより検索された参照データをウイナ、検索されない参照データをルーザと呼ぶ。また、WLA は、連想メモリのメモリ領域以外の最大値検出回路において、データ検索能力に直接関与するウイナ・ルーザ距離増幅部とその周辺回路部 (次に述べるワード重み付け比較器を含む) を意味するものである。

【0004】

図 8 は、従来の WLA のブロック構成を示す図である。図 8 に示す WLA は、連想メモリの i 行目のセルアレイに属するワード重み付け比較器 WWC_i (図示せず) からの比較信号 C_i (図 8 では $i = 1, \dots, R$ として表示) を入力する信号制御部 (SR) 100 と、固定された最大利得領域を有するウイナ・ルーザ距離増幅部及びフィードバック生成部からなる回路ブロック (AFG) 200 から構成される。

【0005】

信号制御部 (SR) 100 は、比較信号 C_i の電流の大きさを信号電圧に変換すると同時に、この信号電圧をウイナ・ルーザ距離増幅部の固定された最大利得領域の中間電位 V_{I_i} に調整する機能を備えている。このようにして最終的にデジタルな検索結果を得る

10

20

30

40

50

ための信号 LA_i が回路ブロック (AFG) 200 から出力される。

【0006】

一方、回路ブロック (AFG) 200 に含まれるフィードバック生成部から信号制御部 (SR) 100 及びワード重み付け比較器 WC_i へのフィードバック信号 F が生成され、 WLA の安定動作が確保される。

【0007】

しかし、従来の WLA では、固定された最大利得領域において最小距離入力信号 (比較信号 C_i) が増幅され、フィードバックによりその動作が安定化されるので、安定化制御の範囲に限界があり、消費電力が大きくなるという欠点があった。さらに、従来適用されるフィードバック回路では、入力信号 C_i の数 R が増加すると信号制御部の負荷容量が増加し、高速動作の妨げになっていた。

10

【0008】

【発明が解決しようとする課題】

上記したように、従来の WLA は、最大利得領域が固定されているため安定化制御範囲に限界があり、消費電力が大きくなるという問題があった。

【0009】

本発明は、上記の問題点を解決すべくなされたもので、フィードバック安定化に対してより大きな制御範囲を有し、最大利得領域の自己調整機能を備え、かつ規模の増加に対してトランジスタ数が線形に増加する WLA を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明の自己調整型 WLA は、メモリ領域の各行に蓄積された参照データと外部入力データとをビットごとに比較するワード重み付け比較器から出力された比較信号を、高い安定性で自己調整的に最大利得領域の範囲内で増幅し、データ検索用の距離増幅信号として出力することを特徴とする。

20

【0011】

具体的には本発明の自己調整型 WLA は、メモリ領域の各行に配置されたワード重み付け比較器の比較信号 C_i を入力する信号制御部と、信号制御部でレベル制御された比較信号 C_i を増幅し、距離増幅信号 LA_i として出力する自己調整型距離増幅部と、メモリ領域の各行に対応する距離増幅部に共通な自己調整電圧 F_a を入力するフィードバック生成部と、フィードバック生成部の出力電圧 $\min\{C_i\}$ をフィードバック電圧 F に変換する電圧フォロワからなる駆動電流生成部とを具備し、フィードバック電圧 F は、メモリ領域の各行に対応する信号制御部に並列に供給され、距離増幅部の増幅特性が比較信号 C_i の内ウィンナ行の比較信号 C_{win} で自己調整され、かつレベル制御の値が、少なくともウィンナの比較信号 C_{win} を距離増幅部の最大利得領域の範囲内に導くことを特徴とする。

30

【0012】

ここで、自己調整型 WLA は図3に示されるものであり、各符号の添字 i は1行から R 行までのメモリ領域の行番号を示す数である。なお、符号 $\min\{C_i\}$ は C_1 から C_R までの比較信号の最小値 (ウィンナの比較信号 C_{win}) に比例する値を示している。

【0013】

好ましくは信号制御部は、比較信号 C_i を転送するワード重み付け比較器の第1の信号線と、比較信号 C_i の電力を制御する電圧 VDD_i を転送するワード重み付け比較器の第2の信号線と、メモリ領域の各行に対応する信号制御部にフィードバック電圧 F を並列に供給する第3の信号線と、信号制御部を活性化する第4の信号線と、ドレインが第1の信号線に接続され、ゲートが第3の信号線に接続され、ソースが接地された n チャネルトランジスタと、ソースが電源 VDD に接続され、ゲートが接地され、ドレインが第2の信号線に接続された第1の p チャネルトランジスタと、ソースが電源 VDD に接続され、ゲートが第4の信号線に接続され、ドレインが第1の信号線に接続された第2の p チャネルトランジスタとを具備し、フィードバック電圧 F は、 n チャネルトランジスタのゲートに入力され、比較信号 C_i は、 n チャネルトランジスタによってレベル制御されることを特徴とす

40

50

る。

【0014】

ここで、信号制御部は図3(a)の参照番号4に示すものであり、次段に接続される距離増幅部の最大利得領域の範囲内に信号レベルを合わせるように比較信号 C_{win} をレベル制御する。電圧 VDD_i は、比較信号 C_i の信号レベルを調整することで、連想メモリの規模の拡張に伴う比較信号 C_i の消費電力の増加を抑制するものである。

【0015】

また、好ましくは自己調整型距離増幅部は、ソースが電源 VDD に接続されたpチャンネルトランジスタと、ソースが接地された第1のnチャンネルトランジスタと、ドレインが前記電源 VDD に接続され、ソースが前記第1のnチャンネルトランジスタのゲートに接続され、ゲートが前記第1のnチャンネルトランジスタのドレインに接続された第2のnチャンネルトランジスタと、pチャンネルトランジスタのゲートに一方の端子が接続され、他方の端子が接地された容量 C とを具備し、pチャンネルトランジスタのドレインと第1のnチャンネルトランジスタのドレインとは互いに接続されて出力部 N_i をなし、第2のnチャンネルトランジスタのソースは、自己調整電圧 F_a の共通信号線に接続され、信号制御部でレベル制御された比較信号 C_i は、pチャンネルトランジスタのゲートに入力され、距離増幅信号 $L A_i$ は、出力部 N_i から出力され、第2のnチャンネルトランジスタのソース電圧は、自己調整電圧 F_a として共通信号線に転送されることを特徴とする。

10

【0016】

ここで、自己調整型の距離増幅部は、図3(a)の参照番号5に示すものであり、自己調整電圧 F_a の共通信号線は、メモリ領域の各行に対応する全ての距離増幅部における F_a の出力端子に共通に接続され、ウィンナ行に対応する自己調整電圧 F_a により共通信号線の電圧が定められる。

20

【0017】

また、好ましくはフィードバック信号生成部は、ソースが電源 VDD に接続され、ゲートがドレインと共通に接続されたpチャンネルトランジスタと、ドレインがpチャンネルトランジスタのドレインと互いに接続されてフィードバック生成部の出力部をなし、ゲートが自己調整電圧 F_a の共通信号線に接続され、ソースが接地された第1のnチャンネルトランジスタと、ドレインが自己調整電圧 F_a の共通信号線に接続され、ゲートがドレインと共通に接続され、ソースが接地された第2のnチャンネルトランジスタとを具備し、自己調整電圧 F_a は、第1のnチャンネルトランジスタのゲートに入力され、出力電圧 $\min\{C_i\}$ は、フィードバック生成部の出力部から出力されることを特徴とする。

30

【0018】

ここで、フィードバック生成部は図3(a)の参照番号6に示すものであり、ここで前段の距離増幅器5とフィードバック生成部6とはカレントミラーの関係を有し、共通の自己調整電圧 F_a を介して $\min\{C_i\}$ を出力することができる。

【0019】

また好ましくは、駆動電流生成部を構成する電圧フォロワは、フィードバック生成部の出力電圧 $\min\{C_i\}$ を入力し、フィードバック電圧 F に変換して、このフィードバック電圧 F を電圧フォロワの出力部からメモリ領域の各行に対応する信号制御部のnチャンネルトランジスタのゲートに並列に供給し、かつ電圧フォロワは、信号制御部と同時に活性化されることを特徴とする。

40

【0020】

ここで、駆動電流生成部は図3(a)の参照番号7に示すものであり、電圧フォロワ8は、例えば図3(b)に示すような、入力にnチャンネルトランジスタとpチャンネルトランジスタとを用いた2個のカレントミラー型差動増幅回路を並列に配置した回路等で構成される。

【0021】

また、本発明の自己調整型WLAにおいて、回路を構成するnチャンネルトランジスタ及びpチャンネルトランジスタを互いに置き換え、かつ前記メモリ領域を構成するnチャンネルト

50

ランジスタ及びpチャネルトランジスタを互いに置き換えることにより等価な動作が可能であることを特徴とする。

【0022】

また、本発明の自己調整型WLAにおいて、回路を構成するトランジスタ数は、メモリ領域の行数Rに比例することを特徴とする。なお、本発明のWLAの構成に必要なトランジスタ数は、メモリ領域の各行当りわずか6個に過ぎないので、容易に回路規模の拡張が可能である。

【0023】

また、比較信号 C_i の電力を制御する電圧 VDD_i は、ワード重み付け比較器を流れる電流の最大値を制限することにより、比較信号 C_i による消費電力を低減することを特徴とする。

10

【0024】

また、電圧 VDD は、ワード重み付け比較器から出力されるウィンナ行の比較信号 C_{win} とルーザ行の比較信号 C_{lose} との静的状態の信号差 $|C_{win} - C_{lose}|$ を拡大することを特徴とする。

【0025】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0026】

<第1の実施形態>

20

図1は、本発明の第1の実施形態に係るWLAのブロック構成を示す図である。図1を用いて、本発明の自己調整型WLAの動作について説明する。

【0027】

図1に示すWLAは、半導体連想メモリのメモリ領域の各行に配置されたワード重み付け比較器 WWC_i （図示せず、添え字 i は1からRまでの行番号）からの比較信号 C_i を入力する信号制御部（SR）1と、自己調整された最大利得領域を有するウィンナ・ルーザ距離増幅部及びフィードバック生成部からなる回路ブロック（AFG）2と、信号フォロワ（SF）3から構成される。

【0028】

信号制御部（SR）1は、メモリ領域の各行に対応してそれぞれ設けられ、信号フォロワ（SF）3から出力されるフィードバック信号Fを受けて、比較信号 C_i をレベル制御し、中間電圧信号 VI_i として出力する。

30

【0029】

回路ブロック（AFG）2に配置されたウィンナ・ルーザ距離増幅部は、中間電圧信号 VI_i を自己調整された最大利得領域の範囲内で受けて、距離増幅信号 LA_i として出力する。距離増幅信号 LA_i は最終決定回路（図示せず）に送られメモリ領域に蓄積された参照データの検索結果が出力される。

【0030】

一方メモリ領域の1行からR行にそれぞれ対応するウィンナ・ルーザ距離増幅部は、共通の自己調整電圧信号線で内部的に互いに接続され、自己調整電圧信号線を介して自己調整電圧が回路ブロック（AFG）2の終段に配置されたフィードバック生成部に転送される。

40

【0031】

フィードバック生成部は、自己調整電圧を受けて比較信号 C_1 から C_R までの最小値に比例する信号（等しい場合を含む） $\min\{C_i\}$ を信号フォロワ（SF）3に転送する。信号フォロワ（SF）3は、 $\min\{C_i\}$ を受けてフィードバック電圧Fに変換し、信号制御部（SR）1は、フィードバック電圧Fを受けて比較信号 C_i をレベル制御する。

【0032】

上記したように、本発明のWLAは、信号制御部（SR）1、ウィンナ・ルーザ距離増幅部及びフィードバック生成部を有する回路ブロック（AFG）2及び信号フォロワ（SF

50

) 3 からなるフィードバックループを介して、信号制御部 (SR) 1 におけるレベル制御の値が、ウィンナ行の中間電圧信号 $V_{I_{win}}$ を、増幅特性が自己調整された次段のウィンナ・ルーザ距離増幅部における最大利得領域の範囲内に導くことに特徴がある。

【0033】

ここで、増幅特性の自己調整とは、ウィンナの入力レベルに応じて、ウィンナ行が最大に増幅されるように、フィードバックにより自動的に増幅特性等が変化することであり、その回路構成と動作は第2の実施形態で詳細に説明される。

【0034】

次に、図2を用いて、ウィンナ・ルーザ距離増幅部の増幅特性が比較信号 C_i の信号レベルの変化に対して固定されている場合の問題点について、具体的に説明する。

10

【0035】

図2(a)、図2(b)及び図2(c)は、ウィンナ・ルーザ距離増幅部の入出力増幅特性であり、図の横軸はWLAの入力信号の電圧又は電流を示し、図の縦軸はWLAの出力信号の電圧又は電流を示している。

【0036】

先に図8を用いて説明したフィードバックループに自己調整機能のない従来のWLAでは、製造工程上のばらつきにより入力信号レベルに設計値からのずれを生じた場合、信号制御部 (SR) 100 でレベル制御を行っても設計中心からのずれを修正することはできない。

【0037】

このため、図2(a)に示す制御不足の状態や図2(b)に示す制御過剰の状態を生じ、図の星印に示すウィンナと、図の丸印に示す最近傍ルーザとのWLAによる識別が製造工程上のばらつきのため困難になり、半導体連想メモリの歩留まりを低下させるという問題があった。

20

【0038】

しかし、第1の実施形態に係る自己調整型のWLAでは、製造工程上のばらつきが存在しても、図1に示す信号制御部 (SR) 1 において、入力信号レベルが常にウィンナ・ルーザ距離増幅部の自己調整された最大利得領域の範囲内となるように、すなわち、WLAが図2(c)の最適ラインアップ制御の状態となるように、入力信号レベルのレベル制御の値とウィンナ・ルーザ距離増幅部の増幅特性が、フィードバックループを介して、入力信

30

【0039】

このため、図2(c)に示すようにデータ検索上最も重要なウィンナと最近傍ルーザの距離を、製造工程上のばらつきが存在してもWLAの最大利得領域の範囲内で出力することが可能となり、連想メモリの検索能力と製造歩留まりの向上を達成することができる。

【0040】

< 第2の実施形態 >

次に、図3を用いて、第2の実施形態に係るWLAについて説明する。先に図1を用いて説明したように、連想メモリの性能向上の鍵となる回路は、自動的にウィンナ行の出力に追従する自己制御型の最大利得領域を実現したWLAである。従来、最大利得領域は固定されていたので、ウィンナ行のワード重み付け比較器の出力は、狭い最大利得領域に合わせ設計する必要があった (H. J. Mattausch et al. 参照)。

40

【0041】

本発明のWLAの考え方では、図2を用いて説明した制御不足又は過剰制御による非効率なデータ検索が発生する可能性を排除し、WLAの制御プロセスを高速化することが可能になる。第2の実施形態では、自己調整機能を有するWLAの具体的な回路構成と動作について詳細に説明する。

【0042】

図3(a)に示すWLAは、図1における信号制御部 (SR) 1 の回路構成を示す信号制御部4と、図1の回路ブロック (AFG) 2 の前段部のウィンナ・ルーザ距離増幅部に相

50

当する距離増幅部 5 と、後段部に相当するフィードバック生成部 6 と、図 1 の信号フォロワ (S F) 3 に相当する駆動電流生成部 7 から構成される。なお、駆動電流生成部 7 は、図 3 (a)、図 3 (b) に示す電圧フォロワ 8 で構成される。

【 0 0 4 3 】

はじめに、信号制御部 4 の回路構成と動作について説明する。

信号制御部 4 は、ワード重み付け比較器 (W W C) 1 3 (図 5 参照) から比較信号 C_i を転送する信号線と、比較信号 C_i による消費電力を低減するための電圧 $V D D_i$ を転送する信号線と、電圧フォロワ 8 の出力部に接続されたフィードバック信号線と、信号制御部 4 のイネーブル信号線とを備えている。

【 0 0 4 4 】

p チャネルトランジスタ p_{1i} (以下トランジスタ p_{1i} 等と呼ぶ) は、比較信号 C_i の信号レベルに応じて、比較信号 C_i による消費電力を低減するための電圧 $V D D_i$ をワード重み付け比較器 (W W C) 1 3 からの信号線に供給する。トランジスタ p_{2i} は、外部からのイネーブル信号をゲートに受けて比較信号 C_i を転送する信号線に電源電圧 $V D D$ を与え信号制御部 4 を活性化する。トランジスタ n_{1i} は、フィードバック信号線を介して電圧フォロワ 8 からのフィードバック電圧 F をゲートに受け、ゲート容量を高速に充電することにより比較信号 C_i の信号レベルを制御する。

【 0 0 4 5 】

このようにして、メモリ領域の各行に対応してそれぞれ設けられた信号制御部 4 は、駆動電流生成部 7 の電圧フォロワ 8 からのフィードバック電圧 F を受けて比較信号 C_i をレベル制御することができる。

【 0 0 4 6 】

次に、自己調整型距離増幅部 5 の回路構成と動作について説明する。

自己調整型距離増幅部 5 は、トランジスタ n_{2i} とトランジスタ p_{3i} とが互いに直列に接続され、その接続点 N_i から、信号制御部 4 でレベル制御され、トランジスタ p_{3i} のゲートに入力された比較信号 C_i (図 1 の中間電圧 $V I_i$ に相当) が距離増幅信号 $L A_i$ として出力される。

【 0 0 4 7 】

距離増幅と最大利得領域の自己調整は、次のように行われる。ウィнна行におけるワード重み付け比較器の比較信号 C_{win} は最小であるから (図 5 及び関連記載事項参照)、トランジスタ p_{3win} (ウィнна行のトランジスタ p_{3i} 、以下同様) は最大の電流源としての能力を示し、この電流はトランジスタ n_{2win} の電流シンクとしての能力と釣り合わねばならない。このため、トランジスタ n_{2win} のゲート電圧 F_a (自己調整電圧 F_a と呼ぶ) は、全ての行に共通であるから適度に上昇せねばならず、かつウィнна行により制御されることになる。

【 0 0 4 8 】

一方、このような動作はソースフォロワ型トランジスタ n_{3win} のゲート電圧 (W L A の出力電圧 $L A_{win}$) が最大になれば可能になる。また、このような動作は比較信号 C_{win} の大きさと独立に、最大利得領域の自己調整機能を生じさせる。このようにして、比較信号 C_{win} の広い電圧範囲に対して 2 0 倍乃至 5 0 倍の電圧利得を得ることができる。なお、距離増幅部 5 の入力に接続された容量 C は、安定なマッチング動作の位相マージンを得るように調整される。

【 0 0 4 9 】

このようにして、連想メモリでのデータ検索上最も重要なウィннаと最近傍ルーザ間の距離を、W L A の最大利得領域の範囲内で出力することが可能となり、連想メモリの検索能力の向上を図ることができる。

【 0 0 5 0 】

次に、フィードバック生成部 6 の回路構成と動作について説明する。

フィードバック信号生成部 6 は、距離増幅部 5 の直列接続トランジスタ p_{3i} 及びトランジスタ n_{2i} とカレントミラーの関係をなす直列接続された p チャネルトランジスタ及び n チ

10

20

30

40

50

チャンネルトランジスタと、距離増幅部 5 のソースフォロワトランジスタ n_{3i} の負荷となる n チャンネルトランジスタとで構成される。

【0051】

フィードバック電圧 $\min\{C_i\}$ の生成と、距離増幅部 5 との結合には、Oprisにより提案された高速最小値回路の修正版が適用された (I. E. Opris, "Rail-to-Rail Multiple-Input Min/Max Circuit", IEEE Trans. Circuit and Systems II, vol. 45, 137-141, 1998 .参照)。

【0052】

上記 Oprisの引例に提案された高速な最小値回路の修正版をフィードバックの生成と距離の増幅のために適用している。最小値機能は、距離増幅部 5 の直列接続トランジスタ p_{3i} 及び n_{2i} のドレイン電流と、フィードバック生成部 6 の直列接続 p チャンネル及び n チャンネルトランジスタのドレイン電流が共通の自己調整電圧 F_a で制御されることで実現される。

10

【0053】

すなわち、ウィンナ行の比較信号 C_{win} は、比較信号 C_1 乃至 C_R の最小値であり、したがって、 N_i に出力される $L A_{win}$ は最大となる。 N_i の電圧は共通の自己制御電圧 F_a を介して、 N_i とカレントミラーの関係にあるフィードバック生成部 6 の直列接続 p チャンネル及び n チャンネルトランジスタの接続点に転送されるので、 $L A_{win}$ に比例した電圧 (比較信号 C_1 乃至 C_R の最小値 C_{win} に比例した電圧) $\min\{C_{win}\}$ がフィードバック生成部から出力される、このとき、トランジスタ回路の設計により、 $\min\{C_{win}\}$ と C_{win} とを等しくすることも可能である。

20

【0054】

次に、駆動電流生成部 7 における電圧フォロワ 8 の動作について説明する。

上記のように、フィードバック生成部 6 はウィンナ行 (最小距離が検出された行) の比較電圧 C_{win} を $\min\{C_i\}$ に変更する。駆動電流生成部 7 の電圧フォロワ 8 は、変更されたウィンナ行の電圧を全ての行の信号制御部 4 に転送する。このようにして、 $W L A$ は自動的に安定状態に自己調整される。

【0055】

なお、電圧フォロワ 8 の回路構成の一例を図 3 (b) に示す。電圧フォロワ 8 は、入力に n チャンネルトランジスタと p チャンネルトランジスタを用いた 2 個のカレントミラー型差動増幅回路を並列に配置した回路等で構成される。

30

【0056】

$W L A$ の安定状態では、ウィンナ行の信号制御部 4 のトランジスタ n_{1win} の電流シンク能力と、図 5 に示すウィンナ行のワード重み付け比較器における p チャンネルトランジスタの電流シンク能力とが釣り合うことになる。駆動電流生成部 7 の電圧フォロワ 8 は、メモリ領域の行数 R の増加に対して必要な高駆動電流を供給することができるので、フィードバックの高速化を図ることができる。

【0057】

上記のように、第 2 の実施の形態に係る $W L A$ は、フィードバック安定化に対してより大きな制御範囲を有し、最小距離入力 C_{win} に対して最大利得領域を自動的に調整する $W L A$ を提供するので、最小距離入力 C_{win} を調整する制御の不足や過剰 (図 2 (a)、図 2 (b) 参照) による非効率なデータ検索の可能性を排除することができる。

40

【0058】

また、図 3 に示す電圧フォロワ 8 を用いれば、例えば半導体連想メモリをコードブックベースのデータ圧縮に用いる場合に、メモリ領域の行数 R の増加に対して必要な高駆動電流を電圧フォロワから供給して、フィードバックループの高速化を図ることができる。

【0059】

また、図 3 (a) に示す信号制御部 4 に設けた $V D D_i$ 電圧による各ワード重み付け比較器の電流制御は、ワード重み付け比較器の電流の最大値を制限し、半導体連想メモリの低消費電力化に寄与することができる。さらに、 $V D D_i$ 電圧は、ワード重み付け比較器の

50

出力線上のウィンナ及びルーザ行間の静的状態における信号差 $|C_{win} - C_{lose}|$ を改善する効果がある。シミュレーションによればこの信号差は、H. J. Mattausch et al. の引例に比べて一桁以上大きいことが示される。

【0060】

また、図3に示すように、第2の実施形態に係るWLAでは、回路構成に必要なトランジスタ数は各行当たりわずか6個に過ぎず、また、トランジスタ数はメモリ領域の行数Rに比例するので、半導体連想メモリの規模を容易に拡張することが可能である。

【0061】

なお、図3に示すWLAにおいて、pチャネルトランジスタをnチャネルトランジスタに、またnチャネルトランジスタをpチャネルトランジスタにそれぞれ置き換えることにより同様に動作する回路を得ることができる。この場合、メモリ領域の回路に対しても、同様にpチャネルトランジスタをnチャネルトランジスタに、またnチャネルトランジスタをpチャネルトランジスタにそれぞれ置き換えることが必要である。

10

【0062】

<第3の実施形態>

次に、図4を用いて、第3の実施形態に係るWLAについて説明する。第3の実施形態では半導体連想メモリにおける本発明のWLAの応用について述べる（従来のWLAについては特願2002-008783参照）。

【0063】

図4は、ハミング距離による最小距離検索機能を具備し、本発明のWLAを用いた全並列小面積半導体連想メモリのブロック図である。図4に示す半導体連想メモリは、メモリ領域10と、WLA 20と、ウィンナ・テイクオール回路（以下、WTAと呼ぶ）30で構成される。

20

【0064】

メモリ領域10は、集積化されたビット比較器 $BC_{i,j}$ ($i = 1 \sim R, j = 1 \sim W$ 、添え字 i, j の範囲は以下同様) を備えるR行、W列の蓄積セル $SC_{i,j}$ と、ワード比較器に重み付けを行ったワード重み付け比較器 WWC_i (以下、単に WWC_i と呼ぶ) から構成される。

【0065】

メモリ領域10の左辺にはR行のロウデコーダが接続され、上辺には入力データ(Wビット)を入力するワード検索部が配置される。また下辺にはW列のカラムデコーダが接続され、各蓄積セルごとに読み出し・書き込みが行われる。なお、Wビットの参照データは、あらかじめ各蓄積セルに書き込まれ、ワード検索部に入力されるWビットの入力データに最も類似する参照データがウィンナとして読み出される。

30

【0066】

図4に示す半導体連想メモリにおいて、ウィンナの選択は、WLA 20及びWTA 30を用いて実行される。ここで、本発明のWLA 20は、ウィンナとルーザ（入力データに類似しない参照データ）の距離の差を、最初の段階で最も大きく増幅するために（図2(c)参照）、図3(a)に示す信号制御部4で比較信号 C_i のレベルを制御し、また、距離増幅部5は、本発明のWLA 20におけるフィードバックループを介して、自動的にウィンナの比較信号（最低レベル）が最大利得領域の範囲内に入力されるように自己調整される。

40

【0067】

WTA 30は、WLA 20からの距離出力信号 $L A_i$ を受けて一致信号 M_i を出力する。一致信号 M_i は、ウィンナ行に対しては“1”であり、その他の全ての行（ルーザ行）に対しては“0”である。このようにして、最終的にウィンナが決定される。なお、WLA 20の入力部には、 WWC_i からの比較信号 C_i が入力され、WLAからはフィードバック信号Fが返される。

【0068】

次に、図5を用いて、ハミング距離を求めるためのメモリ領域の具体的な回路構成につい

50

て説明する。ここで、ハミング距離とは、比較される2個のデータ(Wビット)間における互いに異なるビットの数として定義される。

【0069】

図5に示すように、蓄積セル(SC)(以下、行番号の添え字を省略)11は、2個のnチャンネルトランジスタとインバータ I_1 、 I_2 を用いて構成されたSRAMセルからなり、2個のpチャンネルトランジスタを用いたビット比較器(BC)12と、ビットごとに1個のpチャンネルトランジスタを用いたワード重み付け比較器(WWC)13が順に接続される。ワード重み付け比較器(WWC)13のpチャンネルトランジスタがWLAの信号源になる。

【0070】

ここで、ワード重み付け比較器(WWC)の重み付けは、ビットごとにワード重み付け比較器(WWC)13のpチャンネルトランジスタのゲート幅とゲート長の比を変化すれば、任意のウイナの重み付けが可能であり、任意の尺度の距離に対応することができる。

【0071】

ビット比較器(BC)12及びワード重み付け比較器(WWC)13は、同一サイズに対してより低い消費電力で動作するようにnチャンネルトランジスタの代わりにpチャンネルトランジスタが用いられた。また、検索動作においては、pチャンネルトランジスタのしきい値電圧よりも約200mV高い参照電圧が、ビット線上のロジック“0”として、VSSの代わりに用いられた。

【0072】

このようにすれば、ビット比較器(BC)12のpチャンネルトランジスタ(パストランジスタ)のしきい値ばらつきが、ワード重み付け比較器(WWC)13のpチャンネルトランジスタの実効ゲート電圧に及ぼす影響を除去することができる。ワード重み付け比較器(WWC)13のpチャンネルトランジスタは、電流源としての能力が最も低くなり、ウイナ行の C_{win} が最小となるように、異なるビットに対してオン状態となる。

【0073】

<第4の実施形態>

次に、図6及び図7を用いて第4の実施形態について説明する。第4の実施形態では、試作された本発明のWLAを備える半導体連想メモリのテストチップの構造と性能について説明する。テストチップの試作は、0.6 μ mのCMOS技術と2層ポリシリコン、3層メタル配線工程を用いて行われた。試作された半導体連想メモリコアのチップ写真を図6に示す。

【0074】

メモリ領域における参照データの蓄積容量は、ワード長(パターン長)768ビット \times 32参照パターン(合計24kビット)である。設計面積は9.75mm²、その内WLA及びWTAで構成される最近傍マッチユニットの占有面積は、0.307mm²であり、設計面積の3.15%に過ぎない。この内WLAの占有分は1.37%、WTAの占有分は1.78%であった。最小距離検索時間は70ns以下、消費電力は10MHz動作で43mW以下、参照パターン当りの消費電力は、1.35mW以下、電源電圧は3.3Vである。

【0075】

このテストチップでは、768ビットのワード長が選ばれているが、このワード長ならば、各カラーを4又は5ビット表示に丸めれば、4 \times 4ピクセルのフルカラービデオ信号のハイエンド応用、又は指紋の凹凸を1ピクセル幅に縮小した後の指紋照合等に十分適用することができる。

【0076】

試作された半導体連想メモリのメモリ領域は、参照データの蓄積セル(SC)、ビット比較器(BC)及びワード重み付け比較器(WWC)を収容するため、図6に示すように、32行を256ビットの3個のフィールドに分割し、合計768ビットのワード長となるようにした。

10

20

30

40

50

【0077】

H. J. Mattausch et al.の引例では、メモリ領域がワード長128ビット×32行で構成されていたので、今回試作された半導体連想メモリのメモリ領域における参照データの蓄積容量は、上記引例の6倍に拡大され、しかも消費電力は、上記引例に比べて約1桁低減することができた。

【0078】

次に、図7を用いて、試作されたテストチップの平均最小距離検索時間とウイナ・入力間距離との関係について説明する。最小距離参照データ（ウイナ）と最近傍の参照データ（最近傍ルーザ）との距離が1ビットの場合と5ビットの場合に対し、連想メモリコアのテストチップにおける平均最小距離検索時間を測定した結果を図7に示す。

10

【0079】

最小距離参照データと最近傍の参照データのパターンに対して、10個の物理的に異なる場所（異なる行）で測定した結果をプロットとしている。エラーバーの大きさから、最小距離参照データと最近傍の参照データとの距離が1ビットという最もクリティカルな場合でも、測定データのばらつきは、非常に小さいことがわかる。

【0080】

図7から、試作された半導体連想メモリの最小距離検索時間を測定した結果、1ビット及び5ビットのウイナ・ルーザ間距離の場合、124ビット以下、及び444ビット以下のウイナ・入力間距離に対する検索結果は70ns以下と、極めて高速であることが確認された。

20

【0081】

以上、説明したように、本発明のWLAを搭載した半導体連想メモリによれば、大規模な入力数、すなわちメモリ領域の行数に対する拡張性が高く、参照データのビット数の増加が可能であること、高速でかつ参照データの行当りの消費電力が小さいことが明らかにされた。

【0082】

なお本発明は上記の実施の形態に限定されることはない。例えば第3の実施形態において、全並列連想メモリのパターンマッチング機能を実現するため、本発明のWLAを用いることについて説明したが、本発明のWLAの用途は必ずしも全並列連想メモリのパターンマッチングに限定されるものではない。

30

【0083】

本発明のWLAは、例えばネットワークルータ、コードブックベースデータ圧縮、対象認識、及び人工知能システム、データバンクシステム、インターネットルータ、移動端末（例えばモバイルビデオ端末等）におけるパターンマッチングに対して広く適用することができる。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0084】

【発明の効果】

上述したように、本発明のWLAによれば、最小距離入力に対して最大利得領域を自動的に調整し、かつ入力数の増加に対して容易に拡張することができる制御範囲の大きい全並列連想メモリを提供することが可能になる。

40

【図面の簡単な説明】

【図1】第1の実施形態に係る最大利得領域を有する自己調整型WLAのブロック図。

【図2】距離増幅に対する固定された最大利得領域を有するWLAの問題点を示す図。

【図3】本発明のWLAのCMOS型回路による構成例を示す図。

【図4】ハミング距離による最小距離検索機能を有する全並列小面積連想メモリのブロック図。

【図5】本発明の連想メモリにおける1ビットのメモリ領域を示す図。

【図6】本発明の自己調整型ウイナ・ラインアップ増幅器を有する半導体連想メモリを示す画像。

【図7】最小距離参照データ（ウイナ）と最近傍の参照データ（最近傍ルーザ）との距

50

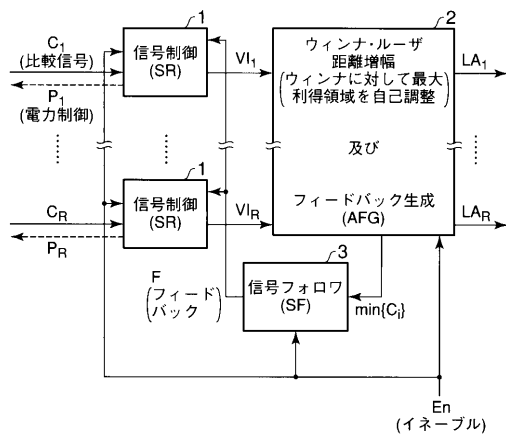
離が、1ビット及び5ビットの場合に対する、連想メモリコアのテストチップにおける平均最小距離検索時間を示す図。

【図8】従来の固定された最大利得領域を有するWLAのブロック図。

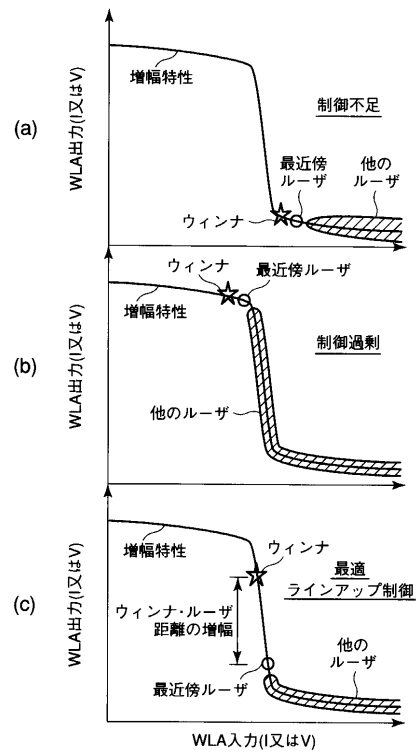
【符号の説明】

- 1, 100 ... 信号制御部 (SR)
- 2, 200 ... ウィンナ・ルーザ距離増幅及びフィードバック生成部 (AFG)
- 3 ... 信号フォロワ (SF)
- 4 ... 信号制御部
- 5 ... 距離増幅部
- 6 ... フィードバック生成部
- 7 ... 駆動電流生成部
- 8 ... 電圧フォロワ
- 10 ... メモリ領域
- 11 ... 蓄積セル (SC)
- 12 ... ビット比較器 (BC)
- 13 ... ワード重み付け比較器 (WWC)
- 14 ... 電力制御部
- 20 ... ウィンナ・ラインアップ増幅器 (WLA)
- 30 ... ウィンナ・テイクオール回路 (WTA)

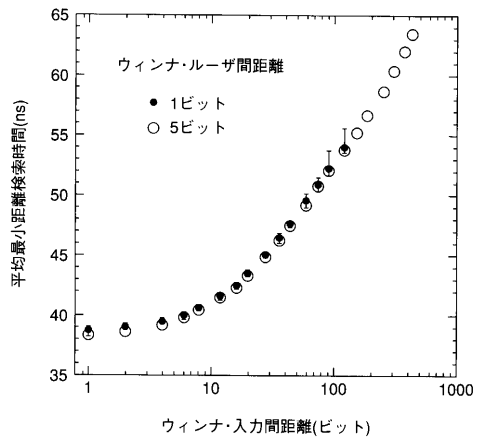
【図1】



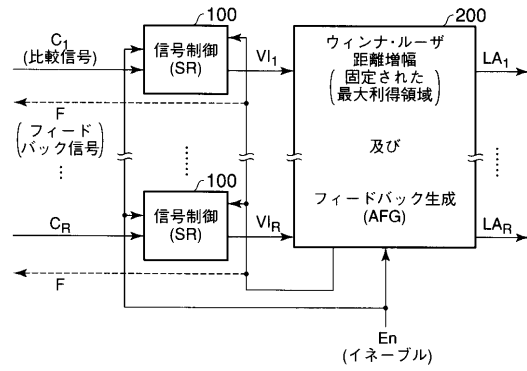
【図2】



【 図 7 】



【 図 8 】



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 マタウシュ・ハンスユルゲン

広島県東広島市鏡山1丁目4番2号 広島大学ナノデバイス・システム研究センター内

(72)発明者 小出 哲士

広島県東広島市鏡山1丁目4番2号 広島大学ナノデバイス・システム研究センター内

審査官 小松 正

(56)参考文献 特開平05-101681(JP,A)

特開2001-357678(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 15/04