

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4997502号
(P4997502)

(45) 発行日 平成24年8月8日(2012.8.8)

(24) 登録日 平成24年5月25日(2012.5.25)

(51) Int.Cl. F I
H O 1 L 33/32 (2010.01) H O 1 L 33/00 1 8 6

請求項の数 5 (全 9 頁)

(21) 出願番号	特願2006-254012 (P2006-254012)	(73) 特許権者	504157024
(22) 出願日	平成18年9月20日 (2006. 9. 20)		国立大学法人東北大学
(65) 公開番号	特開2008-78274 (P2008-78274A)		宮城県仙台市青葉区片平二丁目1番1号
(43) 公開日	平成20年4月3日 (2008. 4. 3)	(74) 代理人	100098729
審査請求日	平成21年7月14日 (2009. 7. 14)		弁理士 重信 和男
		(74) 代理人	100133282
			弁理士 内野 春喜
		(74) 代理人	100116757
			弁理士 清水 英雄
		(74) 代理人	100123216
			弁理士 高木 祐一
		(74) 代理人	100089336
			弁理士 中野 佳直

最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に下地層を形成する工程と、上記下地層上に、上記下地層が複数の独立した素子形成領域となるように選択的にパターンニングされた区画領域を構成するとともに、エッチング溶液注入口となる注入口領域を構成するマスク層を形成する工程と、上記素子形成領域上に半導体層を1層以上形成して、そこに所望の半導体素子を形成する工程と、半導体素子の側面を被覆する工程と、上記注入口領域を除く全面に、金属支持層を形成する工程と、注入口領域からエッチング液を注入して、上記マスク層及び上記下地層を除去する工程と、区画領域上の金属支持層から半導体素子を分離し、半導体素子チップを得る工程とを備えた、半導体素子の製造方法。

【請求項2】

基板上に結晶成長促進層を形成する工程と、上記結晶成長促進層上に、結晶成長阻止のためのマスク層であって、上記結晶成長促進層が複数の独立した素子形成領域となるように選択的にパターンニングされた区画領域を構成するとともに、エッチング溶液注入口となる注入口領域を構成するマスク層を形成する工程と、上記素子形成領域上に半導体結晶層を1層以上成長させて、そこに所望の半導体素子を形成する工程と、半導体素子の側面を被覆する工程と、上記注入口領域を除く全面に、金属支持層を形成する工程と、注入口領域からエッチング液を注入して、上記マスク層及び上記結晶成長促進層を除去する工程と、区画領域上の金属支持層から半導体素子を分離し、半導体素子チップを得る工程とを備えた、半導体素子の製造方法。

【請求項 3】

上記金属支持層は、注入口領域を除く全面に形成されたシード金属を介してメッキにより形成されていることを特徴とする請求項 1 又は 2 に記載の半導体素子の製造方法。

【請求項 4】

上記複数の独立した素子形成領域は、上記基板上に繰り返しパターンをなすように配置されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 5】

上記注入口領域は、基板上に複数個均等に設けられていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体素子の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LED、トランジスタ、ダイオード等の半導体素子の製造方法に関する。

【背景技術】

【0002】

LED、トランジスタ、ダイオード等の半導体素子の製造方法として、基板上にバッファ層を介して半導体層を形成し、そこに複数個の半導体素子を作り込み、最後にレーザー、エッチング、ダイシング等の手段により個々のチップに分割する手法が採られている。

【0003】

20

半導体素子として垂直型LEDを例にとれば、垂直型LEDはLLO(レーザーリフト)に基づいて作製されている。これはサファイア基板上にLED構造を形成後、GaNのバンドギャップより短い波長を持つレーザー光を照射することによって、サファイア基板との界面に存在するGaN膜がレーザー光を吸収し、GaとNに分解することによってサファイア基板とLED構造を分離させる方法である。分離されたLED構造に、上下部に電極を形成して垂直型LED構造を実現する。

【0004】

LLOは、分離時に使用する高出力レーザーによってLED構造あるいはGaN薄膜にダメージを与え、また、チップの大きさが大きくなるにつれクラックが発生しやすい等の問題点がある。

30

【0005】

また上記垂直型LEDに限らず、このように基板上にバッファ層を介して半導体層を形成した後、個々のチップに分割する従来の半導体素子の製造方法では、LLO等の分離手段を採用しているため、特性の良い半導体素子チップを得るのは困難であった。

【0006】

【非特許文献1】Comparison of p-Side Down and p-Side Up GaN Light-Emitting Diodes Fabricated by Laser Lift-Off, Chen-Fu CHU, Chang-Chin YU, Hao-Chun CHENG, Chia-Feng LIN and Shing-Chung WANG, Jpn. J. Appl. Phys. Vol. 42 (2003) pp. L147-L150

【非特許文献2】Study of GaN light-emitting diodes fabricated by laser lift-off technique, Chen-Fu Chu, Fang-I Lai, Jung-Tang Chu, Chang-Chin Yu, Chia-Feng Lin, Hao-Chung Kuo, and S. C. Wang, J. Appl. Phys. Vol. 95, No. 8, 3916-3921 (2004)

40

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、上記の点に鑑み、基板上に半導体成長促進層等を介して選択成長したLED等の半導体素子を、基板及び半導体成長促進層等から容易に分離できるようにすることを課題とするものである。

【課題を解決するための手段】

【0008】

上記の課題を解決するために本発明は、次のような半導体素子の製造方法を提供するも

50

のである。

(1) 基板上に下地層を形成する工程と、上記下地層上に、上記下地層が複数の独立した素子形成領域となるように選択的にパターニングされた区画領域を構成するとともに、エッチング溶液注入口となる注入口領域を構成するマスク層を形成する工程と、上記素子形成領域上に半導体層を1層以上形成して、そこに所望の半導体素子を形成する工程と、半導体素子の側面を被覆する工程と、上記注入口領域を除く全面に、金属支持層を形成する工程と、注入口領域からエッチング液を注入して、上記マスク層及び上記下地層を除去する工程と、区画領域上の金属支持層から半導体素子を分離し、半導体素子チップを得る工程とを備えた、半導体素子の製造方法。

(2) 基板上に結晶成長促進層を形成する工程と、上記結晶成長促進層上に、結晶成長阻止のためのマスク層であって、上記結晶成長促進層が複数の独立した素子形成領域となるように選択的にパターニングされた区画領域を構成するとともに、エッチング溶液注入口となる注入口領域を構成するマスク層を形成する工程と、上記素子形成領域上に半導体結晶層を1層以上成長させて、そこに所望の半導体素子を形成する工程と、半導体素子の側面を被覆する工程と、上記注入口領域を除く全面に、金属支持層を形成する工程と、注入口領域からエッチング液を注入して、上記マスク層及び上記結晶成長促進層を除去する工程と、区画領域上の金属支持層から半導体素子を分離し、半導体素子チップを得る工程とを備えた、半導体素子の製造方法。

(3) 上記金属支持層は、注入口領域を除く全面に形成されたシード金属を介してメッキにより形成されていることを特徴とする(1)又は(2)の半導体素子の製造方法。

(4) 上記複数の独立した素子形成領域は、上記基板上に繰り返しパターンをなすように配置されていることを特徴とする(1)乃至(3)のいずれかに記載の半導体素子の製造方法。

(5) 上記注入口領域は、基板上に複数個均等に設けられていることを特徴とする(1)乃至(4)のいずれかに記載の半導体素子の製造方法。

【発明の効果】

【0009】

本発明の半導体素子の製造方法によれば、次のような効果が得られる。

(1) 選択成長による垂直型LED等の半導体素子製作工程を単純化させることができ、またレーザーリフトオフ法で問題になっている収率や再現性の問題を解決することができる。

(2) 選択成長によるため、従来の全面に成長する場合よりも反りを抑制することができる。

(3) 半導体素子は選択成長により独立して形成されているため、クラックの発生を抑えることができる。

(4) マスクとして使った物質をエッチング除去することによって、成長促進層のエッチングのためのトンネルが形成され、このようなトンネルによってエッチング速度が向上する。

(5) 基板にダメージを与えないため、CLO(ケミカルリフトオフ工程)後に、基板のリサイクルが可能である。

(6) 素子形成領域をLED等の半導体素子の大きさと等しくしておくことにより、CLO後のチップ分割工程が不要となる。

【発明を実施するための最良の形態】

【0010】

以下実施例を参照して本発明を詳細に説明する。

【0011】

サファイア基板上に、下地層となり選択成長により半導体層の形成が可能な、結晶成長促進層となるCr金属層を形成し(図1)、その上に結晶成長阻止のためのマスク層を全面に形成する(図2)。次に、リソグラフィによりマスク層を、上記結晶成長促進層が複数の独立した素子形成領域となるように選択的にパターニングされた区画領域を構成する

10

20

30

40

50

とともに、エッチング溶液注入口となる注入口領域を構成するようにパターンニングする(図3)。その後、この結晶成長促進層の上に半導体層を結晶成長させ半導体素子の構造を作製する。例えば GaN 、 AlN 、 $In_xGa_{1-x}N$ 、 $Al_xGa_{1-x}N$ 、 $Al_xIn_yGa_{1-x-y}N$ のような GaN 系物質又は GaN 系LED構造が作製される。そしてその上に電極が形成される(図4)。

【0012】

選択成長した半導体素子の側面は、漏洩電流の原因になるためこれを防止するために電気が流れない物質で側面に保護膜を形成する(図5)。次に金属メッキにより銅金属支持層を形成するために、シード金属を形成する(図6)。シード金属は、エッチング溶液注入口領域上には形成しないように注意する。

10

【0013】

シード金属は、下地基板との接合力を向上する接着層と、酸化防止目的の保護層で構成され、加えてCLO(ケミカルリフトオフ工程)に使われるエCHANTにエッチングされない特性を持っていなければならない。接着層としてTa、Ti、Cr、Wなど、保護層としてはAu、Ptなどが可能である。

【0014】

金属支持層の形成は、電気メッキ法を用いて適切な厚さに形成する(図7)。金属支持層の使用目的は、素子動作時発生する熱の放出と良好な伝導性を持たせることである。金属支持層としては、電解又は無電解メッキにより形成が可能であり、良好な熱伝導率と電気伝導度を持つCuを用いた。

20

【0015】

図11は、図7に示す半導体素子作製工程における斜視図であり、電気メッキによって形成された金属支持層の表面形態を示すものである。中央部に存在するエッチング溶液注入口は、マスクパターンによって模様と大きさが制御可能である。エッチング溶液注入口は、選択成長のためのマスク物質と結晶成長促進層を効率的にエッチングするためのものである。

【0016】

エッチング溶液注入口となる注入口領域は、マスク層形成時に形成され、シード金属は、この注入口領域には形成されていない。

【0017】

図12は、Cu電気メッキを行った2インチ試料の表面の写真である。試料には正四角形の25個のエッチング溶液注入口がある。エッチング溶液注入口とマスク層がエッチング除去された際に形成されるトンネルによって、効率的にエッチング溶液供給が可能になり、このためCLO工程時間を少なくすることができる。CLOのためのエッチング溶液注入口は、四角形以外にも多様な形態のパターンが可能である。

30

【0018】

結晶成長促進層のエッチング用トンネル形成のために、マスク層である SiO_2 膜をBF溶液によりエッチングする(図8)。エッチング溶液は、25個のエッチング溶液注入口を通して早い速度で、正四角形のそれぞれのLED素子の周りに存在している SiO_2 膜を取り除く。このように除去された SiO_2 膜の下側には GaN を成長させるためのシード層として使われた結晶成長促進層であるCrが存在している。

40

【0019】

次に、結晶成長促進層の選択エッチングによってサファイア基板と金属支持層により支持されている半導体素子を分離する(図9)。表面に形成されたエッチング溶液注入口と酸化膜除去によって形成されたエッチングトンネルを通して結晶成長促進層にエッチング溶液が急速に供給され、エッチング速度を早めることができる。オーミック電極の形成後、金属支持層により支持されている半導体素子をそれぞれのチップに分離して半導体素子構造を実現する(図10)。

【0020】

なお実施例では、結晶成長促進層の構成材料としてCrを例示したが、成長させる半導

50

体の種類又は特性に応じてTi、Ta、Nb、Mo、Cu等の金属、これらの金属の窒化物あるいはGaN、AlN等の半導体であってもよい。もちろん、これらの混晶すなわち $Al_x In_y Ga_{1-x-y} N$ （ここで $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$ ）であってもよい。また、これらの窒化物半導体に他のV族元素（ $V = As、P、Sb、Bi$ ）を含む混晶すなわち、 $Al_x Ga_y In_{1-x-y} N_p V_{1-p}$ （ここで、 $V = As、P、Sb、Bi$ であり、 $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$ 、 $0.9 < p < 1$ ）であってもよい。またV族元素としては、1種類でなくその組み合わせ、例えばPとAs、AsとSb、AsとPあるいはAsとPとSbの組み合わせでもよい。

【0021】

また実施例では半導体素子を構成する半導体層を形成するため、下地層として結晶成長促進層及びマスク層の組合せによる選択成長を前提として説明してきたが、本発明では所望とする半導体素子の特性に応じて、半導体層の選択形成方法として、下地層及びマスク層の選択により結晶成長法に限らず、蒸着、CVD、エピタキシャル等を採用することも可能である。

10

【0022】

この場合には、下地層及びマスク層との関連で、本発明の実施に最適なエッチング液が適宜選定されることになる。

【図面の簡単な説明】

【0023】

【図1】半導体素子作製工程を説明する図である。

20

【図2】半導体素子作製工程を説明する図である。

【図3】半導体素子作製工程を説明する図である。

【図4】半導体素子作製工程を説明する図である。

【図5】半導体素子作製工程を説明する図である。

【図6】半導体素子作製工程を説明する図である。

【図7】半導体素子作製工程を説明する図である。

【図8】半導体素子作製工程を説明する図である。

【図9】半導体素子作製工程を説明する図である。

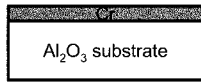
【図10】半導体素子作製工程を説明する図である。

【図11】図7に示す半導体素子作製工程における斜視図である。

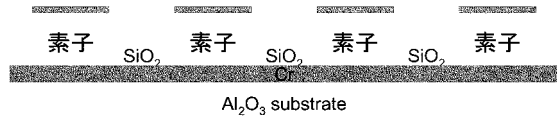
30

【図12】電気メッキした試料を示す写真である。

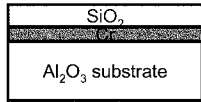
【 図 1 】



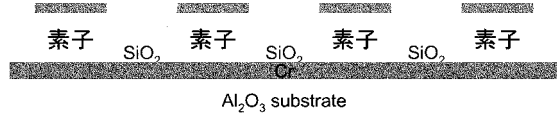
【 図 4 】



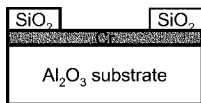
【 図 2 】



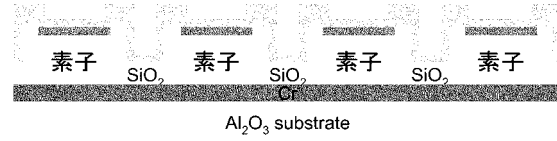
【 図 5 】



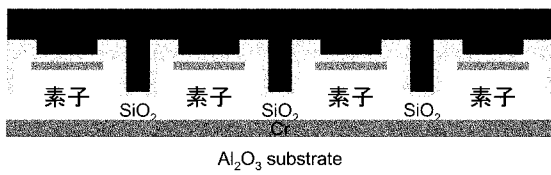
【 図 3 】



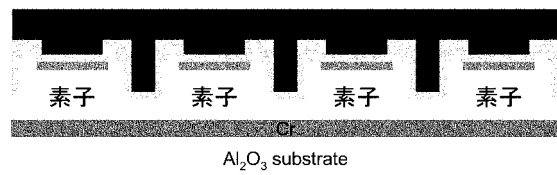
【 図 6 】



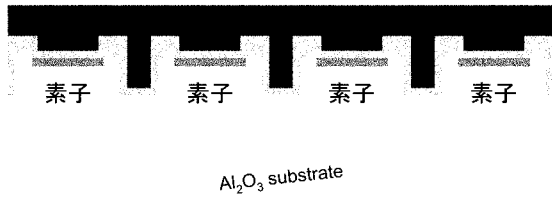
【 図 7 】



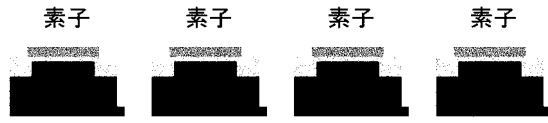
【 図 8 】



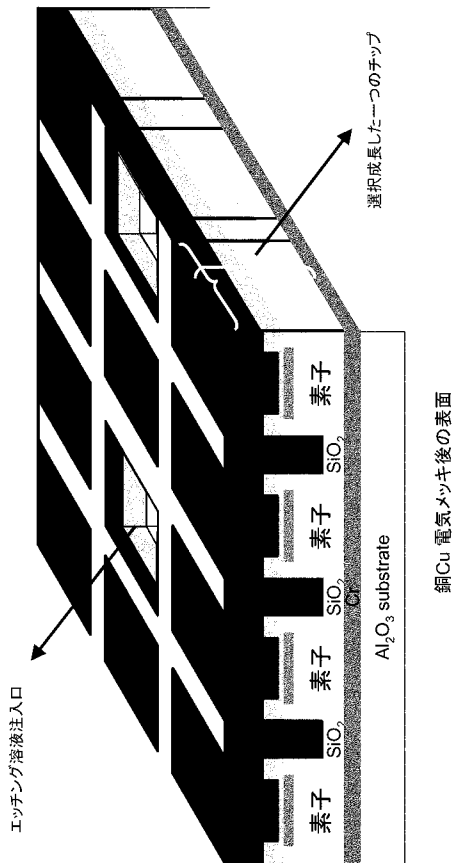
【図9】



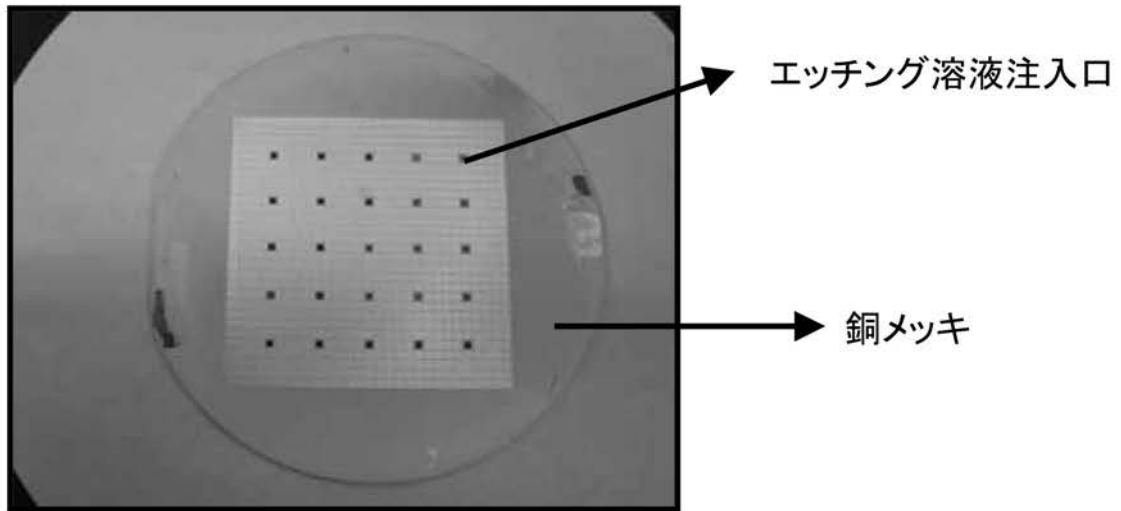
【図10】



【図11】



【図12】



フロントページの続き

- (72)発明者 八百 隆文
宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内
- (72)発明者 チョ 明煥
宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

審査官 下村 一石

- (56)参考文献 特開平11-154648(JP,A)
特開2001-274507(JP,A)
国際公開第2006/076208(WO,A1)
特開平09-260745(JP,A)
特開2001-102597(JP,A)
特開2006-005331(JP,A)
特開2002-284600(JP,A)
特開2004-363213(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L33/00-33/64
H01L21/78