

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4625903号
(P4625903)

(45) 発行日 平成23年2月2日(2011.2.2)

(24) 登録日 平成22年11月19日(2010.11.19)

(51) Int.Cl. F I
HO4N 7/32 (2006.01) HO4N 7/137 Z

請求項の数 6 (全 17 頁)

<p>(21) 出願番号 特願2006-203541 (P2006-203541) (22) 出願日 平成18年7月26日 (2006.7.26) (65) 公開番号 特開2008-34953 (P2008-34953A) (43) 公開日 平成20年2月14日 (2008.2.14) 審査請求日 平成21年2月25日 (2009.2.25)</p>	<p>(73) 特許権者 504150450 国立大学法人神戸大学 兵庫県神戸市灘区六甲台町1-1 (74) 代理人 100123504 弁理士 小倉 啓七 (74) 代理人 100127166 弁理士 本間 政憲 (72) 発明者 宮越 純一 兵庫県神戸市灘区六甲台町1-1 国立大 学法人神戸大学内 (72) 発明者 吉本 雅彦 兵庫県神戸市灘区六甲台町1-1 国立大 学法人神戸大学内</p>
--	---

最終頁に続く

(54) 【発明の名称】 画像処理プロセッサ

(57) 【特許請求の範囲】

【請求項1】

制御部とデータパス部で構成される動き検出処理用プロセッサであって、
 前記制御部は、外部命令に従い制御信号を発生させ、原画像用メモリと参照画像用メモリに対して連続的にアドレスを発生させ、データパス部に対して切替信号を発生させ；
 前記データパス部は、前記原画像用メモリと、前記参照画像用メモリと、複数の演算回路と、前記切替信号に応じて前記演算回路の並列数と一部の演算回路の入力データを他の演算回路の出力データに切り替える切替回路とを備え；

動き検出処理の探索アルゴリズムによってSIMD型とストリックアレイ型の構成を切り替えることができることを特徴とする画像処理プロセッサ。

10

【請求項2】

前記切替信号は、単一ブロックマッチング演算処理を行う際には、前記演算回路の並列数を最大化してSIMD型の構成とし、連続ブロックマッチング演算処理を行う際には、前記演算回路の並列数を減らし、一部の演算回路の入力データを他の演算回路の出力データに切り替えてストリックアレイ型の構成とすることを特徴とする請求項1に記載の画像処理プロセッサ。

【請求項3】

前記演算回路は、原画像の画素データおよび参照画像の画素データを入力して差分絶対値を出力する回路であることを特徴とすることを特徴とする請求項1に記載の画像処理プロセッサ。

20

【請求項 4】

前記演算回路は、原画像の複数の画素データおよび参照画像の複数の画素データを入力して差分絶対値和を出力する回路であることを特徴とすることを特徴とする請求項 1 に記載の画像処理プロセッサ。

【請求項 5】

前記原画像用メモリ及び/又は前記参照画像用メモリは、2 リードポートメモリであることを特徴とする請求項 1 から 4 のいずれかに記載の画像処理プロセッサ。

【請求項 6】

請求項 1 から 5 のいずれかに記載の画像処理プロセッサを搭載した情報端末機器。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、画像処理、フィルタ演算に特化した画像処理プロセッサに関する。

【背景技術】

【0002】

近年、通信ネットワークを通じて動画像の送受信を行うことや、動画像を蓄積メディアに蓄積することが広く行なわれている。一般に、動画像は情報量が大きいため、伝送ビットレートの限られた通信路を用いて動画像を伝送する場合、あるいは蓄積容量の限られた蓄積メディアに動画像を蓄積する場合には、動画像を符号化・復号化する技術が必要不可欠である。動画像の符号化・復号化方式として、ISO/IECが標準化を進めている M P E G (Moving Picture Experts Group) や H. 2 6 X がある。これらは動画像を構成する経時的に連続した複数のフレームの符号化又は復号化を行うものであり、動画像の時間的相関、空間的相関を利用した冗長性の削減を行うことにより動画像の情報量を減らして符号化し、符号化された動画像を再度元の動画像に復号化する技術である。

20

【0003】

かかる符号化・復号化技術はマイクロコンピュータを内蔵するポータブルビデオシステムや携帯電話の情報端末機器等に適用されているが、最近では高解像度の動画像を用いることから、情報端末機器の限られた電池容量のため低消費電力で動作する高解像度対応画像符号化処理のための動き検出プロセッサが望まれている。

動画像符号化処理全体の消費電力の大部分は、動き検出処理が占めている。動画像符号化処理全体の低消費電力を実現するためには、動き検出処理を低消費電力化することが最も効果的である。

30

【0004】

ほとんどの動画像符号化処理は、動き検出処理として、ブロックベース(ウィンドウベース)画像処理が採用されている。現在の一般的なブロックベース画像処理には2種類の処理がある。

1つは、単一ブロックマッチング演算処理である。単一ブロックマッチング演算処理とは、処理対象の画像フレーム内のランダムなブロックを処理する演算である。単一ブロックマッチング演算処理の概念図を図1-1に示す。図1-1では、画面フレーム100内において、3つの探索ブロック(101~103)はランダムな位置に存在し画素データを演算処理している。単一ブロックマッチング演算処理では、探索ブロックの前後関係の相関性がないため、次ステップのブロックマッチング演算処理との画素データの再利用性は無い。

40

この単一ブロックマッチング演算処理を用いる探索アルゴリズムとしては、例えば、初期値検索、予測ベクトル探索、スリーステップサーチの2, 3ステップなどである。

【0005】

他の1つは、連続ブロックマッチング演算処理である。連続ブロックマッチング演算処理とは、処理対象の画像フレーム内の連続するブロックを処理する演算である。連続ブロックマッチング演算処理の概念図を図1-2に示す。図1-2では、画面フレーム100内において、3つの探索ブロック(101~103)は一部が重なり合う位置に存在し画

50

素データを演算処理している。連続ブロックマッチング演算処理では、探索ブロックの前後関係に強い相関性があるため、次ステップのブロックマッチング演算処理との画素データの再利用性は高い。

この連続ブロックマッチング演算処理を用いる探索アルゴリズムとしては、例えば、全探索法、サブサンプリング探索法、次元探索、スリーステップサーチの1ステップなどである。

【0006】

動画像符号化処理における動き検出処理のアルゴリズムは、ほとんどが上記の探索アルゴリズムの組み合わせたものである。上記の探索アルゴリズムでは、それぞれ適したプロセッサのアーキテクチャが存在する。

10

【0007】

上述した単一ブロックマッチング演算処理では、画素データの再利用性がないので、高速演算性能に特化したSIMD (Single Instruction Multiple Data Stream) 型プロセッサのアーキテクチャが適している。SIMD型プロセッサとして、例えば、特許文献1が知られている。SIMD型プロセッサでは、画素データの再利用は行わない代わりに、非常に高速に演算できることが特徴である。しかし、その反面、画素データの再利用性が低いため、画素データのキャッシュメモリへのアクセス頻度が非常に大きく、消費電力削減効果は少ない。

【0008】

また、連続ブロックマッチング演算処理では、画素データの再利用性が可能なストリックアレイ型プロセッサのアーキテクチャが適している。ストリックアレイ型プロセッサとして、例えば、特許文献2から特許文献3が知られている。ストリックアレイ型プロセッサでは、画素データの再利用性が高く、画素データのキャッシュメモリへのアクセス頻度が減少するため、消費電力削減効果が非常に高いのが特徴である。しかし、その反面、高速演算性能が低い。

20

【0009】

【特許文献1】特開平8 - 63452号公報

【特許文献2】特開2000 - 293510号公報

【特許文献3】特開2002 - 175283号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0010】

従来の動き検出処理プロセッサは、SIMD型とストリックアレイ型とのどちらかのアーキテクチャを備えるものであり、探索アルゴリズムによっては最適とならない場合もあるといった問題があった。

【0011】

上記問題点に鑑み、本発明は、動き検出処理における探索アルゴリズムに応じて、SIMD型とストリックアレイ型の構成に切り替えることができ、動き検出処理を行っている探索アルゴリズムによって最適なアーキテクチャ構成を実現する画像処理プロセッサを提供することを目的とする。

40

【課題を解決するための手段】

【0012】

上記目的を達成するため、本発明の請求項1に記載の画像処理プロセッサは、制御部とデータパス部で構成される動き検出処理用プロセッサであって、前記制御部は、外部命令に従い制御信号を発生させ、原画像用メモリと参照画像用メモリに対して連続的にアドレスを発生させ、データパス部に対して切替信号を発生させ、前記データパス部は、前記原画像用メモリと、前記参照画像用メモリと、複数の演算回路と、前記切替信号に応じて前記演算回路の並列数と一部の演算回路の入力データを他の演算回路の出力データに切り替える切替回路とを備え、動き検出処理の探索アルゴリズムによってSIMD型とストリックアレイ型の構成を切り替えることができることを特徴とする構成とされたことを特徴

50

としたものである。

【0013】

上記構成により、動き検出処理の探索アルゴリズムにしたがってSIMD型とストリックアレイ型の両方を切り替えられるため、画素データの再利用性が異なるアルゴリズムで最適なアーキテクチャを切り替えることにより低消費電力化を図ることができる。

【0014】

次に、本発明の請求項2に記載の画像処理プロセッサは、上記請求項1に記載の画像処理プロセッサにおいて、前記切替信号は、単一ブロックマッチング演算処理を行う際には、前記演算回路の並列数を最大化してSIMD型の構成とし、連続ブロックマッチング演算処理を行う際には、前記演算回路の並列数を減らし、一部の演算回路の入力データを他の演算回路の出力データに切り替えてストリックアレイ型の構成とされたことを特徴とする。

10

【0015】

上記構成により、単一ブロックマッチング演算処理を行う際にはSIMD型として高速演算性能を高め、連続ブロックマッチング演算処理を行う際にはストリックアレイ型としてデータの再利用性を高めて低消費電力化を図ることができる。

【0016】

次に、本発明の請求項3に記載の画像処理プロセッサは、上記請求項1に記載の画像処理プロセッサにおいて、前記演算回路が原画像の画素データおよび参照画像の画素データを入力して差分絶対値を出力する回路に構成されたことを特徴とする。

20

【0017】

上記構成により、H.26X動き検出処理プロセッサにおいて、整数画素探索アルゴリズムの高効率化を図ることができる。

【0018】

次に、本発明の請求項4に記載の画像処理プロセッサは、上記請求項1に記載の画像処理プロセッサにおいて、前記演算回路が原画像の複数の画素データおよび参照画像の複数の画素データを入力して差分絶対値和を出力する回路に構成されたことを特徴とする。

【0019】

上記構成により、同様に整数画素探索アルゴリズムの高効率化を図ることができる。また、複数の画素データを演算単位として処理することにより効率化を図ることができる。

30

【0020】

次に、本発明の請求項5に記載の画像処理プロセッサは、上記請求項1から4に記載の画像処理プロセッサにおいて、前記原画像用メモリ及び/又は前記参照画像用メモリは、2リードポートメモリに構成されたことを特徴とする。

【0021】

上記構成により、メモリのアクセス効率よく、単一ブロックマッチング演算処理と連続ブロックマッチング演算処理の複数のブロックマッチング演算処理に対応することができる。

【発明の効果】

【0022】

本発明に係る画像処理プロセッサによれば、動き検出処理における探索アルゴリズムに応じて、SIMD型とストリックアレイ型の構成に切り替えることができ、動き検出処理を行っている探索アルゴリズムによって最適なアーキテクチャ構成を実現することにより低消費電力化を達成することができる。

40

【0023】

本発明の画像処理プロセッサによれば、動画像のデータ処理において低消費電力化が図られており、低消費電力が求められる様々な情報端末機器や情報システムに対して組み込むことが容易となり、柔軟なシステム設計が可能となる。また、携帯電話のような小型の端末においても高解像度の動画像の符号化復号化処理を行なうことができ、携帯用情報端末機器の用途が様々な広がる。

50

【発明を実施するための最良の形態】

【0024】

以下、本発明の画像処理プロセッサの実施例について、図面を参照しながら詳細に説明していく。

先ず、図2に、一般的なSIMD型プロセッサとシストリックアレイ型プロセッサのアーキテクチャを示す。図2(A)は一般的なSIMD型プロセッサのアーキテクチャを示している。ランダムアクセスメモリ10から画素データ等を読み込み、8個の演算回路(1a~1h)が並列に処理を行うものである。

また、図2(B)は一般的なシストリックアレイ型プロセッサのアーキテクチャを示している。ランダムアクセスメモリ10から画素データ等を読み込み、4個の演算回路(2a~2d)が並列に処理を行った後、当該画素データ等は4個の演算回路(2e~2h)にシフトされ演算に再利用されるものである。

10

【0025】

図2(A)のような構成のSIMD型プロセッサは、画素データの再利用は行わない代わりに、非常に高速に演算できることから、画素データの再利用性がない単一ブロックマッチング演算処理に最適である。

また、図2(B)のような構成のシストリックアレイ型プロセッサは、画素データの再利用性が高く、画素データのキャッシュメモリへのアクセス頻度が減少するため、消費電力削減効果が非常に高いことから、連続ブロックマッチング演算処理に最適である。

【0026】

20

図3に本発明の画像処理プロセッサのアーキテクチャを示す。本発明の画像処理プロセッサのアーキテクチャは、動き検出処理における探索アルゴリズムに応じて、SIMD型とシストリックアレイ型のアーキテクチャに切り替えることができるように、図3(1)に示されるような切替回路20を設けたものである。

この切替回路20によって、メモリから読み込んだ画素データ等のデータパスが、動き検出処理における探索アルゴリズムに応じて切り替えられる。

【0027】

図3(2)では、切替回路20により点線に示されたデータパスが構築され、4つの演算回路PE(3a~3d)と4つの演算回路PE(3e~3h)が並列に演算処理を行って、SIMD型プロセッサのアーキテクチャと等価となる。

30

また、図3(3)では、切替回路20により点線に示されたデータパスが構築され、4つの演算回路PE(3a~3d)と4つの演算回路PE(3e~3h)がカスケードに接続され演算処理を行って、シストリックアレイ型プロセッサのアーキテクチャと等価となる。

図3では、演算回路PEの個数は4個であるが、個数を自由に変更可能であることは言うまでもない。また図3では、シストリックアレイ型のカスケードに接続される段数は2であるが、この段数も自由に変更可能であることは言うまでもない。

【0028】

次に、図4に本発明の画像処理プロセッサの概略ブロック図を示す。本発明の画像処理プロセッサは、制御部11とアドレス生成部12と原画像メモリ13と参照画像メモリ14とデータパス部15により構成される。制御部11は外部から書き込まれた命令を元に制御信号および切替信号を発生させる。この制御信号はアドレス生成部12またはデータパス部15に送られる。また切替信号はデータパス部15に送られる。アドレス生成部12は原画像メモリ13および参照画像メモリ14に対して、アドレスを連続的に供給する。データパス部15は、原画像メモリ13および参照画像メモリ14から画素データを読み込み、所定の演算処理を施して処理結果を制御部11に引き渡す。

40

【0029】

このデータパス部15では、複数の演算回路を備えており、原画像用メモリ13および前記参照画像用メモリ14から画素データを読み込み、制御部11から送られてくる切替信号に応じて、演算回路の並列数と一部の演算回路の入力データを他の演算回路の出力デ

50

ータに切り替える。

制御部 11 では、動き検出処理の探索アルゴリズムにしたがって、データパス部 15 の演算回路が SIMD 型かシストリックアレイ型かに切り替える。

初期値検索、予測ベクトル探索、スリーステップサーチの 2, 3 ステップなどの単一ブロックマッチング演算処理を用いる探索アルゴリズムでは、データパス部 15 の演算回路を SIMD 型にするように、制御部 11 から切替信号が送られる。

一方、全探索法、サブサンプリング探索法、次元探索、スリーステップサーチの 1 ステップなどの連続ブロックマッチング演算処理を用いる探索アルゴリズムでは、データパス部 15 の演算回路をシストリックアレイ型にするように、制御部 11 から切替信号が送られる。

10

【0030】

以下の実施例では、H.264 baseline profile 整数画素精度 動き検出処理プロセッサを例にして、より具体的に説明していく。

【実施例 1】

【0031】

整数画素精度 動き検出処理プロセッサにおいて、探索ブロックを 8 画素 × 8 画素のブロックとする。図 5 に 64 画素 (8 画素 × 8 画素) の探索ブロック 30 を示す。実施例 1 では、説明の便宜上 8 画素 (1 行) を 2 つ (1 行目と 2 行目の 2 つの行) のブロック (図 6 においてハッチング部分) を探索し動き検出処理を行うとして説明する。

この動き検出処理を、SIMD 型の構成の画像処理プロセッサのアーキテクチャで行う場合を図 6 に、シストリックアレイ型の構成の画像処理プロセッサのアーキテクチャで行う場合を図 7 に示す。

20

【0032】

ここで、演算回路 A1 (41) と演算回路 A2 (42) は、両方とも 8 画素データの原画像と参照画像を入力して、それらの差分絶対値和を出力する演算回路である。

演算回路 A1 (41) と演算回路 A2 (42) の各々の入力ラインおよび出力ラインについて説明する。入力ラインは、原画像メモリ 13 から 8 画素データを取り込む 64 本 (8 画素 × 8 ビット / 画素) のデータ信号ラインと、参照画像メモリ 14 から 8 画素データを取り込む 64 本のデータ信号ラインと、制御部 11 からデータ信号ラインのロード信号を取り込む制御ラインを備える。また、出力ラインは、8 画素データの原画像と参照画像の差分絶対値和の結果データを送出するデータ信号ラインと、シストリックアレイ型の場合に参照画像の 8 画素データを次段の演算回路に送出する 64 本のデータ信号ラインを備える。

30

演算回路 A1 (41) と演算回路 A2 (42) は、共に、1 画素データを処理する 8 個の演算器を並列に配置され、8-way SIMD 型プロセッサとして利用されている。

また、演算回路 B (50) は、演算回路 A1 (41), A2 (42) の差分絶対値和を入力して、8 画素データ 2 行の差分絶対値和の結果データを出力する演算回路である。

【0033】

図 6 では、8-way SIMD 型プロセッサの演算回路 A1 (41) と演算回路 A2 (42) が並列にデータ処理され、両方の演算回路全体が 16-way SIMD 型プロセッサとして利用されている。

40

一方、図 7 では、8-way SIMD 型プロセッサの演算回路 A1 (41) と演算回路 A2 (42) は直列に接続され、演算回路 A1 (41) の出力データが演算回路 A2 (42) の入力データとして処理が行われる。8-way SIMD 型プロセッサの演算回路 A1 (41) と、8-way SIMD 型プロセッサの演算回路 A2 (42) が、シストリックアレイ型プロセッサとして利用されている。

【0034】

図 8 に、実施例 1 の画像処理プロセッサのアーキテクチャを示す。実施例 1 の画像処理プロセッサのアーキテクチャは、制御部 11 とデータパス部 15 で構成される動き検出処理用プロセッサであって、制御部 11 は、外部命令に従い制御信号を発生させ、原画像用

50

メモリ13と参照画像用メモリ14に対してアドレス生成部15を介して連続的にアドレスを発生させ、データパス部15に対して切替信号を発生させる。データパス部15は、原画像用メモリ13と参照画像用メモリ14と、複数の演算回路A(41, 42)と、制御部11から送られてくる切替信号に応じて、演算回路A(41, 42)の並列数と、一部の演算回路A(42)の入力データを他の演算回路A(41)の出力データに切り替える切替回路21とを備える。

【0035】

次に、実施例1の画像処理プロセッサのアーキテクチャにおいて、SIMD型とストリックアレイ型の構成を切り替える方法について、図9および図10を参照しながら説明する。

10

図9に、実施例1の画像処理プロセッサのアーキテクチャ(SIMD型の構成)を示す。制御部11から切替回路21に対して切替信号(1)が送られ、図9の切替回路21内の点線で示されるようなデータ信号ラインが構築される。

これにより、演算回路A1(41)と演算回路A2(42)は、原画像メモリ13および参照画像メモリ14から画素データが取り込まれ、各々並列に処理することとなる。

【0036】

また、図10に、実施例1の画像処理プロセッサのアーキテクチャ(ストリックアレイ型の構成)を示す。制御部11から切替回路21に対して切替信号(0)が送られ、図10の切替回路21内の点線で示されるようなデータ信号ラインが構築される。

これにより、演算回路A1(41)においては、原画像メモリ13および参照画像メモリ14から画素データが取り込まれ、演算回路A2(42)においては、演算回路A1(41)の出力データが取り込まれ処理することとなる。

20

【0037】

ここで、原画像メモリ13および参照画像メモリ14が、出力データ信号ラインが64本の2リードポートメモリとする。図9のようなSIMD型の画像処理プロセッサのアーキテクチャの場合、出力データ信号ライン128本(64本×2)を占有してしまうが、図10のようなストリックアレイ型の画像処理プロセッサのアーキテクチャの場合、出力データ信号ライン128本(64本×2)の50%だけ占有することになる。2つあるリードポートのどちらかを占有することになる。従って、他の演算処理部でメモリを共有することができ、動き検出処理アルゴリズムを効率よく実行することが可能となる。

30

【0038】

実施例1の画像処理プロセッサのアーキテクチャは、上記のような構成により、動き検出処理における探索アルゴリズムに応じて、SIMD型とストリックアレイ型の構成に切り替えることができる。

初期値検索、予測ベクトル探索、スリーステップサーチの2, 3ステップなど単一ブロックマッチング演算処理を用いる探索アルゴリズムでは、探索ブロックの前後関係の相関性がないため、次ステップのブロックマッチング演算処理との画素データの再利用性は無い。従って、画素データの再利用は行わない代わりに、非常に高速に演算でき、演算処理サイクル数を削減して消費電力削減効果を高めるSIMD型プロセッサの構成とするのである。

40

【0039】

また、全探索法、サブサンプリング探索法、一次元探索、スリーステップサーチの1ステップなど連続ブロックマッチング演算処理を用いる探索アルゴリズムでは、探索ブロックの前後関係に強い相関性があるため、次ステップのブロックマッチング演算処理との画素データの再利用性は高い。従って、画素データの再利用性が高く、画素データのキャッシュメモリへのアクセス頻度が減少して消費電力削減効果が高めるストリックアレイ型プロセッサの構成とするのである。

【実施例2】

【0040】

実施例1においては、8画素データを2行分、16画素データの原画像および参照画像

50

を取り込み、それらの差分絶対値を演算して、その後、全ての差分絶対値の総和を演算した結果を出力するデータパス部において、SIMD型とストリックアレイ型の構成に切り替える回路について説明した。

次に、実施例2では、8画素データを4行分、32画素データの原画像および参照画像を取り込み、それらの差分絶対値を演算して、その後、全ての差分絶対値の総和を演算した結果を出力するデータパス部において、SIMD型とストリックアレイ型の構成に切り替える回路について説明する。

【0041】

図11に、実施例2の画像処理プロセッサのアーキテクチャを示す。実施例2の画像処理プロセッサのアーキテクチャは、制御部11とデータパス部15で構成される動き検出処理用プロセッサであって、制御部11は、外部命令に従い制御信号を発生させ、原画像用メモリ13と参照画像用メモリ14に対してアドレス生成部15を介して連続的にアドレスを発生させ、データパス部15内の切替回路(21, 22, 23)に対して切替信号を発生させる。

10

【0042】

データパス部15は、原画像用メモリ13と参照画像用メモリ14と、複数の演算回路A1~A4(41, 42, 43, 44)と、制御部11から送られてくる切替信号に応じて、演算回路A1~A4の並列数を切り替える。すなわち、切替回路21によって、演算回路A1(41)と演算回路A2(42)の16個の演算器をSIMD型プロセッサとして利用するか、ストリックアレイ型プロセッサとして利用するかを切り替える。また、切替回路22によって、演算回路A2(42)と演算回路A3(43)の16個の演算器をSIMD型プロセッサとして利用するか、ストリックアレイ型プロセッサとして利用するかを切り替える。また、切替回路23によって、演算回路A3(43)と演算回路A4(44)の16個の演算器をSIMD型プロセッサとして利用するか、ストリックアレイ型プロセッサとして利用するかを切り替える。

20

【産業上の利用可能性】

【0043】

本発明の画像処理プロセッサによれば、高解像度動画のデータ処理において低消費電力化が図られており、低消費電力が求められる様々なシステムに対して組み込むことが容易となり、柔軟なシステム設計が可能となる。

30

【図面の簡単な説明】

【0044】

【図1-1】単一ブロックマッチング演算処理の概念図

【図1-2】連続ブロックマッチング演算処理の概念図

【図2】(A)は一般的なSIMD型プロセッサのアーキテクチャであり、(B)は一般的なストリックアレイ型プロセッサのアーキテクチャを示す。

【図3】本発明の画像処理プロセッサのアーキテクチャを示す。

【図4】本発明の画像処理プロセッサの概略ブロック図を示す。

【図5】64画素(8画素×8画素)の探索ブロックを示す。

【図6】SIMD型の構成の画像処理プロセッサのアーキテクチャの一例を示す。

40

【図7】ストリックアレイ型の構成の画像処理プロセッサのアーキテクチャの一例を示す。

【図8】実施例1の画像処理プロセッサのアーキテクチャを示す。

【図9】実施例1の画像処理プロセッサのアーキテクチャ(SIMD型の構成)を示す。

【図10】実施例1の画像処理プロセッサのアーキテクチャ(ストリックアレイ型の構成)を示す。

【図11】実施例2の画像処理プロセッサのアーキテクチャを示す。

【符号の説明】

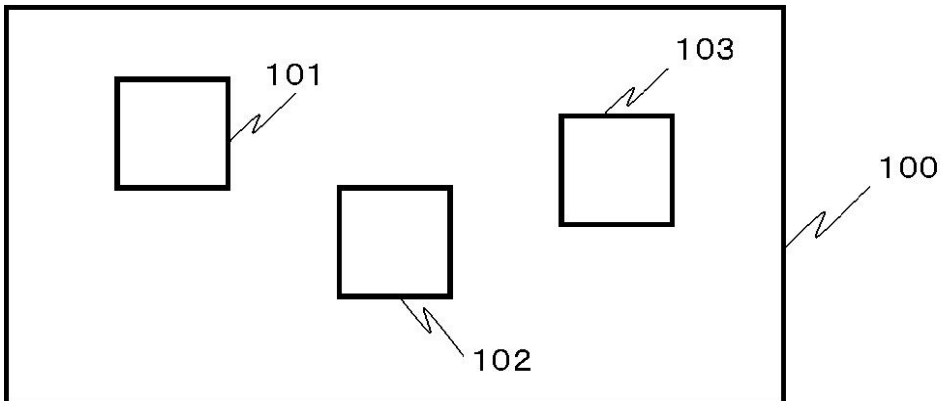
【0045】

10 ランダムアクセスメモリ

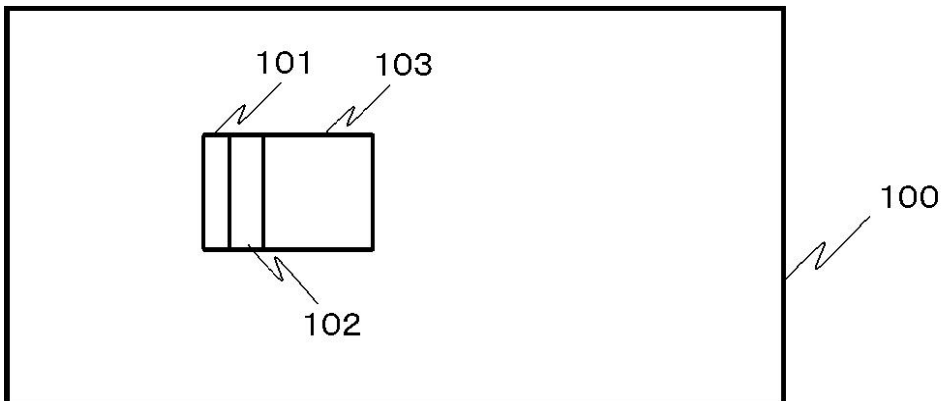
50

- 1 1 制御部
- 1 2 アドレス生成部
- 1 3 原画像メモリ
- 1 4 参照画像メモリ
- 1 5 データパス部
- 2 0 , 2 1 , 2 2 , 2 3 切替回路
- 3 0 画素 (8 画素 × 8 画素) ブロック
- 4 1 演算回路 A 1
- 4 2 演算回路 A 2
- 4 3 演算回路 A 3
- 4 4 演算回路 A 4
- 5 0 演算回路 B
- 1 0 0 画面フレーム
- 1 0 1 , 1 0 2 , 1 0 3 探索ブロック
- P E 演算回路 (Processor Element)

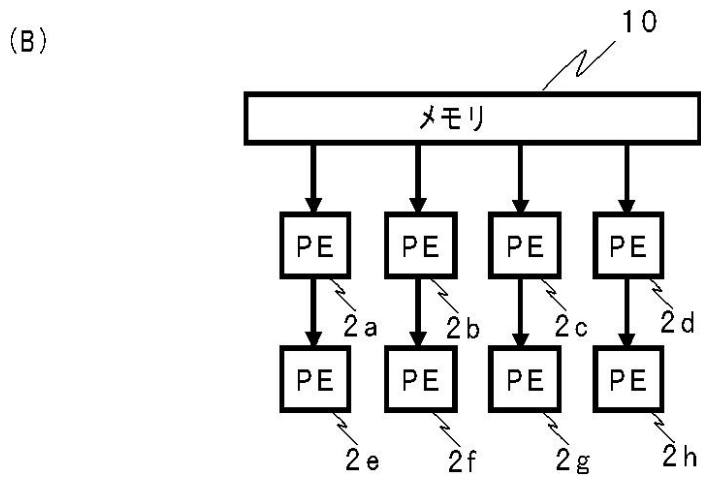
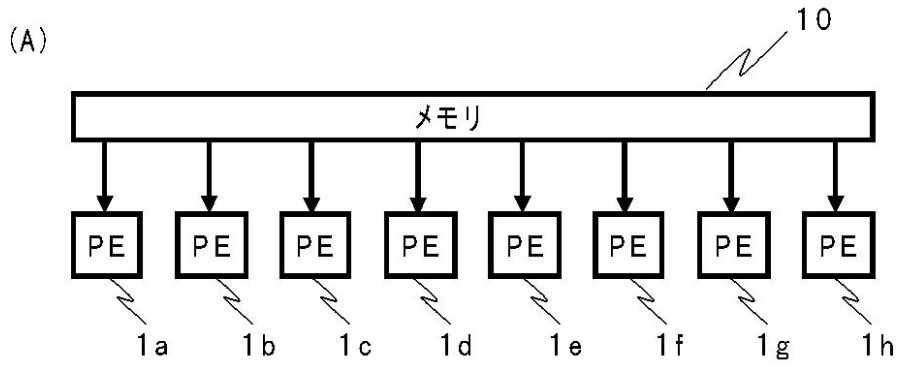
【図 1 - 1】



【図 1 - 2】

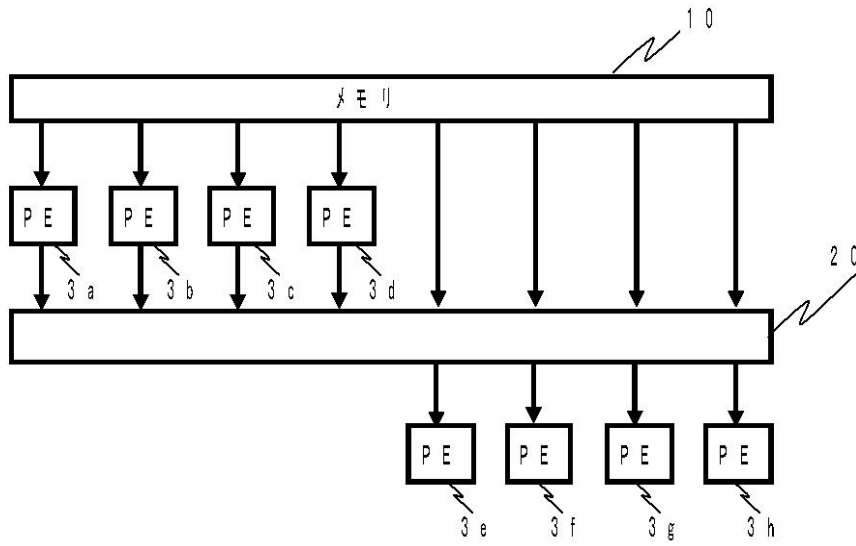


【図2】

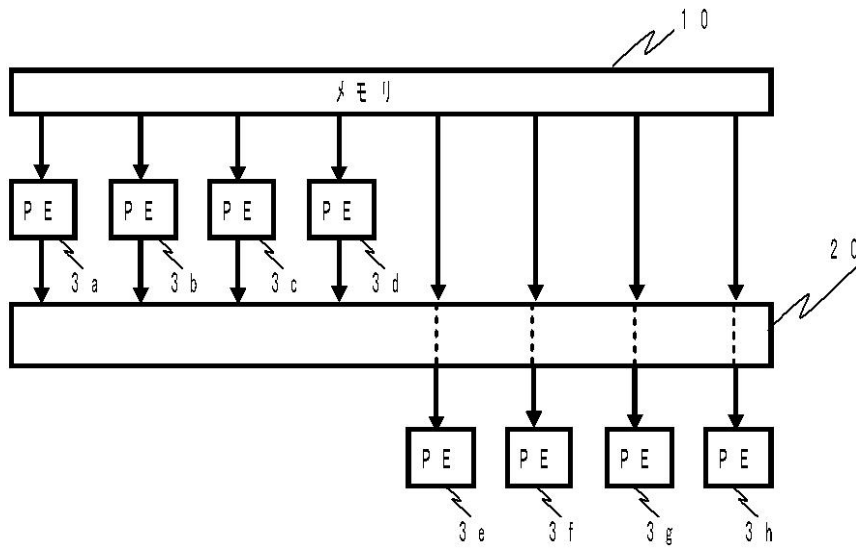


【図3】

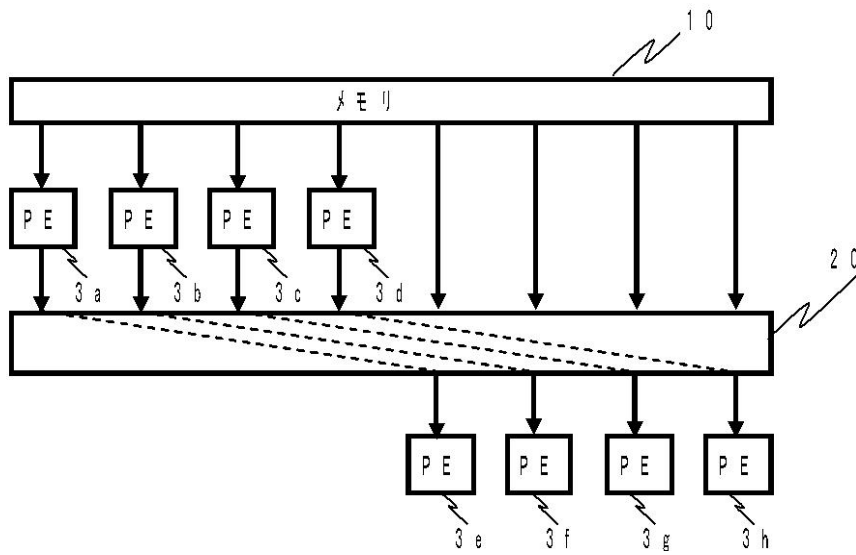
(1)



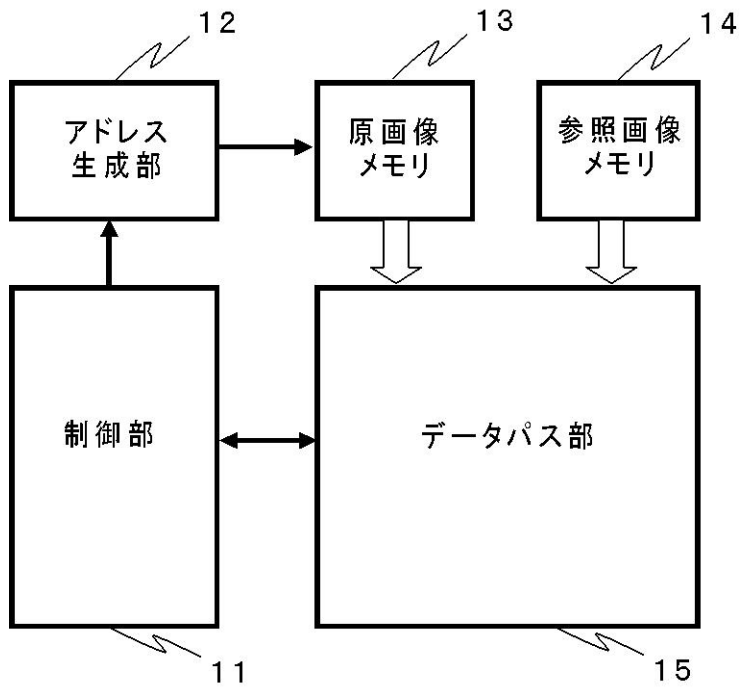
(2)



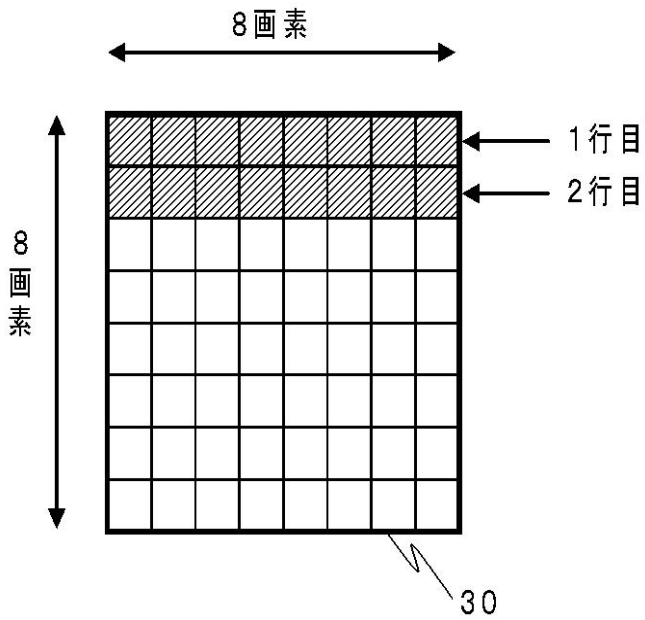
(3)



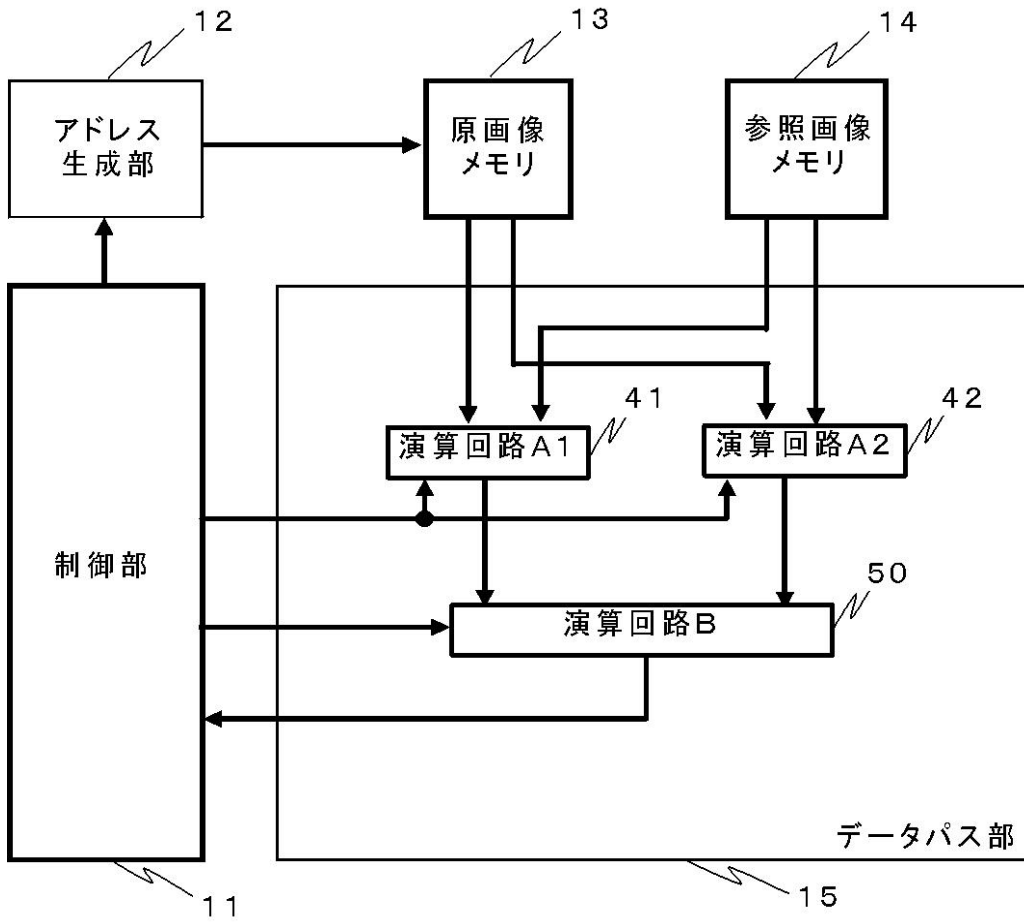
【図4】



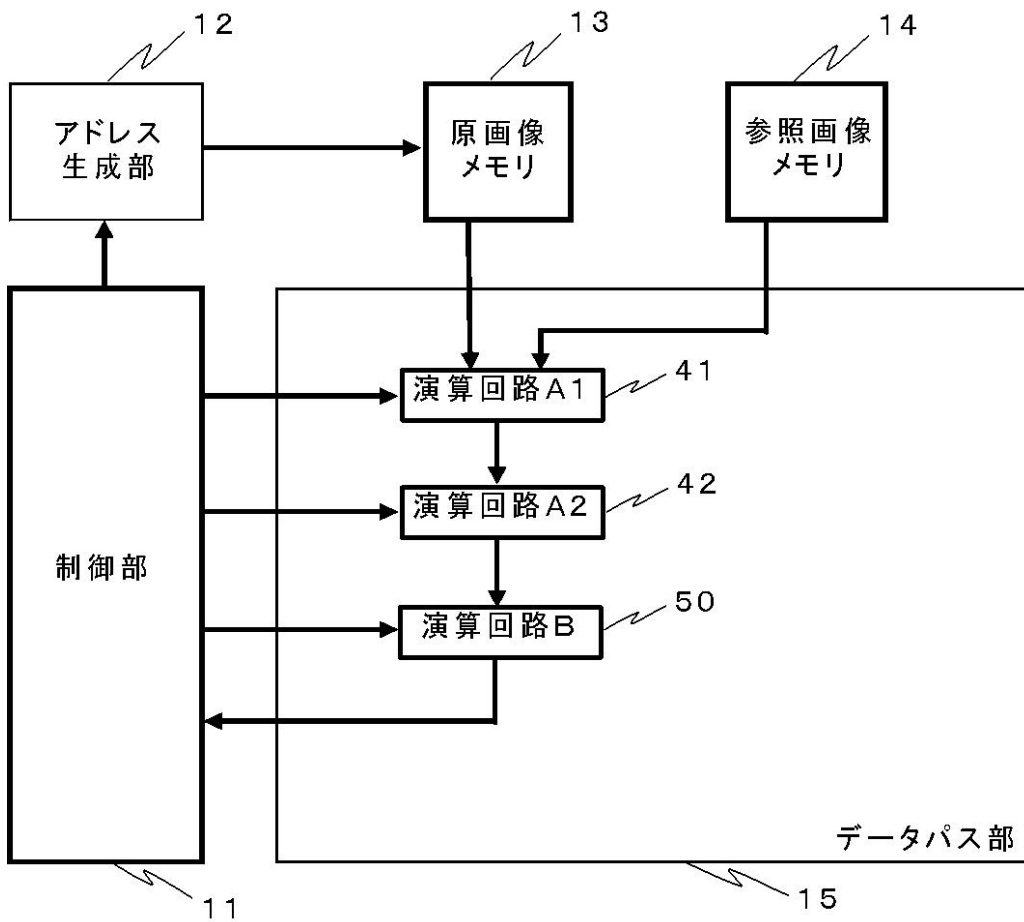
【図5】



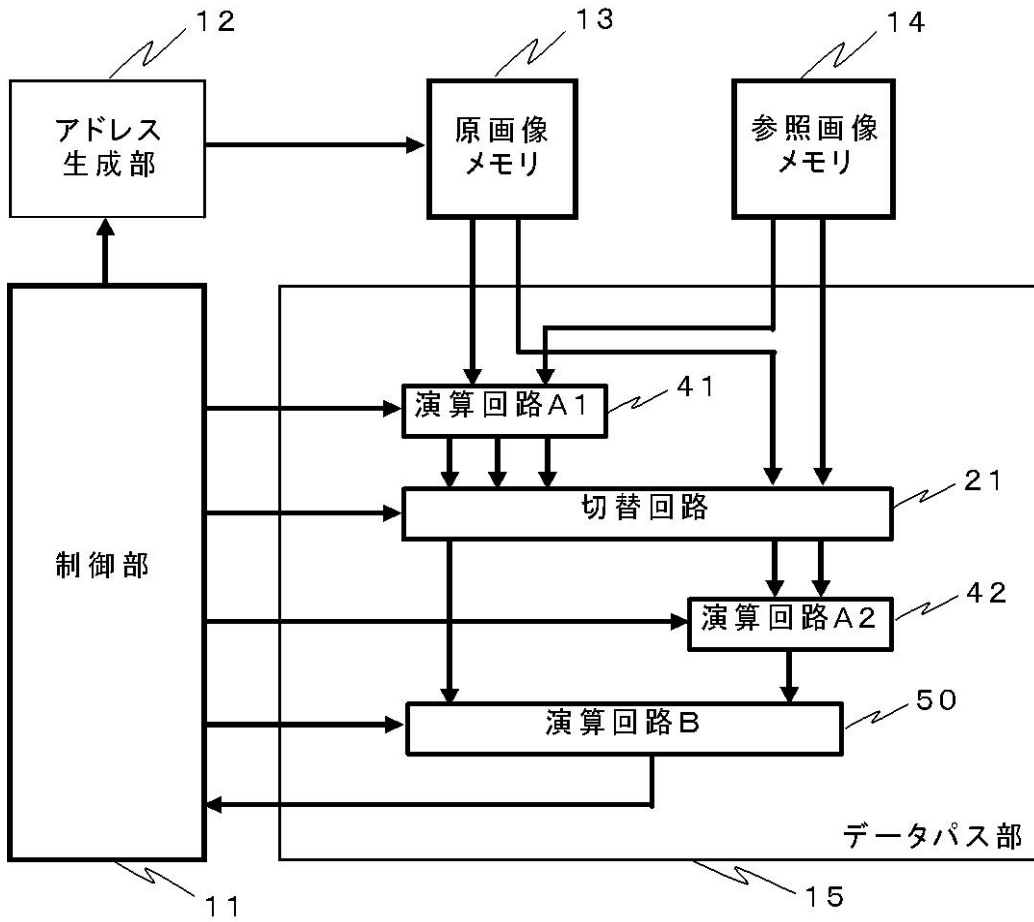
【図6】



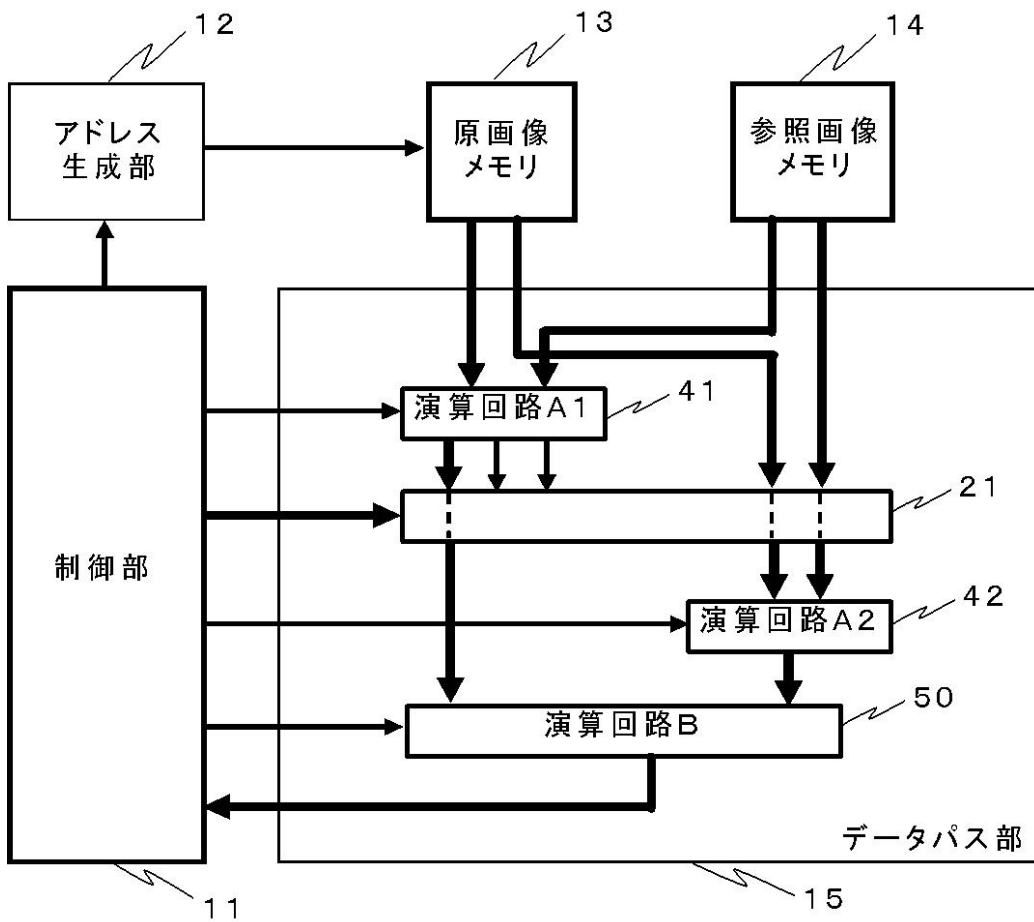
【図7】



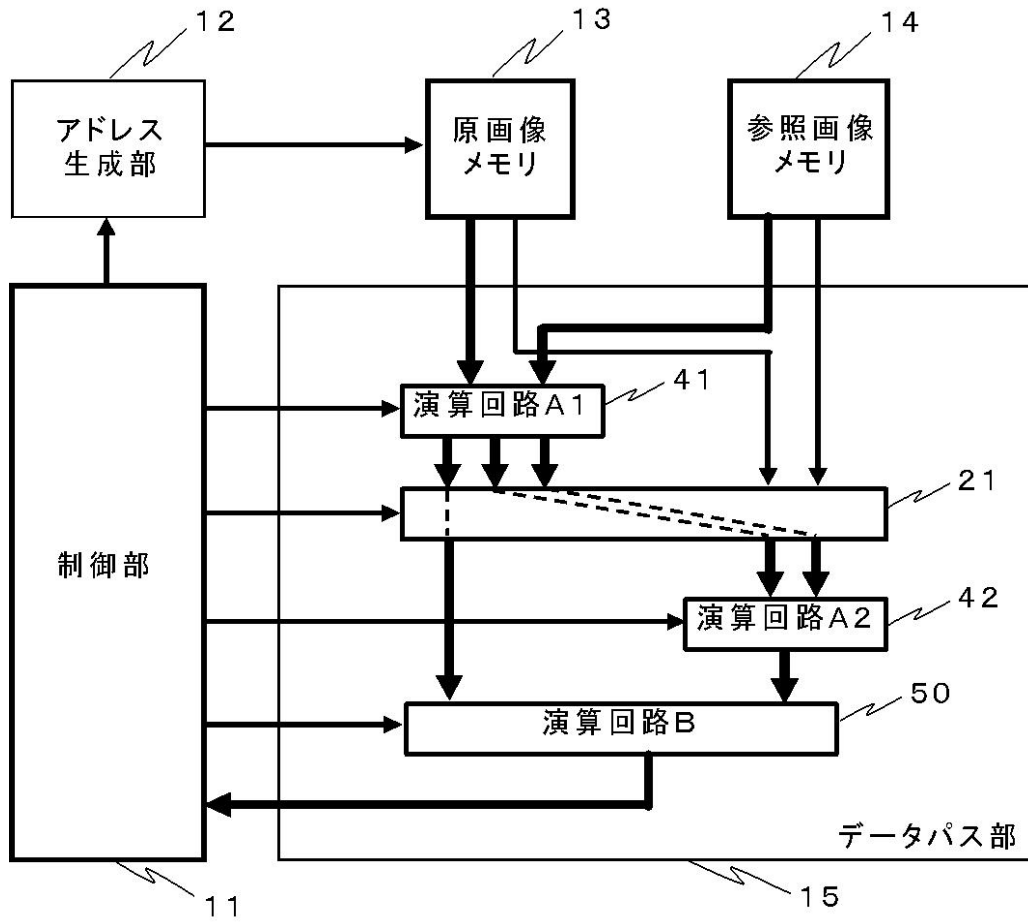
【図8】



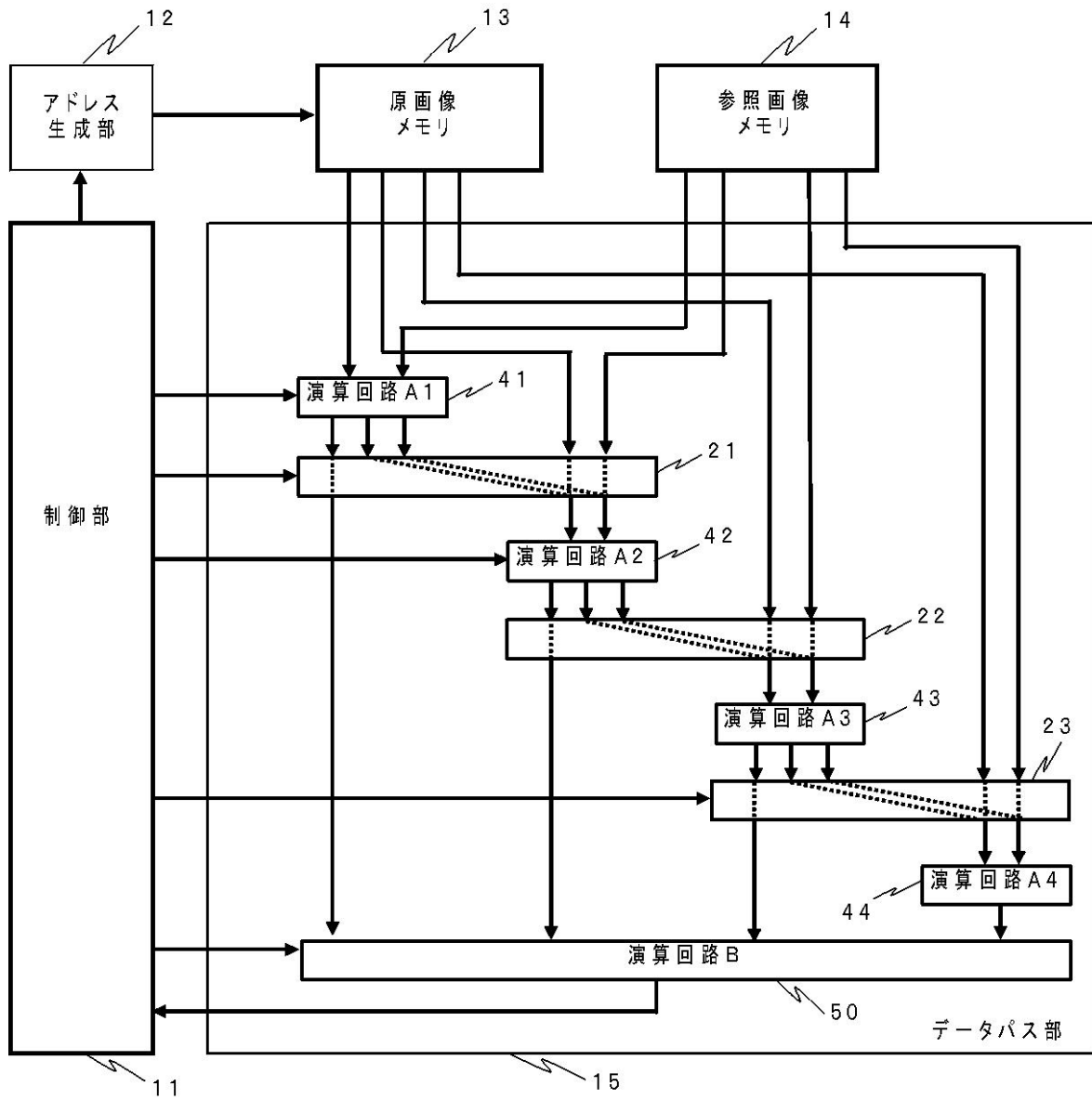
【図9】



【図10】



【図11】



フロントページの続き

- (72)発明者 村地 勇一郎
兵庫県神戸市灘区六甲台町1-1 国立大学法人神戸大学内
- (72)発明者 松野 哲郎
兵庫県神戸市灘区六甲台町1-1 国立大学法人神戸大学内
- (72)発明者 濱本 真生
兵庫県神戸市灘区六甲台町1-1 国立大学法人神戸大学内

審査官 坂本 聡生

(56)参考文献 特開2005-70938(JP,A)

M.-J.Chen et al. , Efficient hybrid tree/linear array architectures for block-matching motion estimation algorithms , IEE Proceedings Vision, Image and Signal Processing , 1996年 8月 , Volume 143, Issue 4 , p.217-222

村地 勇一郎、外4名、携帯機器応用低消費電力MPEG2 MP@HL動き検出プロセッサの開発 A Low Power MPEG2 MP@HL Motion Estimation Processor for Mobile Video Systems , 電子情報通信学会技術研究報告 Vol. 104 No. 67 IEICE Technical Report , 日本 , 社団法人電子情報通信学会 The Institute of Electronics, Information and Communication Engineers , 2004年 5月 , 第104巻、第67号 , p.7-12

(58)調査した分野(Int.Cl. , DB名)

H04N	7/24	-	7/68
G06F	9/38		
G06F	15/80		
G06F	17/00	-	17/18
G06T	1/00	-	1/40
G06T	3/00	-	5/50
G06T	9/00	-	9/40

IEEE Xplore