

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-306009

(P2008-306009A)

(43) 公開日 平成20年12月18日(2008.12.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 4 4 A	5 F 0 5 8
HO 1 L 27/105 (2006.01)	HO 1 L 21/316 M	5 F 0 8 3
HO 1 L 21/316 (2006.01)		

審査請求 未請求 請求項の数 9 O L (全 9 頁)

(21) 出願番号	特願2007-152277 (P2007-152277)	(71) 出願人	304027349 国立大学法人豊橋技術科学大学 愛知県豊橋市天伯町雲雀ヶ丘1-1
(22) 出願日	平成19年6月8日(2007.6.8)	(72) 発明者	石田 誠 愛知県豊橋市天伯町雲雀ヶ丘1-1 国立 大学法人豊橋技術科学大学内
		(72) 発明者	澤田 和明 愛知県豊橋市天伯町雲雀ヶ丘1-1 国立 大学法人豊橋技術科学大学内
		(72) 発明者	郭 益平 愛知県豊橋市天伯町雲雀ヶ丘1-1 国立 大学法人豊橋技術科学大学内
		(72) 発明者	赤井 大輔 愛知県豊橋市天伯町雲雀ヶ丘1-1 国立 大学法人豊橋技術科学大学内

最終頁に続く

(54) 【発明の名称】 半導体基板上の積層構造

(57) 【要約】

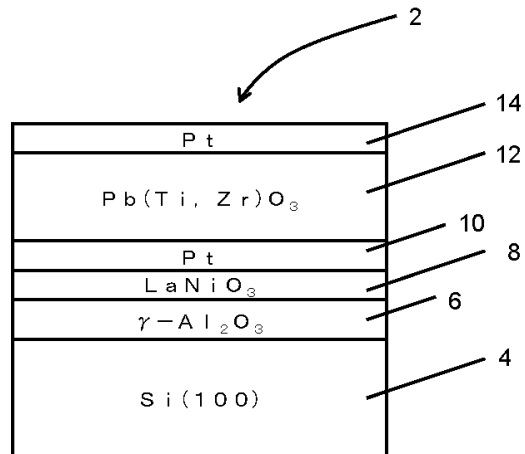
【課題】

シリコン基板上に(110)配向したPt薄膜を形成し、優れた特性の強誘電体素子を得ることを目的とする。

【解決手段】

MFMIS構造2の最下層のシリコン基板4上には、
- Al₂O₃膜6が形成されている。 - Al₂O₃膜6の直上には、酸化物導電体であるLaNiO₃膜8が形成されている。LaNiO₃膜8の直上には、下部電極材料であるPt膜10が形成され、さらにその直上に強誘電体材料であるPZT薄膜10が形成されている。PZT薄膜10の上面上には、上部電極であるPt層12が形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板上に LaNiO_3 (LNO) 薄膜を有し、前記 LNO 膜上部にさらに (110) 配向した Pt 薄膜を備えることを特徴とする半導体基板上の積層構造。

【請求項 2】

前記半導体基板と LNO 薄膜との間にバッファ層を有することを特徴とする請求項 1 に記載の半導体基板上の積層構造。

【請求項 3】

前記バッファ層が絶縁体であることを特徴とする請求項 2 に記載の半導体基板上の積層構造。

10

【請求項 4】

前記バッファ層がエピタキシャル成長した $\text{-Al}_2\text{O}_3$ 薄膜であることを特徴とする請求項 2 に記載の半導体基板上の積層構造。

【請求項 5】

前記 Pt 薄膜上に、配向性の強誘電体薄膜を積層させたことを特徴とする請求項 1 から 4 のいずれか 1 項に記載の半導体基板上の積層構造。

【請求項 6】

前記強誘電体薄膜上に、上部電極をさらに備えることを特徴とする請求項 5 に記載の半導体基板上の積層構造。

【請求項 7】

前記強誘電体薄膜が、(110) 配向した $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 薄膜であることを特徴とする請求項 5 または 6 のいずれか 1 項に記載の半導体基板上の積層構造。

20

【請求項 8】

前記半導体基板は、シリコン単結晶基板であることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の半導体基板上の積層構造。

【請求項 9】

前記 LaNiO_3 (LNO) 薄膜、 $\text{-Al}_2\text{O}_3$ 膜、およびシリコン単結晶基板の配向がともに (100) 配向であることを特徴とする請求項 8 に記載の半導体基板上の積層構造。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電体薄膜を用いた半導体基板上の積層構造に関するものである。

【背景技術】

【0002】

近年、強誘電体の有する焦電特性、圧電特性を用いた各種デバイスの研究開発が行なわれている。これらは、強誘電体の特性を応用したものであり、例えば、超音波センサや赤外線センサが挙げられる。強誘電体の材料としては、Pb を含有するペロブスカイト型の強誘電体、特に $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ (PZT)、 PbLaO_3 (PLT) 等の材料が、圧電特性、焦電特性の点で優れており、各種センサへの応用が期待されている。

40

【0003】

これらの強誘電体を各種センサに利用する場合、システムとしての小型化や低ノイズ性を実現するために、強誘電体と信号処理回路の一体化 (スマート化) が必要となる。強誘電体と信号処理回路の一体化を実現するためには、シリコン基板等の半導体基板上に強誘電体薄膜と信号処理回路を形成することが必要となる。

【0004】

このように、シリコン基板上に強誘電体薄膜を形成する場合、シリコン基板上にバッファ

50

層を形成することが知られている。シリコン基板上にバッファ層を形成することで、シリコンと強誘電体の格子のミスマッチを低減することができるのである。また、バッファ層は、強誘電体のPbがシリコン基板中へ拡散するのを防止するバリア層として、また、強誘電体薄膜直下に形成される下部電極薄膜とシリコン基板との電氣的絶縁と確保する絶縁膜としての役割も有している。

【0005】

本出願の発明者らは、上記の知見に基づき、後述する特許文献1に記載されているように、シリコン基板上にバッファ層である $\text{-Al}_2\text{O}_3$ 膜を形成し、その上に下部電極としてのPt層を形成し、Pt層の上に強誘電体薄膜を形成して素子を構成した。下部電極としては、従来より、PZT等の強誘電体薄膜の電極材料として用いられてきたプラチナ(Pt)膜を用いた。Ptは、最密充填構造である面心立方格子(FCC)構造をとるため、(111)面への自己配向性が強く、 SiO_2 のようなアモルファス上にも(111)面へ配向し、Ptの上の強誘電体膜も配向性が良い。しかし、Ptは配向性が強いいため柱状結晶が成長し、粒界に沿ってPbなどが下地に拡散し易くなるという問題があった。また、下部電極にPtを用いた場合、PZT焼成時のストレスにより、下部電極Ptと SiO_2 、 $\text{-Al}_2\text{O}_3$ 膜、PZT等の酸化物との界面において、剥離が生じるといった問題があった。このため、下部電極Ptに代わる電極材料として導電性酸化物を用いる試みが行なわれている。これを特許文献2から6に示す。

10

【特許文献1】特開2004-281742号公報

【特許文献2】特開平11-274433号公報

20

【特許文献3】特表2000-509200号公報

【特許文献4】特開平8-340087号公報

【特許文献5】特開平8-335672号公報

【特許文献6】特開平8-330540号公報

【0006】

特許文献2は、シリコン基板上の不純物拡散層および下部バリア金属層(Ti、Al)N)の上に、下部電極薄膜として SrRuO_3 を形成し、その上に強誘電体薄膜としてBSTO薄膜を形成したものである。また、特許文献3は、シリコン上の絶縁層の上にTiN層およびPt層を形成し、導電性酸化物である酸化ランタンストロンチウムコバルト(LSCO)などのペロブスカイト層を形成したものである。

30

【0007】

また、特許文献3、4および5は、シリコン基板上に、バッファ層である MgAl_2O_4 (マグネシウム・アルミニウム・スピネル)を用い、電極として SrRuO_3 薄膜を用いたものである。

【発明の開示】

【発明が解決しようとする課題】

【0008】

配向性の制御は薄膜の特性を望ましいものとするために有効な手法である。これまでに、(111)や(100)面への配向制御については焦電特性や圧電特性が良くなるという報告はある。例えば、(100)については LaNiO_3 、 PbTiO_3 や $\text{-Al}_2\text{O}_3$ をバッファ層に用いた構造が報告されている。(111)については、焼成温度の制御や TiO_x バッファ層を用いたものがある。しかしながら、(110)配向についてはランダム配向になりやすく、単一に配向した場合の特性は明らかではない。

40

【0009】

そこで、本発明は上記課題を解決するためになされたものであり、(110)に配向したPt膜を用いることにより、優れた特性の強誘電体素子の積層構造を得ることを目的とする。

【課題を解決するための手段】

【0010】

本発明は上記目的を達成するために創案されたものであり、請求項1に係る発明は、半導

50

体基板上に LaNiO_3 (LNO) 薄膜を有し、前記 LNO 膜上部にさらに (110) 配向した Pt 薄膜を備えることを特徴とする半導体基板上の積層構造によって構成される。この構成によれば、半導体基板上に LNO 薄膜を形成しその上部に Pt 膜を形成することで (111) に配向しやすい Pt 膜を (110) に配向させて形成することができる。

【0011】

また、本発明は、前記半導体基板と LNO 薄膜との間にバッファ層を有することを特徴とする半導体基板上の積層構造によっても構成することができる。この構成によれば、バッファ層により半導体基板と LNO 薄膜との反応を抑制できる。

【0012】

また、本発明は、前記バッファ層が絶縁体であることを特徴とする半導体基板上の積層構造によっても構成することができる。この構成によれば、絶縁体を利用することで LNO 薄膜と半導体基板との電氣的絶縁がなされ、半導体基板上の積層構造の作製が容易となる。

10

【0013】

また、本発明は、前記バッファ層がエピタキシャル成長した Al_2O_3 薄膜であることを特徴とする半導体基板上の積層構造によっても構成することができる。この構成によれば、エピタキシャル成長した Al_2O_3 薄膜を利用することでより高品質な LNO 薄膜を容易に得ることができる。

【0014】

また、本発明では、前記 Pt 薄膜上に、配向性の強誘電体薄膜を積層させたことを特徴とする半導体基板上の積層構造によっても構成することができる。この構成によれば、配向性の強誘電体薄膜を形成することができるため、特性の優れた強誘電体薄膜を得ることができる。

20

【0015】

また、本発明は、前記強誘電体薄膜上に、上部電極をさらに備えることを特徴とする半導体基板上の積層構造によっても構成することができる。この構成によれば、強誘電体薄膜を用いた検出素子や記憶素子を構成することができる。

【0016】

また、本発明は、前記強誘電体薄膜が、(110) 配向した $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 薄膜であることを特徴とする半導体基板上の積層構造によっても構成することができる。この構成によれば、(100) や (111) に配向した場合より優れた特性の $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 薄膜を得ることができる。

30

【0017】

また、本発明は、前記半導体基板は、シリコン単結晶基板であることを特徴とする半導体基板上の積層構造によっても構成することができる。この構成によれば、半導体基板としてシリコン単結晶基板を用いるため、各薄膜を配向性の強い薄膜とすることができるため、優れた特性の強誘電体薄膜を得ることができる。

【0018】

また、本発明は、前記 LaNiO_3 (LNO) 薄膜、 Al_2O_3 膜、およびシリコン単結晶基板の配向がともに (100) 配向であることを特徴とする半導体基板上の積層構造によっても構成することもできる。この構成によれば、それぞれの薄膜の配向を (100) 配向とすることにより、容易に Pt 薄膜の配向が (110) となり、優れた特性の強誘電体薄膜を得ることができる。

40

【発明の効果】

【0019】

本発明は、半導体基板上に、 LaNiO_3 薄膜を用いすることでその上部の Pt 薄膜を (110) 配向させる。これにより、(110) に配向した $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 薄膜を得ることができる。

【0020】

この (110) に配向した $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 薄膜は従来の (111) や (100)

50

に配向した薄膜と比較して、優れた強誘電特性や焦電特性を示すため、センサ、アクチュエータ、不揮発性記憶素子の特性をバルクセラミクス以上に改善することができる。

【発明を実施するための最良の形態】

【0021】

本発明を実施するための実施形態について説明する。図1はMFMISS (Metal - Ferroelectric - Metal - Insulator - Semiconductor) 構造2の構成を示す断面図である。

【0022】

図1において、MFMISS構造2の最下部はシリコン基板4である。シリコン基板4は(100)配向の単結晶基板である。シリコン基板4の直上には、 $\text{-Al}_2\text{O}_3$ 膜6が形成されている。 $\text{-Al}_2\text{O}_3$ 膜6はシリコン基板4にエピタキシャル成長されるものであり、 $\text{-Al}_2\text{O}_3$ 膜6の配向は(100)である。 $\text{-Al}_2\text{O}_3$ 膜6は、MFMISS構造2の絶縁膜として用いられるとともに、上部に形成される各膜のバッファ層としても用いられる。

10

【0023】

この $\text{-Al}_2\text{O}_3$ 膜6は、サファイア($\text{-Al}_2\text{O}_3$)と同様の組成比を有するが、サファイアが六方晶であるのに対し、シリコン基板4上に形成される $\text{-Al}_2\text{O}_3$ 膜6は立方晶で欠損スピネル構造を持つ相である。MFMISS構造2に用いられる $\text{-Al}_2\text{O}_3$ 膜6は、優れた拡散バリア性を有し、物理的、化学的に安定な薄膜である。また、 $\text{-Al}_2\text{O}_3$ 膜6はシリコンとの実効格子不整合率が小さく(2.4パーセント)、比較的高い比誘電率を持ち($\epsilon_r \sim 7.36$)、絶縁性に優れている。

20

【0024】

したがって、 $\text{-Al}_2\text{O}_3$ 膜6は、他のエピタキシャル成長可能な絶縁材料と比較して優れているといえる。例えば、 MgAl_2O_4 は、高温で安定する材料であり、耐薬品性に優れているが、高温でないと結晶性良く成長させることができない。また、 CaF_2 は一部の薬品に弱いため、デバイスの構造や作製プロセスに制限を受けるという欠点がある。

【0025】

$\text{-Al}_2\text{O}_3$ 膜6は、例えば、UHV-CVD (Ultra High Vacuum Chemical Vapor Deposition) 法によって形成することができる。UHV-CVD法では、排気系にターボ分子ポンプを用いることで、背圧 10^{-7} Paを達成し、 H_2O などのコンタミネーションガスを低減することができる。また、加熱方式は、ヒーターを使用して基板のみを加熱するCold-Wall型を採用しており、昇温時におけるチャンパー側壁からの脱離ガスを防止している。 $\text{-Al}_2\text{O}_3$ 膜6の成長におけるAl源としては、TMA (Tri-Methyl Aluminum: $\text{Al}(\text{CH}_3)_3$)、酸素源として O_2 ガスを用いている。

30

【0026】

$\text{-Al}_2\text{O}_3$ 膜6の直上には、 LaNiO_3 (LNO)膜8が形成されている。LNO膜8は、導電性酸化物の一種であり、配向は(100)である。

【0027】

LNO膜8の成膜方法は、物理的手法としてはRFスパッタリング、パルスレーザーデポジション(PLD)、化学的手法としては有機金属化学気相蒸着(MOCVD)、溶液法、ゾルゲル法などである。

40

【0028】

Pt薄膜10は、LNO膜8の直上に形成され、強誘電体薄膜の下部電極として利用される。Pt膜10は(110)配向となる。

【0029】

PZT薄膜12は、Pt膜10の直上に形成される。PZT12の材料であるPZTは、ジルコン酸チタン酸鉛 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ であり、反強誘電体であるジルコン酸鉛(PbZrO_3)と強誘電体であるチタン酸鉛(PbTiO_3)とを両成分とする PbZr

50

O_3 - PbTiO_3 系全率固溶体である。

【0030】

PZT薄膜12を構成するPZTの結晶性については、多結晶PZTよりもエピタキシャルPZTの方が優れた特性を示すことがわかっている。

【0031】

PZT薄膜12の直上にはPt膜14が形成されている。Pt膜14は上部電極の役割を担うものである。

【0032】

上述したように、本発明の実施形態のMFMISS構造2は、シリコン基板4上に $-\text{Al}_2\text{O}_3$ 膜6、LNO膜8、Pt膜10、PZT薄膜12およびPt膜14を順次積層させたため、この薄膜を各種センサ素子に加工することにより、強誘電体の焦電性などを利用したセンサ素子を構成することができる。

10

【0033】

また、本実施形態のMFMISS構造2は、シリコン基板4の直上に $-\text{Al}_2\text{O}_3$ 膜6をバッファ層として用いたため、 $-\text{Al}_2\text{O}_3$ 膜6の直上に形成されるLNO膜8の結晶性の向上が期待できる。

【0034】

また、本実施形態のMFMISS構造2は、シリコン基板4の直上に $-\text{Al}_2\text{O}_3$ 膜6をバリア層として用いたため、PZT薄膜12とシリコン基板4との間のPb、Siの相互拡散を防止することができる。

20

【0035】

また、本実施形態のMFMISS構造2は、 $-\text{Al}_2\text{O}_3$ 膜6の直上にLNO膜8を用いたため、LNO膜8と $-\text{Al}_2\text{O}_3$ 膜6との密着性を向上させることができる。 $-\text{Al}_2\text{O}_3$ 膜6直上にPt膜を形成し下部電極とした場合は、PZT薄膜12の焼成時のストレスによって、Pt膜と $-\text{Al}_2\text{O}_3$ 膜6の界面に剥離が生じる場合があるが、下部電極にLNO膜8を用いることにより、LNO膜8と $-\text{Al}_2\text{O}_3$ 膜6の界面の剥離を防ぐことができる。これは、 $-\text{Al}_2\text{O}_3$ 膜6とLNO膜8がともに酸化物であるため、両者の密着性が向上したものと考えられるためである。

【実施例】

【0036】

本発明の実施形態に対応する実施例について説明する。

30

($-\text{Al}_2\text{O}_3$ 膜の成膜)

シリコン基板(100)上に $-\text{Al}_2\text{O}_3$ 膜をエピタキシャル成膜させた。CVD装置における成長条件は、基板温度が900~950、圧力が5~500Pa、成長時間が30分であり、膜厚は50nmの(100)配向膜であった。

【0037】

(LNO膜の成膜)

次に、 $-\text{Al}_2\text{O}_3$ 膜上にLNO膜を成膜させた。LNO膜はゾルゲル法によって成膜させた。ゾルゲル法とは、前駆体溶液を目的基板上に塗布してコーティング膜を形成し、熱処理による乾燥、有機成分の分解、除去工程を経て、最終的には目的の物質へと結晶化させて薄膜を得る方法である。コーティング膜の形成方法としては、使用溶液量が少ないスピンコーティング法を利用した。濃度0.3Mの前駆体溶液を使用した場合、一層のLNO膜の膜厚は、約20nmであったため、これを5回繰り返し100nmの(100)に配向したLNO膜を得た。

40

【0038】

(Pt膜の成膜)

(100)に配向したLNO膜上にRFスパッタ法により(110)に配向したPt膜を100nm成膜した。スパッタ時の基板温度は550~650で、RFパワーは0.8~1.2W/cm²とした。

【0039】

50

(P Z T 薄膜の成膜)

P t 膜の上に、 P Z T 薄膜を成膜した。 P Z T 薄膜の成膜方法はゾルゲル法を用いた。使用した P Z T の組成比 (Z r / T i 比) は、 Z r / T i = 4 0 / 6 0 のものを使用した。スピンコート法による一層の P Z T 膜厚は約 8 0 n m となった。これを三層成膜し、約 2 4 0 n m の P Z T 薄膜を得た。

【 0 0 4 0 】

(P Z T 薄膜の評価)

P t / L N O / - A l ₂ O ₃ / S i 基板上の P Z T 薄膜の X R D パターンの測定結果を図 2 に示す。図 2 に示されているように、 L N O (1 0 0) 膜の上に、 P t (1 1 0) 、 P Z T 薄膜 (1 1 0) が強く配向して形成されていることが分かった。これより、 P t / L N O / - A l ₂ O ₃ / S i 基板によって、 P Z T (1 1 0) の配向制御が実現できた。

10

【 0 0 4 1 】

(上部 P t 膜の成膜)

得られた薄膜の電気的特性を評価するために、 P Z T / P t / L N O / - A l ₂ O ₃ / S i 上に上部電極として P t を成膜した。 P t 膜はスパッタ法により約 1 0 0 n m 成膜した。

【 0 0 4 2 】

(P Z T 薄膜の強誘電特性)

P Z T 薄膜の強誘電特性は、強誘電体薄膜評価装置 (東陽テクニカ製、 F C E - 2) のヒステリシス測定モードを使用して測定した。測定条件は、印加電圧を ± 1 0 V でおこなった。直径 3 0 0 μ m の電極を用いた場合の測定結果を図 3 に示す。図 3 に示されているように、良好な強誘電性を示すヒステリシス特性を描き、飽和分極値 (2 P s) 1 5 6 μ C / c m ²、残留分極値 (2 P r) 9 8 μ C / c m ² というこれまで報告されている (1 0 0)、(1 1 1) 配向の薄膜と比較しても大きな値が得られた。

20

【 0 0 4 3 】

(P Z T 薄膜の焦電特性)

試料温度を変化させた際の焦電流の測定を行なった。恒温槽内のシールドボックスの中に試料をセットした後、恒温槽温度を 1 0 0 ° C まで上昇させた。これにより、試料温度がゆっくり上昇し、その温度上昇によって流れる焦電流を 1 0 秒間隔で測定した。

30

【 0 0 4 4 】

焦電係数は、 $9.0 \times 10^{-8} \text{ C} / \text{cm}^2 \text{ K}^{-1}$ となった。この値は、これまでに報告されている一般的な P Z T 薄膜やセラミックスの焦電係数 $3 \sim 5 \times 10^{-8} \text{ C} / \text{cm}^2 \text{ K}^{-1}$ と比較して大きく、記憶素子、センサ、アクチュエータの性能向上が期待できるものである。

【 図面の簡単な説明 】

【 0 0 4 5 】

【 図 1 】 本発明に係る実施形態の全体構成を示す断面図である。

【 図 2 】 本発明に係る実施形態の X R D 図形である。

【 図 3 】 本発明に係る実施形態の (1 1 0) 配向 P Z T 薄膜の強誘電特性を示す図である。

40

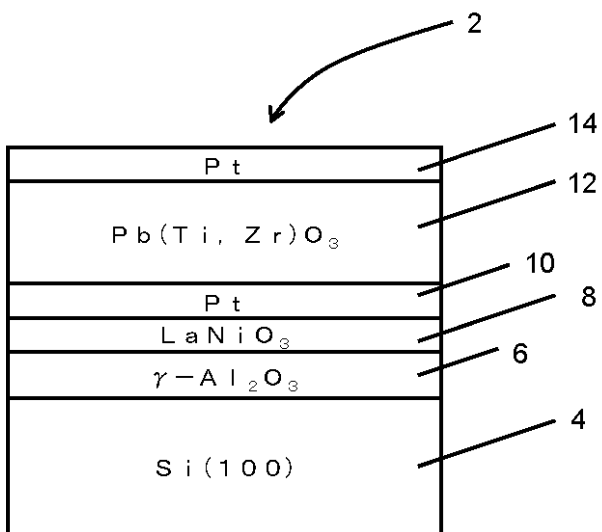
【 符号の説明 】

【 0 0 4 6 】

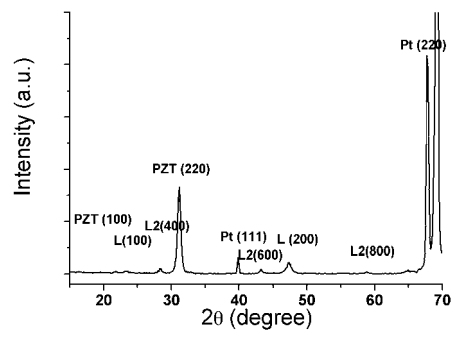
- 2 M F M I S 構造
- 4 シリコン基板
- 6 - A l ₂ O ₃ 膜
- 8 L a N i O ₃ 膜
- 1 0 P t 膜
- 1 2 P Z T 薄膜
- 1 4 P t 膜

50

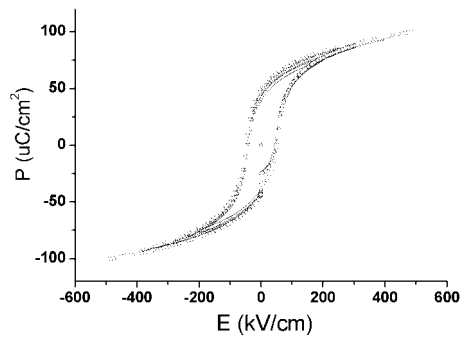
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

Fターム(参考) 5F058 BA11 BA20 BB05 BB06 BC03 BD02 BD05 BE10 BF02 BF46
BH01 BH20 BJ01
5F083 FR07 GA25 GA27 JA02 JA13 JA14 JA15 JA38 JA45 PR25