

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5686366号  
(P5686366)

(45) 発行日 平成27年3月18日 (2015. 3. 18)

(24) 登録日 平成27年1月30日 (2015.1.30)

(51) Int. Cl.	F I	
HO 1 G 4/33 (2006.01)	HO 1 G 4/06	1 O 2
HO 1 L 41/09 (2006.01)	HO 1 L 41/08	C
HO 1 L 41/18 (2006.01)	HO 1 L 41/18	1 O 1 Z
HO 1 L 41/08 (2006.01)	HO 1 L 41/08	Z
HO 1 L 41/22 (2013.01)	HO 1 L 41/08	L
請求項の数 6 (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2010-108684 (P2010-108684)  
 (22) 出願日 平成22年5月10日 (2010. 5. 10)  
 (65) 公開番号 特開2011-238766 (P2011-238766A)  
 (43) 公開日 平成23年11月24日 (2011. 11. 24)  
 審査請求日 平成25年5月1日 (2013. 5. 1)

特許法第30条第1項適用 平成22年3月10日 社団法人エレクトロニクス実装学会発行の「第24回エレクトロニクス実装学会春季講演大会講演論文集」に発表

(出願人による申告) 平成21年度独立行政法人科学技術振興機構委託研究「安全・安心のためのアニマルウォッチセンサの開発」産業技術力強化法第19条の適用を受ける特許出願

(73) 特許権者 503360115  
 独立行政法人科学技術振興機構  
 埼玉県川口市本町四丁目1番8号  
 (73) 特許権者 301021533  
 独立行政法人産業技術総合研究所  
 東京都千代田区霞が関1-3-1  
 (74) 代理人 110000626  
 特許業務法人 英知国際特許事務所  
 (72) 発明者 一木 正聡  
 茨城県つくば市松代5-624-1  
 (72) 発明者 須賀 唯知  
 東京都中野区東中野3-6-3  
 (72) 発明者 飯村 慶太  
 東京都練馬区上石神井4-18-12

最終頁に続く

(54) 【発明の名称】 誘電体構造体、及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1基板と、  
 前記第1基板上に形成された第1電極層と、  
 前記第1電極層上に形成された誘電体層と、  
 を有する誘電体構造体において、  
 前記第1基板は、酸化膜が表面に形成されたSi基板であり、  
 前記第1電極層の材料は、スパッタ蒸着により形成されたPtであり、  
 前記第1電極層の厚さは、100nm以上であり、  
 前記第1基板と前記第1電極層との間に、前記第1基板上の一部を覆うように前記第1  
 基板の縁に沿って且つ該基板の中央部にはなく形成された結合層を有し、  
 該結合層が形成された前記第1基板上の前記一部は、前記第1基板の面積の50%以上  
 を占める

10

ことを特徴とする誘電体構造体。

【請求項2】

前記誘電体層の材料は、BaTiO<sub>3</sub>である  
 ことを特徴とする請求項1に記載の誘電体構造体。

【請求項3】

前記結合層の材料は、Tiである  
 ことを特徴とする請求項1又は2に記載の誘電体構造体。

20

## 【請求項 4】

酸化膜が表面に形成された Si 基板からなる第 1 基板上に、前記第 1 基板上の一部であり且つ前記第 1 基板の面積の 50% 以上を覆うように前記第 1 基板の縁に沿って且つ該基板の中央部にはなく結合層を形成する工程と、

前記第 1 基板上と、前記結合層上とに、スパッタ蒸着により 100nm 以上の Pt の第 1 電極層を形成する工程と、

前記第 1 電極層上に、誘電体層を形成する工程と、  
を有する誘電体構造体の製造方法。

## 【請求項 5】

請求項 4 に記載の製造方法により形成された前記誘電体構造体に、第 2 基板を接合する工程と、

その後、前記第 1 基板から前記第 1 電極層を剥離する工程と、  
を有する前記第 2 基板上に誘電体構造体を製造する方法。

## 【請求項 6】

前記第 1 基板から前記第 1 電極層を剥離する工程の前に、

前記誘電体層上または前記第 2 基板上に第 2 電極層を形成する工程を有することを特徴とする請求項 5 に記載の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、電子機器、MEMS (Micro Electro Mechanical System) その他の電子回路構造に使用される電子材料膜の剥離転移プロセス用の電子材料構造体およびその剥離転移プロセスに関するものである。

より詳細には、本発明は、非耐熱性基板上に誘電体を形成するための、耐熱基板上に形成された誘電体構造と、その誘電体膜の非耐熱性基板上への剥離転移プロセスに関するものである。

## 【背景技術】

## 【0002】

誘電体は、強誘電性、誘電性、焦電性、圧電性、電気光学性、光起電力性、電歪、光歪等の有用な特性を有しており、コンデンサやメモリ等の電子デバイス、センサやアクチュエータ等の駆動及び検知デバイス、光スイッチ、SHG (第 2 高調波) 素子、光導波路等の光デバイスに用いられている。

このような小型デバイスへの応用に際しては、基板等への集積及び実装を容易にするために、バルク単結晶やセラミックスではなく、基板上に成膜した膜構造体として用いることが望ましい。特に、強誘電体構造体は、電気機械結合定数が高く、また入出力特性の線形性により、消費電力が小さく、熱的な影響が小さいため小型化に適した駆動・検知方式が実現可能であり、これらの材料を MEMS 等の小型デバイスの構成要素として適用する利点は多い。

## 【0003】

従来このような誘電体膜は、例えば、ゾルゲル法、MOD 法、スパッタリング法、電子ビーム蒸着法、レーザ蒸着法、MOCVD 法、CVD 法等によって作製されていた。この際、成膜基板として主として用いられてきたのは、シリコン若しくはシリコン上に酸化膜や下地電極等を形成したもの、又は酸化マグネシウムやサファイア等の耐熱性の基板材料であった。特に電気・機械特性を有する誘電体膜はこのような耐熱性の基板上に形成されていた。

## 【0004】

しかしながら、特許文献 1 で得られる有機・無機酸化物混合体薄膜の比誘電率はせいぜい 50 程度である。また、この薄膜を得る方法では形成過程における体積収縮が大きく、膜厚等の寸法の制御が困難であり、表面の凹凸も他の薄膜形成技術に比べて大きい。

また、特許文献 2 で得られる回路基板においては、成膜を安定して持続させるための技

10

20

30

40

50

術開発が必要であり、また、微粒子汚染問題の対処が付加的に必要なになる。さらに微粒子のアンカーリングによる基板の損傷に関しても課題が残っており、また、この回路基板を得る手法では、焼成した微粒子を用いるために、形成される誘電体膜はランダム配向膜となり、最高レベルの誘電体性能を実現することは難しい。

また、特許文献3の方法で得られる誘電体の比誘電率も50程度であり、高い誘電率の膜を作製することは実現されていない。また、特許文献1の手法と同様に寸法制御と表面凹凸の発生に関して課題が残っている。さらに、この手法による転写方法は、誘電体ペーストを用いる方法であり、薄膜技術を用いる方法による作製されたものより1桁以下小さな比誘電率のものしか実現することができない。

また、非特許文献1の方法では、焼成時に1200程度の高温プロセスが必要であり、また特殊なレーザ装置や技術が必要であることから、より簡素な技術開発が必要とされる。

#### 【0005】

一方、携帯電話に代表される小型電子機器における小型化への技術革新競争において、低コスト化・軽量化・高成形性等の優位性を確保するために、今後はシリコン基板に加えて樹脂製のプリント基板材料も広く用いられることが予想される。

一般的に電子回路プリント基板上に占める面積のうち、40～50%がコンデンサや抵抗といった受動素子が占めている。従って、半導体LSI技術の微細化が進む中、プリント基板上のこれらの受動素子の占有面積の減少が求められている。

#### 【0006】

そこで、電子部品を、基板表面に搭載するのではなく、基板内に、3次的に内蔵し実装する、部品内蔵基板技術が開発されてきた。この技術により、基板表面上に形成されていたコンデンサ等の受動素子をなくすことができ、その上、プリント基板上の受動素子の実質上の占有面積を減らすことができる。

しかし、通常、誘電体薄膜の結晶化には600以上での熱処理が必要であるが、プリント基板に使用されるエポキシ樹脂等は、いわゆる低融点材料であり、その耐熱温度は400程度にとどまる。したがって、エポキシ樹脂等のプリント基板上に良好な誘電体薄膜をモノリシックに形成することが困難であった。

#### 【0007】

そこで、高い電気・機械特性を持つ誘電体膜を、プリント基板や樹脂基板上に形成するために、特許文献4においては、まず誘電体膜12を耐熱性基板上14に形成した後に、この誘電体膜12を非耐熱性基板上16に転写する技術が提案された(図1)。ここでは、誘電体膜を形成する耐熱性基板14上の下地電極にあらかじめ剥離性の高い積層構造13を導入しておいて転写することにより、低コストで高誘電率を有し、しかも所要の場所に無駄なく形成することのできる、誘電体構造体11、誘電体構造の製造方法、圧着転写方法、及び保持構造が提案された。(特許文献4)

#### 【0008】

誘電体の中でも、これまで最も有望な誘電体として研究開発が進められてきた材料としてPZTが挙げられる。しかし、国際的な環境問題の意識の高まりや規制政策の推進により、PZTを代表とする鉛を含有する材料は、非鉛含有(鉛フリー)材料による置換が求められてきている。

#### 【先行技術文献】

#### 【特許文献】

#### 【0009】

【特許文献1】特開2005-56935公報

【特許文献2】特開2005-5645公報

【特許文献3】特開2001-160672公報

【特許文献4】特開2009-147238公報

#### 【非特許文献】

#### 【0010】

10

20

30

40

50

【非特許文献1】B. Xu et al. Appl. Phys. Lett. 87(2005)192902.

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、PZTなどの技術開発が進んだ材料以外の材料を用いる場合、厚さや結晶化温度といった成膜条件が異なり、成膜プロセスにおける誘電体材料の体積の膨張縮小の比率が大きくなる場合がある。すると、基板との熱膨張率の差などに起因して、成膜プロセス後の誘電体材料内の残留応力が増大する。この際、従来の技術では、誘電体膜とドナー基板との間の接着力が低いと、転移プロセス前の誘電体膜の生成プロセスにおいて、誘電体膜がドナー基板から剥離してしまうという問題があった。

10

【0012】

本発明は、上記のような問題を解決するためになされたものであって、その目的は、電極層と耐熱性基板との界面に接着力の高い材料を用いた結合層を設け、誘電体層がその形成過程において剥離しない技術を提供することにある。

【0013】

一方、誘電体膜とドナー基板との間の接着力を高めすぎると、剥離を回避し良好な誘電体膜を生成することが出来ても、接着力が転移プロセスの際の剥離に必要な強度より高いと、誘電体膜の転移プロセスに支障をきたすおそれがある。

【0014】

従って、本発明のさらなる目的は、上記の結合層の形成面積を最適化することにより、転移する誘電体膜と基板との間の接着力を適切な程度に制御し、形成された誘電体膜を電極層と基板との界面において剥離させることで他の基板上へ転移する技術を提供することにある。

20

【課題を解決するための手段】

【0015】

以上の課題を解決するために、本発明は、第1基板と、前記第1基板上に形成された第1電極層と、前記第1電極層上に形成された誘電体層と、を有する誘電体構造体において、前記第1基板は、酸化膜が表面に形成されたSi基板であり、前記第1電極層の材料は、スパッタ蒸着により形成されたPtであり、前記第1電極層の厚さは、100nm以上であり、前記第1基板と前記第1電極層との間に、前記第1基板上の一部を覆うように前記第1基板の縁に沿って該基板の中央部にはなく形成された結合層を有し、該結合層が形成された前記第1基板上の前記一部は、前記第1基板の面積の50%以上を占めることを特徴とする誘電体構造体を提供する。

30

また、本発明は、酸化膜が表面に形成されたSi基板からなる第1基板上に、前記第1基板上の一部であり且つ前記第1基板の面積の50%以上を覆うように前記第1基板の縁に沿って該基板の中央部にはなく結合層を形成する工程と、前記第1基板上と、前記結合層上とに、スパッタ蒸着により100nm以上のPtの第1電極層を形成する工程と、前記第1電極層上に、誘電体層を形成する工程と、を有する誘電体構造体の製造方法を提供する。

【発明の効果】

40

【0016】

本発明によると、形成後の誘電体内の残留応力に応じて、界面の機械特性を最適化することで、誘電体および電極層が、形成過程では、耐熱性基板から剥離せず、転移過程において、剥離するような界面の剥離特性を得ることができ、所望の特性の誘電体を、所定の耐熱性基板上で形成し、所定の非耐熱性基板上に転移することができるという効果を奏すものである。

【図面の簡単な説明】

【0017】

【図1】従来の、薄膜の転移プロセスを示す。

【図2】本発明の第1の実施形態に係わる、Pt電極層とPZT誘電体層の膜厚と剥離と

50

の関連を示す。

【図3】本発明の第1の実施形態に係わる、Pt電極層内の残留応力との関連を示すものである。

【図4】本発明の第1の実施形態に係わる誘電体構造体の断面図である。

【図5】図3の誘電体構造を上面から見たときの、結合層の形成パターンを示す。

【図6】本発明の第1の実施形態に係わる、BTO誘電体のXRD測定結果を示す。

【図7】本発明の第1の実施形態に係わるBTOと比較のためのPZTの膜内残留応力を示す。

【図8】本発明の第2の実施形態に係わる、第1の実施形態の誘電体構造体からの、誘電体層と電極層の転移プロセスの概念図を示す。

10

【図9】本発明の第3の実施形態に係わる、結合層の形成パターンを示す。

【図10】本発明の応用実施形態に係わる、部品内蔵基板の断面図を示す。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態について詳細に説明する。

【0019】

本発明の第1の実施形態を、図2～7を用いて説明する。

本実施形態においては、鉛フリー誘電体としてBaTiO<sub>3</sub>(以下、BTO)を用いた誘電体層と、Ptを用いた電極層と、そしてTiを用いた結合層とを、酸化膜を形成したシリコン基板上に形成した。

20

【0020】

1) Ptによる電極層の膜厚

本発明の一態様として、SiO<sub>2</sub>を形成したSi基板上に、Ptをスパッタ蒸着して電極層を形成する場合の、電極層の膜厚の最適化について説明する。

本実施形態において、基板上の結合層が存在しない部分では、Pt電極層とSi基板との酸化膜層が直接接触している。したがって、結合層がないことにより、結合層が存在する部分と比べて、接着力が低いこととなるが、誘電体の形成過程においては、誘電体層あるいは電極層が基板から剥離せず、誘電体層の形成後に剥離が可能であることが要求される。

【0021】

30

そこで、PZTの誘電体を形成した場合、Pt電極層の膜厚とPZT膜厚との剥離特性への影響をテープ剥離試験により調べた。

酸化膜を表面に形成したSi基板上に、適当な洗浄後、Ptをスパッタ蒸着により形成し、続いて、PZTをMOD(Molecular Organic Deposition)法により形成した。具体的には、まず、表面を純水、アセトン、IPAにより洗浄し、MOD溶液を最大2500rpmにてスピンコートし、その後RTA(Rapid Thermal Annealing)として120(溶媒揮発温度)で2分、250(前駆体形成温度)で4分、700(結晶化温度)で2分の熱処理を行った。リークを生じないだけの十分なPZT膜厚を得るためこの塗布と焼成からなるMODプロセスを10回繰り返して実行した。

この誘電体構造についてテープ剥離試験を行った結果を図2に示す。○は剥離可能であったことを、×は剥離が不可能であったことを、そして、△は剥離が部分的に可能であったことを示している。この実験結果は、Ptが厚いほど、またPZTが薄いほど、剥離が容易であることを表している。

40

【0022】

Ptが薄い場合に剥離ができなかった要因として、第一に、PZTの溶液がPtの膜上に塗布された後に、その一部がPt層を浸透し、Ptと基板の界面に到達していたことが想定される。この現象は、PZT溶液をSiO<sub>2</sub>上に直接滴下し熱処理を行った場合、PZTは固着しSiO<sub>2</sub>から剥がすことはできず、PtとPZTも同様に剥がすことはできないことから理解することができる。

したがって、Pt電極層が薄い場合、スパッタ蒸着により形成したPt層は完全に密に

50

なっており、微小な隙間があいている可能性があるため、P Z Tのスピンコート溶液のSiO<sub>2</sub>/Pt界面への侵入を許し、その結果、剥離ができなくなったと考えられる。

Pt層の膜厚が100~500nm程度の場合、すなわち薄い場合、P Z Tを複数回の塗布により積層するうちにPt層を浸透するP Z T溶液の量が増えるので、剥離を不可能にする要因となりえる。しかしPt層の膜厚が1000nm程度の場合、すなわち厚い場合、P Z Tを積層しても、界面まで浸透することは実質無いと考えられる。

#### 【0023】

次に、Ptが薄い場合に、剥離ができなかった第2の要因として、Pt層内部の残留応力の影響が考えられる。

そこで、P Z Tを塗布しない状態でのPt層の内部応力と厚みの関係について調べたものを図3に示す。内部応力は、Si基板上にPt電極層を形成した後の基板のたわみを測定し、Stoneyの式(数1)により求めた。

#### 【数1】

$$\sigma = \frac{E_s t_s^2}{6(1-\nu_s) R t_F}$$

Pt層が薄くなるほど、Pt層内の圧縮応力が急激に増加していることが分かる。この圧縮応力により、膜厚100nm程度の非常に薄い領域において、テープ剥離試験の際の引張力に圧縮応力が勝り、剥離ができなかったとが考えられる。

#### 【0024】

以上の結果により、スパッタ蒸着によりPt電極層を形成する場合、Pt電極層のSiO<sub>2</sub>からの剥離を可能にするためには、Pt電極層の膜厚が最低100nmなければならないことが分かった。

#### 【0025】

##### 2) Tiを用いた結合層のパターン形成

本実施形態の一態様として、Tiを用いた結合層を、Si基板上に部分的に形成する方法を以下に説明する。

まずシリコン基板をO<sub>2</sub>RIE(Reactive Ion Etching)で洗浄し、次にTi(5nm)をスパッタ蒸着する。そしてTi上にレジストを添付し、パターニングを施してから、ECREッチングにより、Tiを部分的に除去する。次に、残っているレジストを除去する。

また他の態様として、Tiをリフトオフにより除去してもよい。

#### 【0026】

##### 3) Ptの電極層とBTOの誘電体層の形成

図4は、第1の実施形態による、結合層が形成された誘電体構造体1の断面図を示している。図5は、その誘電体構造体を上面から見たときの結合層の形成パターンを示すものである。

まず、酸化膜4をつけたSiの20mm角チップ5に、結合層6としてTiを厚さ5nm、次に下部電極3としてPtを厚さ50nmスパッタ蒸着した。スパッタ蒸着後、下部電極のついたチップを純水中で、続いてアセトン中で超音波洗浄を行った。次にチップを2-プロパノールに潜らせ、純水で洗い流して洗浄した。誘電体層2の作製にはBTOをMOD法を用いて積層した。まず、スピンコーター(2500RPM 20s)でBTO溶液を薄く塗布した。BTOが塗布されたウェハをRTA(rapid thermal annealing)により、120度2分、250度5分、700度2分の条件で結晶化した。BTO塗布とRTAによる結晶化を15回繰り返し、誘電体層2の作製を行った。

#### 【0027】

誘電体膜作成中にXRD(X-ray diffraction)を用いて成膜過程における成長の結晶性を調べた。図6に示すように、塗布と結晶化のプロセスを繰り返しによりペロプスカイ

10

20

30

40

50

ト構造の各結晶面に対応するピークが成長した様子が分かる。

図示はしないが、I V特性は生成した誘電体膜の絶縁性を示し、またP ( E )ヒステリシス測定においても、残留分極値 $3 \mu C / c m 2$ 、抗電界 $37 k V / c m$ のヒステリシスが観測された。

以上より、S i 基板上に所望のB T Oが形成できることを実験的に検証した。

#### 【 0 0 2 8 】

##### 4 ) 成膜過程

次に、T i の結合層を一切形成しない基板 ( 剥離性基板 ) の上に、それ以外を上記と同様に行うと、B T O膜の剥離が観察された。

そこで、比較のため、T i の結合層を用いた基板上にB T O 6 %とP Z T 2 0 %の溶液を用いて、それぞれの誘電体膜を4インチのウェハ上に1層積層した。そして、その形成した膜内の残留応力を、チップの反りの計測により、S t o n yの式 ( 数 1 ) に基づき算出した。

図7は、横軸は4インチ ウェハ上の直径方向の測定位置を、縦軸は残留内部応力を示している。B T Oの内部応力は $3000 M P a$ 付近を示し、P Z Tの内部応力約 $1000 M P a$ のほぼ3倍に達していることが分かった。1層積層の場合の応力測定に比べ、より厚い成膜の場合は、さらに残留内部応力が増大するはずである。

したがって、T i の結合層を形成しない、剥離性の基板上で観察された、B T Oの剥離は、高い内部応力に起因していると考えられる。

#### 【 0 0 2 9 】

##### 5 ) 結合層の形状

そこで、本実施形態の一態様として、結合層を以下のように構成することにした。

即ち、図5に示すように、20mmの角チップにおいて、まず結合層として、縁に沿って厚さ5nmのT iを生成することとし、中央部にはT iがない構造とした。電極層となるP tの厚さは、上記に記載の実験結果より、基板表面から、100nmを越えるものでなければならない。本態様においては、厚さ1000nmのP tを、T iの結合層を生成した基板上にスパッタ蒸着により成膜した。

比較のためT iの幅を変えることにより、T iのある部分の面積とT iのない部分の面積との比率を変えて、その比率の薄膜生成時の剥離への影響を検討した。この際、ウェハの洗浄方法とT iの選択的な形成方法を変えて検討した。

縁にT iを生成し、中央部分にT iを生成しないために、T iを生成後リフトオフまたはE C Rにより除去、またT iの生成前にS i O<sub>2</sub>をO<sub>2</sub>R I E ( R i e a c t i v e I o n E t c h i n g )で洗浄することにより選択成長させた。

以上の条件に対して、B T O成膜時でのB T Oの剥離が観察されたか否かをまとめてものを表1に示す。

【表1】

Case	1	2	3	4
Ti幅(mm)	0 (Ti無し)	2	3	3
面積比	0%	36%	50%	50%
ウェハ洗浄	無し	無し	無し	O <sub>2</sub> RIE
作り方	単純 成膜	リフトオフ	ECR	ECR
結果	すごく剥離 する	剥離する	剥離しない	剥離しない

この結果より、T iのある部分を面積比50%以上にすれば、B T O成膜段階での剥離

が起きないことが分かった。

【0030】

本発明の第2の実施形態を説明する。

<転移プロセス>

第1の実施形態において形成した誘電体構造体から、電極層と誘電体層を非耐熱性基板へ転移する方法について、図8を参照しつつ説明する。

【0031】

図8の(A)は、図4に示した実施形態の誘電体構造体1を図面上、上下ひっくり返したものである。転移先の非耐熱性の基板7上には、他の電極層8を形成する。そして、この非耐熱性基板7の電極層8と、耐熱性基板5に形成した誘電体層2とを面同士で接合し、必要なら圧着し十分な接合強度を得(B)、次に、耐熱基板5から電極層3を結合層6の近傍に沿って剥離する(C)。このように、良好に形成された誘電体層2が、2つの上部電極3'と下部電極8に挟まれる構成で、非耐熱性基板上に転移により形成された。

10

本実施形態では、下部電極となる電極層は、転移先である非耐熱性基板上に形成されたが、これに限らない。例えば、この下部電極となる電極層は、転移プロセス前に、誘電体層上に形成されてもよく、非耐熱基板上と誘電体層上の双方に形成されてもよい。

【0032】

<その他の実施形態について>

本発明の第3の実施形態として、第1の実施形態の構造を、繰り返して、ウェ八面全体を覆ったものの上面から見たときの結合層の形成パターンを図9に示す。この場合、結合層96の中に、複数の結合層のない部分が存在する構成になっている。

20

【0033】

また、Tiのない部分の形状を、第1および第2の実施形態に示した正方形には限らず、長方形や円形などの他の形状でもよい。

また、1周期は上記実施形態の20mmでなくてもよい。周期性についても第2の実施形態には限定されず、適宜、設計することができる。

【0034】

他の実施形態として、例えば、複数のTiのない部分が離間して形成されていても、また逆に、Tiのある部分が、Tiのない部分の中に離間して形成されてもよい。

【0035】

また、剥離が起きないために必要な、Tiのある部分の面積が50%程度という面積比の閾値も、上記の実施形態において示したものにすぎない。

30

【0036】

さらに、上記実施形態においては、誘電体にBTO、電極層にPt、結合層にPt、そして耐熱性基板にSiを用いたが、これに限定される必要はない。誘電体層、電極層もしくは基板に用いる材料や、その厚さや形成方法などの、物性、仕様、あるいは使用する技術により、最適に変更設計することができることは、当業者には理解される事項である。

【0037】

また、上記実施形態においては結合層にTiを用いたが、これに限定されず、他の金属あるいは金属以外の材料、例えば樹脂や酸化物、窒化物など適宜選択することが出来る。

40

そして、転移するための剥離に関しても、上記実施形態では、機械的な剥離を示したが、剥離に必要なエネルギーの外界からの注入が機械的である必要はない。例えば、所定の材料を用いて、熱を加えたり、電極層に電流を流すことで、結合層が溶解したり熱膨張により剥離界面近傍に応力を与えたりすることも可能である。または、静電気を与えることにより電荷の反発力を内部に生じさせるなどの電気的な方法であってもよい。

また、本発明で用いている用語「剥離」は、狭い意味に限定的に解されるべきものでなく、一般的に、結合層近傍で、誘電体層等を基板から分離するという意味に解すべきものである。

【0038】

<応用実施形態>

50

図10に、本発明に係わる上記実施形態により製造された部品内蔵基板の一例を示す。基板内部110内に、誘電体102を有するコンデンサ109が実装され、配線103で電氣的に連結されている。このように本願の発明により、基板内部にコンデンサなどの素子を3次元的に搭載し、プリント基板の実質面積の減少が可能となる。

【符号の説明】

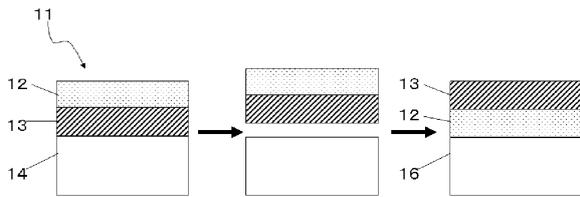
【0039】

- 11：誘電体構造体（従来技術）
- 12：誘電体層（従来技術）
- 13：電極層（従来技術）
- 14：基板（従来技術）
- 1：誘電体構造体
- 2：誘電体層
- 3：電極層
- 4：酸化膜
- 5：耐熱性基板
- 6：結合層
- 7：非耐熱性基板
- 3'：上部電極
- 8'：下部電極
- 102：誘電体
- 103：配線
- 109：コンデンサ
- 110：部品内蔵基板

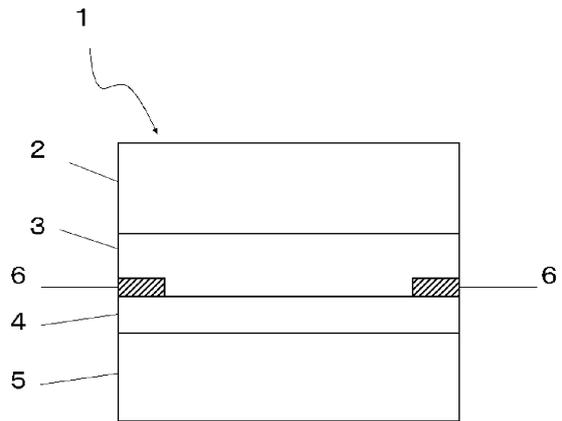
10

20

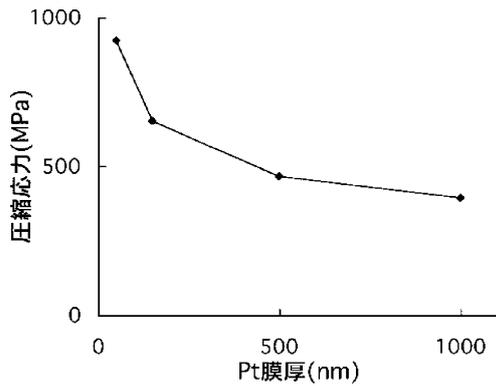
【図1】



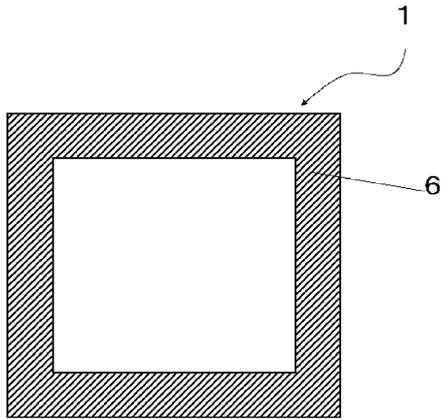
【図4】



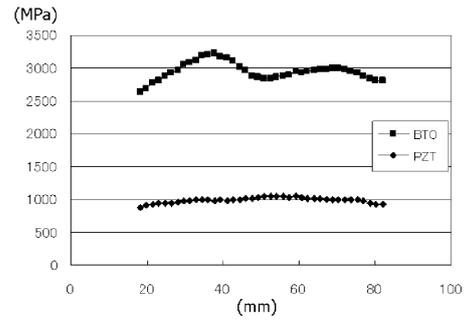
【図3】



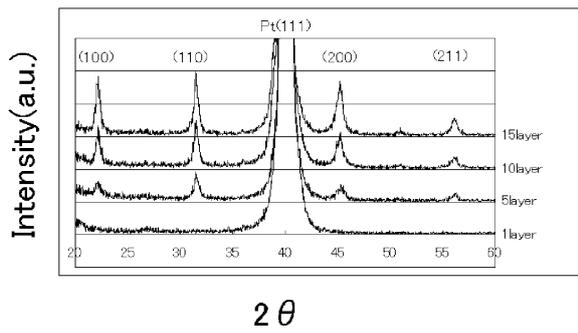
【 5 】



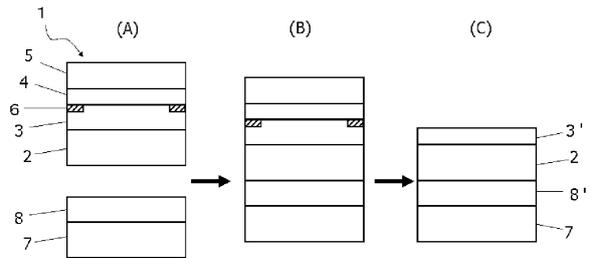
【 7 】



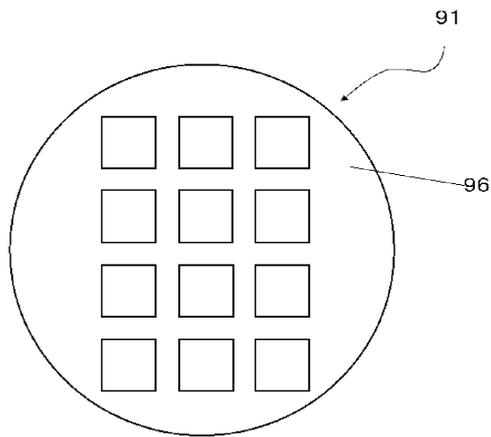
【 6 】



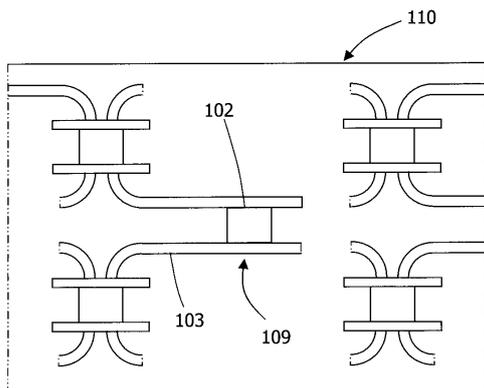
【 8 】



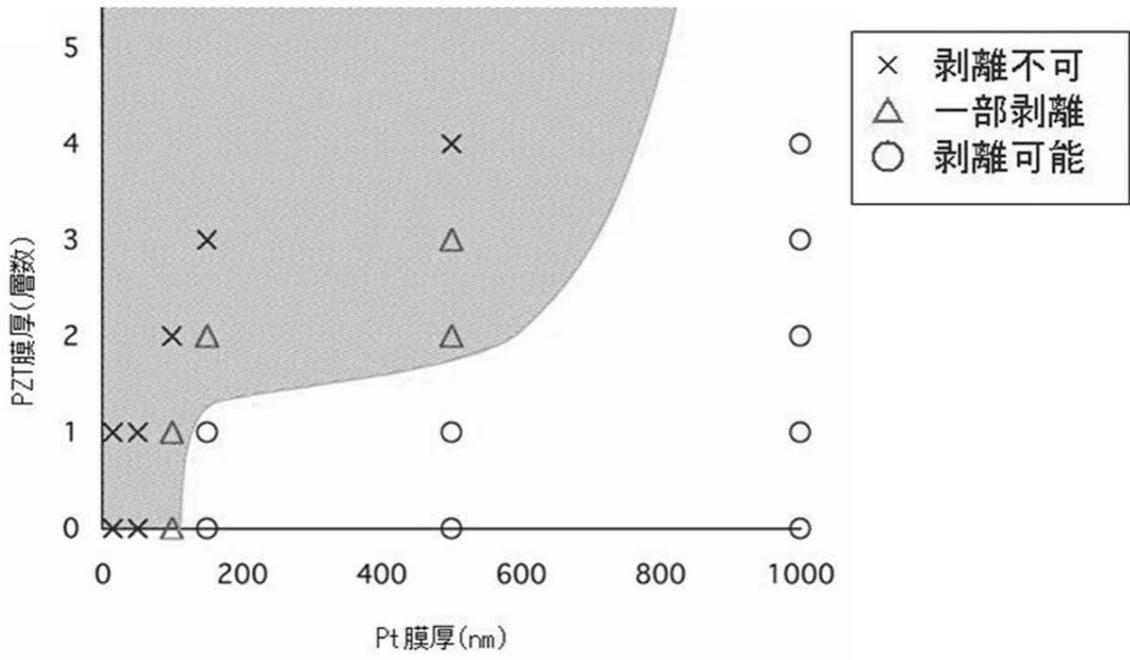
【 9 】



【 10 】



【図2】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 G 4/12 (2006.01) H 0 1 L 41/22  
H 0 1 G 4/12 4 0 0

(72)発明者 細野 智史  
東京都文京区向丘2-36-8-203

(72)発明者 伊藤 寿浩  
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

(72)発明者 前田 龍太郎  
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

審査官 小山 和俊

(56)参考文献 特開平07-066072(JP,A)  
特開2001-210789(JP,A)  
特開2006-049511(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 G 4 / 3 3  
H 0 1 G 4 / 1 2  
H 0 1 L 4 1 / 0 8  
H 0 1 L 4 1 / 0 9  
H 0 1 L 4 1 / 1 8  
H 0 1 L 4 1 / 2 2