

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5927640号
(P5927640)

(45) 発行日 平成28年6月1日(2016.6.1)

(24) 登録日 平成28年5月13日(2016.5.13)

(51) Int.Cl.		F I			
HO2M	7/483	(2007.01)	HO2M	7/483	
HO2M	7/48	(2007.01)	HO2M	7/48	P
HO2M	3/07	(2006.01)	HO2M	7/48	S
			HO2M	3/07	

請求項の数 1 (全 6 頁)

(21) 出願番号	特願2011-193412 (P2011-193412)	(73) 特許権者	304021831
(22) 出願日	平成23年9月5日(2011.9.5)		国立大学法人 千葉大学
(65) 公開番号	特開2013-55830 (P2013-55830A)		千葉県千葉市稲毛区弥生町1番33号
(43) 公開日	平成25年3月21日(2013.3.21)	(74) 代理人	100121658
審査請求日	平成26年9月3日(2014.9.3)		弁理士 高橋 昌義
特許法第30条第1項適用	社団法人電気学会主催、第23回電気学会全国大会、平成23年3月5日発行	(72) 発明者	佐藤 之彦
			千葉県千葉市稲毛区弥生町1番33号 国立大学法人千葉大学大学院工学研究科内
		(72) 発明者	伊藤 拓巳
			千葉県千葉市稲毛区弥生町1番33号 国立大学法人千葉大学大学院工学研究科内
		(72) 発明者	川崎 将裕
			千葉県千葉市稲毛区弥生町1番33号 国立大学法人千葉大学 工学部内

最終頁に続く

(54) 【発明の名称】 マルチレベルインバータ回路

(57) 【特許請求の範囲】

【請求項1】

マルチレベルインバータ部と、前記マルチレベルインバータ部とDCリンクコンデンサ部を介して接続される共振形スイッチトキャパシターコンバータ部と、を有するマルチレベルインバータ回路であって、

前記DCリンクコンデンサ部は、複数のDCリンクコンデンサを直列に接続して構成されており、

前記共振形スイッチトキャパシターコンバータ部は、複数のスイッチング素子を直列に接続して構成されており、さらに、前記複数のスイッチング素子のうち隣り合う二つのスイッチング素子と、直列に接続された共振リアクトル及び共振コンデンサとを並列に接続した回路を備え、

前記DCリンクコンデンサ部の直列に接続された前記複数のDCリンクコンデンサと、前記共振形スイッチトキャパシターコンバータ部の直列に接続された前記複数のスイッチング素子は、並列に接続されており、

前記直列に接続された複数の前記DCリンクコンデンサの間に接続される入力電圧を備えるマルチレベルインバータ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マルチレベルインバータ回路に関する。

【背景技術】

【0002】

マルチレベルインバータは、フィルタの小型化・除去、冷却装置の小型化、電磁ノイズの低減等が期待できるため、今後の適用範囲拡大が期待される。その中でも3レベルダイオードクランプ形インバータの回路方式及び制御法が、例えば下記非特許文献1に開示されているように、実用技術として確立されている。

【先行技術文献】

【非特許文献】

【0003】

【特許文献1】Akira Nabae, et al. IEEE Trans. on IA, 1981, Vol. IA-17, No. 5, pp. 518-523 10

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、マルチレベルインバータにおいて、4レベル以上のダイオードクランプ形マルチレベルインバータでは、DCリンクコンデンサの電圧不均一が生じてしまうといった課題がある。

【0005】

そこで、本発明は、上記課題を鑑み、4レベル以上のダイオードクランプ形マルチレベルインバータであっても、DCリンクコンデンサの電圧均一性を確保することのできるマルチレベルインバータ回路を提供することを目的とする。 20

【課題を解決するための手段】

【0006】

本発明の一観点に係るマルチレベルインバータ回路は、共振形スイッチトキャパシタコンバータを用いていることを特徴の一つとする。

【発明の効果】

【0007】

以上、本発明により、4レベル以上のダイオードクランプ形マルチレベルインバータであっても、DCリンクコンデンサの電圧均一性を確保することのできるマルチレベルインバータ回路を提供することができる。 30

【図面の簡単な説明】

【0008】

【図1】実施形態に係るマルチレベルインバータ回路を示す図である。

【図2】RSCC電圧均一化回路の例を示す図である。

【図3】図2におけるRSCC電圧均一化回路のスイッチングパターンを示す図である。

【図4】実施形態に係るマルチレベルインバータ回路の(a)出力電圧及び出力電流、(b)RSCCの電圧及び電流、を示す図である。

【図5】実施形態に係るマルチレベルインバータ回路の出力電流とDCリンクコンデンサの電圧偏差

【図6】実施形態に係るマルチレベルインバータ回路の出力電流と共振電流の関係を示す図である。 40

【図7】実施形態に係るマルチレベルインバータ回路の出力電圧とDCリンクコンデンサの電圧脈動の関係を示す図である。

【図8】実施形態に係るマルチレベルインバータ回路のDCリンクコンデンサの容量と電圧脈動の関係について示す図である。

【発明を実施するための最良の形態】

【0009】

以下、本発明を実施するための形態について、図面を用いて詳細に説明する。ただし、本発明は多くの異なる形態による実施が可能であり、以下に示す実施形態の例示にのみ狭く限定されるものではない。 50

【 0 0 1 0 】

図 1 は、本実施形態に係るマルチレベルインバータ回路（以下「本回路」という。）1 の概略を示す図である。本実施形態に係るマルチレベルインバータ回路 1 は、共振形スイッチトキャパシタコンバータを用いていることを特徴の一つとする。図 1 は、三相の 5 レベルインバータ回路を示している。

【 0 0 1 1 】

より具体的に説明すると、本回路 1 は、マルチレベルインバータ部 2 と、このマルチレベルインバータ部 2 に DC リンクコンデンサ部 4 を介して接続される R S C C 部 3 と、を有する。

【 0 0 1 2 】

本実施形態において、マルチレベルインバータ部 2 は、複数のスイッチング素子を直列に接続して構成されており、負荷 (L o a d) に接続されている。また、この直列に接続されたスイッチング素子は、一定の数毎に、直列に接続されたダイオードと並列に接続されており、これが一つのスイッチング素子おきに同様な構成で連続的に接続されている。図 1 の例では、8 個のスイッチング素子 S W 1 ~ S W 8 が直列に接続されており、4 つのスイッチング素子毎が直列に接続された二つのダイオードに並列に接続されており、3 つの回路 R 1 ~ R 3 が形成されている。なお、一段目の回路 R 1 と三段目の回路 R 3 は、入力電圧 V に並列に接続されている。

【 0 0 1 3 】

また本実施形態において、DC リンクコンデンサ部 4 は、複数の DC リンクコンデンサを直列に接続して構成されている。図 1 の例では、4 つの DC リンクコンデンサ C 1 ~ C 4 を有して構成されている。

【 0 0 1 4 】

また本実施形態において R S C C 部は、複数のスイッチング素子が直列に接続されており、かつ、そのうちの一部の隣接するスイッチング素子は、直列に接続された共振リアクトル L r と共振コンデンサ C r と並列に接続されている。本図の例では、スイッチング素子 S p 1 と S 2 が直列に接続された共振リアクトル L r と共振コンデンサ C r と並列に接続されており、スイッチング素子 S p 3 と S 4 も上記と同様に、直列に接続された共振リアクトル L r と共振コンデンサ C r と並列に接続されている。

【 0 0 1 5 】

ここで、図 2 に、R C C 電圧均一化回路の例を示しておく。本実施形態において R S C C とは、共振形スイッチとキャパシタコンバータをいう。本回路は、R S C C が出力電圧の昇圧機能を実現できることに着目し、この R S C C を昇圧形直流電圧均一化回路として適用しているところが特徴の一つである。

【 0 0 1 6 】

図 2 で示すように、R S C C は、スイッチング素子 S、S p と共振リアクトル L r、共振コンデンサ C r を有して構成されている。より具体的に説明すると、複数のスイッチング素子を直列に接続し、このうち隣り合う二つのスイッチング素子と、直列に接続された共振リアクトル L r 及び共振コンデンサ C r と、を並列に接続した回路を有している。

【 0 0 1 7 】

ここで図 3 に、図 2 で示す R S C C のスイッチングパターンを示す。この R S C C は、スイッチング素子 S、S p を、共振リアクトル L r、共振コンデンサ C r の共振周波数で交互にスイッチングすることで DC リンクコンデンサ C 1、C 2 の直流電圧を均一化することができ、入力電圧の 2 倍の出力電圧 V o u t を得ることができる。

【 0 0 1 8 】

ここで、上記図 1 で用いた本回路 1 について、実験を行い、その結果を検討した。以下具体的に説明する。

【 0 0 1 9 】

まず、DC リンクコンデンサの容量を 2 2 0 μ F、5 6 0 μ F、1 m F とし、付加電流を変化させるために負荷抵抗を 1 5、2 0、3 0、5 0 とした。図 4 (a) に、

10

20

30

40

50

出力電圧及び出力電流を示し、図4(b)にRSCCの電圧及び電流を示す。

【0020】

図4(a)で示すように、入力電圧50Vに対して、振幅100Vの5レベルの出力電圧波形と正弦波状の出力電流波形が得られていることが確認でき、また、図4(b)で示すように、RSCCに出力電流の2倍以上の電流が流れていることが確認できた。

【0021】

なお、ここで本回路1における出力電流とDCリンクコンデンサの電圧偏差について確認を行なった。この結果を図5に示しておく。なお本図では電流値はピーク値で考えている。

【0022】

図5によると、出力電流が増加するに従いDCリンクコンデンサの電圧偏差も増加するという傾向が見られた。これは、RSCCは隣り合う2つのDCリンクコンデンサ間の電位差により共振電流を流し電流を補償するため、出力電流が大きくなると補償電流も大きくなる。そのため、RSCCの素子による等価直列抵抗やスイッチング素子の抵抗による損失が増加し、隣り合う2つのDCリンクコンデンサ間の電圧偏差が大きくなると考えられる。

【0023】

またここで、本回路1における出力電流と共振電流の関係について検討した。この結果を図6に示しておく。

【0024】

本図で示すように、本回路1では、出力電流と共振電流は比例しており、DCリンクコンデンサの容量を変化させても出力電流と共振電流の値はあまり変わっていないことが確認できた。これは、RSCCがDCリンクコンデンサの容量にかかわらず、出力電流により決定される電荷を送る必要があるためであると考えられる。

【0025】

またここで、出力電圧とDCリンクコンデンサの電圧脈動の関係、DCリンクコンデンサの容量と電圧脈動の関係について検討した。出力電圧とDCリンクコンデンサの電圧脈動の関係については図7に、DCリンクコンデンサの容量と電圧脈動の関係については図8にそれぞれ示しておく。

【0026】

これらの図で示すように、電圧脈動は出力電流に比例し、DCリンクコンデンサの容量に反比例することが分かった。これは、電荷が一定のとき、DCリンクコンデンサの電圧脈動はDCリンクコンデンサの容量に反比例するということから説明できる。これらの関係により、設計を行なう上で、DCリンクコンデンサ容量について設計の指針を得ることができる。具体的には、限定されるわけではないが、電圧脈動を10%以下に抑えたい場合、電圧脈動が2.5V以下の点において負荷電流を行使した上で、DCリンクコンデンサの容量を決定する必要がある。

【0027】

以上、本実施形態により、4レベル以上のダイオードクランプ形マルチレベルインバータであっても、DCリンクコンデンサの電圧均一性を確保することのできるマルチレベルインバータ回路を提供することができる。

【産業上の利用可能性】

【0028】

本発明は、マルチレベルインバータ回路として産業上の利用可能性がある。

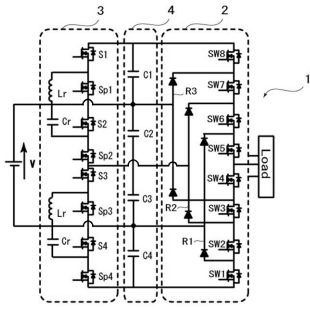
10

20

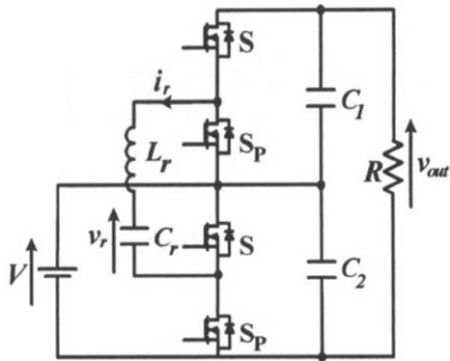
30

40

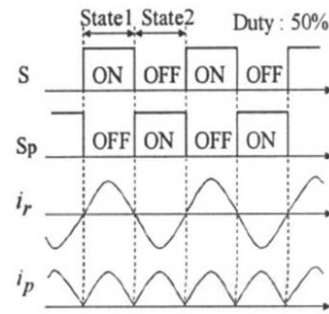
【 図 1 】



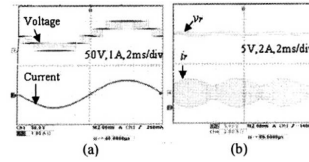
【 図 2 】



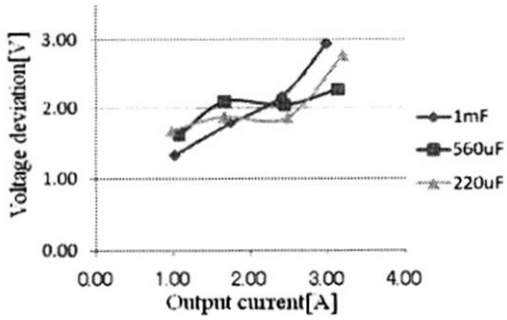
【 図 3 】



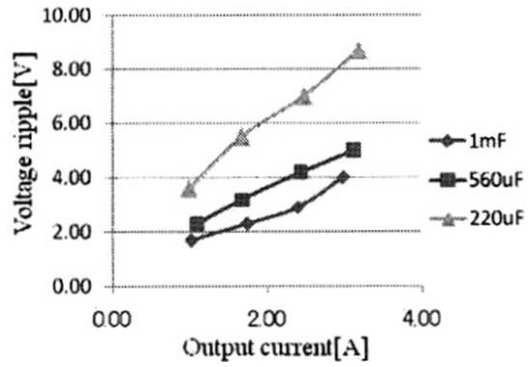
【 図 4 】



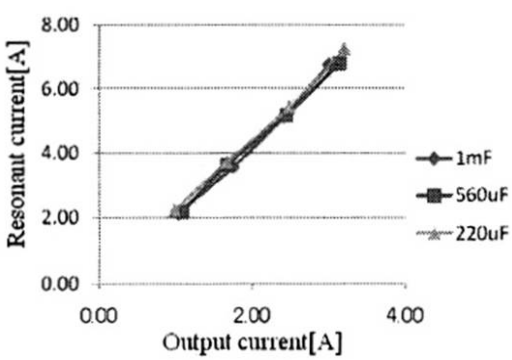
【 図 5 】



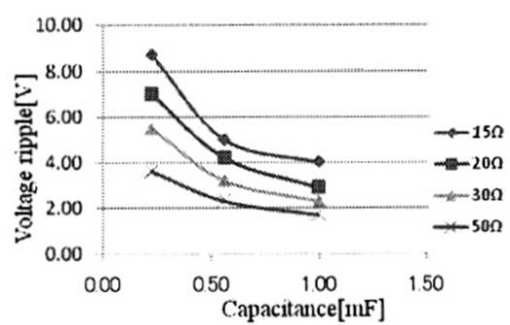
【 図 7 】



【 図 6 】



【 図 8 】



フロントページの続き

審査官 下原 浩嗣

- (56)参考文献 特開2012-029384(JP,A)
国際公開第2008/032424(WO,A1)
米国特許出願公開第2010/0019753(US,A1)
特開2010-246189(JP,A)
特開2008-263715(JP,A)
米国特許出願公開第2008/0253156(US,A1)
佐野憲一朗ほか一名, ダイオードクランプ形5レベル変換器用RSCC直流電圧均一化回路の
電流定格低減の検討, 平成20年電気学会産業応用部門大会講演論文集, 日本, 電気学会, 20
08年 8月27日, 第1分冊, I-549~552

(58)調査した分野(Int.Cl., DB名)

H02M 7/483

H02M 3/07

H02M 7/48