

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-182349

(P2011-182349A)

(43) 公開日 平成23年9月15日(2011.9.15)

(51) Int.Cl.  
H03H 21/00 (2006.01)

F I  
H03H 21/00

テーマコード (参考)  
5 J O 2 3

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2010-47322 (P2010-47322)  
(22) 出願日 平成22年3月4日 (2010.3.4)  
特許法第30条第1項適用申請有り 計測自動制御学会  
東北支部 45周年記念学術講演会 講演論文集 20  
09年9月7日発行

(71) 出願人 306017014  
地方独立行政法人 岩手県工業技術センター  
岩手県盛岡市飯岡新田3地割35番地2  
(71) 出願人 504165591  
国立大学法人岩手大学  
岩手県盛岡市上田三丁目18番8号  
(74) 代理人 100117341  
弁理士 山崎 拓哉  
(72) 発明者 高橋 強  
岩手県盛岡市飯岡新田3地割35番地2  
地方独立行政法人岩手県工業技術センター  
内

最終頁に続く

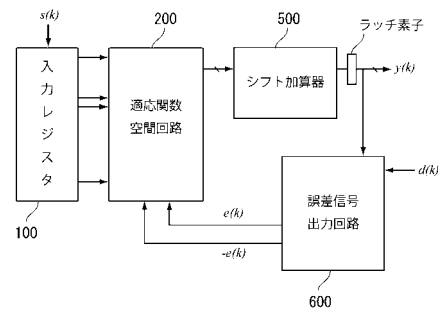
(54) 【発明の名称】 適応フィルタ

(57) 【要約】

【課題】 準奇対称性を利用することにより、ハーフメモリアルゴリズムに基づく適応フィルタと比較して更に収束速度の向上を図ることのできる適応フィルタを提供すること。

【解決手段】 誤差信号出力回路600は、所望信号 $d(k)$ とフィルタ出力 $y(k)$ の差分である正誤差信号 $e(k)$ と、その反転信号である負誤差信号 $-e(k)$ の二種類の誤差信号を生成して、適応関数空間回路200に出力する。適応関数空間回路200は、正誤差信号 $e(k)$ を受けて、第1更新対象要素を更新すると共に、負誤差信号 $-e(k)$ を受けて、第1更新対象要素と準奇対称の関係にある第2更新対象要素を更新する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

2 の補数形式にて表現された入力信号  $s(k)$  を受けてアドレスベクトルを出力するアドレスベクトル生成部を有する入力レジスタと、

複数の部分積を格納すると共に前記アドレスベクトルで指定された部分積を出力する適応関数空間回路であって、誤差信号に基づいて対応する部分積を更新する機能を有する適応関数空間回路と、

前記適応関数空間回路から出力された部分積をシフト加算してフィルタ出力  $y(k)$  として出力するシフト加算器と、

前記誤差信号を所望信号  $d(k)$  と前記フィルタ出力  $y(k)$  とから生成し前記適応関数空間回路に出力する誤差信号出力回路と

10

を備える適応フィルタであって、

前記誤差信号出力回路は、前記所望信号  $d(k)$  と前記フィルタ出力  $y(k)$  の差分である正誤差信号  $e(k)$  と当該正誤差信号  $e(k)$  の反転信号である負誤差信号  $-e(k)$  の二種類の前記誤差信号を生成して、前記適応関数空間回路に出力するものであり、

前記適応関数空間回路は、前記正誤差信号  $e(k)$  を受けて、前記部分積のうちの第 1 更新対象要素を更新すると共に、前記負誤差信号  $-e(k)$  を受けて、前記部分積のうち前記第 1 更新対象要素に対応するアドレスベクトルとビット反転の関係にあるアドレスベクトルにて指定されうる第 2 更新対象要素を更新する

20

適応フィルタ。

## 【請求項 2】

請求項 1 記載の適応フィルタであって、

前記適応関数空間回路は、

前記アドレスベクトルを受けてアドレス信号を生成するアドレスデコーダと、

前記部分積の一部を夫々格納するための複数のラッチ素子と、

アドレス信号に従って、前記ラッチ素子に格納されているデータを選択的に出力する出力計算用出力側セクタと、

前記第 1 更新対象要素に対する読み出し及び書き込みを可能とする第 1 更新動作出力側セクタ及び第 1 更新動作入力側セクタと

前記第 2 更新対象要素に対する読み出し及び書き込みを可能とする第 2 更新動作出力側セクタ及び第 2 更新動作入力側セクタと

30

を備えており、2 以上の前記ラッチ素子に対して同時に読み出し / 書き込み可能となるように構成されている

適応フィルタ。

## 【請求項 3】

請求項 2 記載の適応フィルタであって、

前記入力レジスタは、前記入力信号  $s(k)$  を受けて、更新用アドレスベクトルを生成する更新用アドレスベクトル生成部を更に有しており、

前記適応関数空間回路は：

前記更新用アドレスベクトルを受けて更新アドレス信号を生成して、前記第 1 更新動作出力側セクタと前記第 1 更新動作入力側セクタとに出力する更新用アドレスデコーダと；

40

前記更新アドレス信号を反転して更新用出力側反転アドレス信号を生成して、前記第 2 更新動作出力側セクタに出力する出力側反転アドレス信号生成部と；

前記更新アドレス信号を反転して更新用入力側反転アドレス信号を生成して、前記第 2 更新動作入力側セクタに出力する入力側反転アドレス信号生成部と；

前記第 1 更新動作出力側セクタから読みだされた前記第 1 更新対象要素と前記正誤差信号  $e(k)$  とから更新値を算出して前記第 1 更新動作入力側セクタを介して前記第 1 更新対象要素の更新を行う第 1 更新回路と；

前記第 2 更新動作出力側セクタから読みだされた前記第 2 更新対象要素と前記負誤

50

差信号  $-e(k)$  とから更新値を算出して前記第 2 更新動作入力側セレクタを介して前記第 2 更新対象要素の更新を行う第 2 更新回路と；

を更に備えている、

適応フィルタ。

【請求項 4】

請求項 3 記載の適応フィルタであって、

前記適応関数空間回路は、

前記第 1 更新動作出力側セレクタから読みだされた前記第 1 更新対象要素をラッチし、ラッチ後の第 1 更新対象要素を前記第 1 更新回路に出力する第 1 要素ラッチと、

前記第 2 更新動作出力側セレクタから読みだされた前記第 2 更新対象要素をラッチし、ラッチ後の第 2 更新対象要素を前記第 2 更新回路に出力する第 2 要素ラッチと、

前記更新用アドレスデコーダから前記更新アドレス信号を受けてラッチし、ラッチ後の更新アドレス信号を前記第 1 更新動作入力側セレクタ及び前記入力側反転アドレス信号生成部に出力するアドレスラッチと

を更に備えており、

前記第 1 要素ラッチ、前記第 2 要素ラッチ及び前記アドレスラッチにより、前記フィルタ出力  $y(k)$  を算出するための出力計算処理と前記正誤差信号  $e(k)$  及び前記負誤差信号  $-e(k)$  に基づいた更新処理とを互いに分離して行えるようにした適応フィルタ。

【請求項 5】

請求項 3 又は請求項 4 記載の適応フィルタであって、

前記アドレスベクトル生成部は、前記入力信号  $s(k)$  の最上位ビットのみを反転して得られる一部反転信号を最下位ビットから処理することにより前記アドレスベクトルを生成するものであり、

前記更新用アドレスベクトル生成部は、前記入力信号  $s(k)$  の最上位ビットのみを反転して得られる一部反転信号を当該最上位ビットから処理することにより前記更新用アドレスベクトルを生成するものである

適応フィルタ。

【請求項 6】

請求項 2 乃至請求項 5 のいずれかに記載の適応フィルタであって、

前記適応関数空間回路は、複数の適応関数空間モジュールとバイナリツリー加算器とから構成されるものであり、

前記適応関数空間モジュールの夫々は、前記複数のラッチ素子と、前記出力計算用出力側セレクタと、前記第 1 更新動作出力側セレクタ及び前記第 1 更新動作入力側セレクタと、前記第 2 更新動作出力側セレクタ及び前記第 2 更新動作入力側セレクタとを備えており、

前記バイナリツリー加算器は、前記複数の適応関数空間モジュールの前記出力計算用出力側セレクタからの出力を受けて前記部分積を出力するものである

適応フィルタ。

【請求項 7】

請求項 1 記載の適応フィルタであって、

前記入力レジスタは、前記入力信号  $s(k)$  を受けて、該入力信号  $s(k)$  の最上位ビットのみを反転して得られる信号から前記アドレスベクトルを生成する

適応フィルタ。

【請求項 8】

2 の補数形式にて表現された入力信号  $s(k)$  に対して、所望信号  $d(k)$  に基づいて適応的に変化させたフィルタ係数を乗算して得られるようなフィルタ出力  $y(k)$  を出力する適応フィルタであって部分積を格納した適応関数空間を利用して分散演算することにより乗算することなく加算のみで前記フィルタ出力  $y(k)$  を出力する適応フィルタにおいて、

所望信号  $d(k)$  とフィルタ出力  $y(k)$  との差分から得られる相補信号に基づいて適

10

20

30

40

50

応関数空間に格納されている 2 組の要素であって対応するアドレスがビット反転の関係にある 2 組の要素を更新することにより、収束速度の向上が図られた適応フィルタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、分散演算処理に基づくことにより乗算器を用いずに構成された適応フィルタに関する。

【背景技術】

【0002】

この種の適応フィルタは、例えば、非特許文献 1 及び非特許文献 2 に開示されている。

10

【0003】

非特許文献 1 は、入力信号の表現形式を 2 の補数形式とすることで推定精度及び収束速度の大幅に改善された適応フィルタについて開示している。また、非特許文献 1 には、分散演算処理に用いられる複数の部分積から構成される適応関数空間を複数に分割することにより（マルチメモリブロック構造）、収束速度の更なる向上を図ると共に低消費電力化及び低ハードウェア量化を達成してなる適応フィルタについても開示している。

【0004】

非特許文献 2 は、2 の補数形式表現の入力信号を処理する適応フィルタの適応関数空間に準奇対称性が成立することを見出し、その準奇対称性を利用して、前述の非特許文献 1 に開示された適応フィルタを改善してなるものである。ここで、準奇対称性とは、ビット反転の関係にあるアドレスで指定される部分積が互いに異符号であり且つ近似的に等しい絶対値を有することをいう。準奇対称性を利用すると、適応関数空間の領域を約半分にする一方で収束速度の向上を図ることができる。

20

【先行技術文献】

【非特許文献】

【0005】

【非特許文献 1】恒川佳隆、高橋強、豊田真嗣、三浦守、「分散演算によるマルチプライヤレス LMS 適応フィルタの高性能 VLSI アーキテクチャ」、電子情報通信学会論文誌 A、Vol. J82-A, No. 10, pp. 1518~1528, 1999 年 10 月

【非特許文献 2】高橋強、恒川佳隆、豊田真嗣、三浦守、「ハーフメモリアルゴリズムに基づく分散演算形 LMS 適応フィルタの高性能アーキテクチャ」、電子情報通信学会論文誌 A、Vol. J84-A, No. 6, pp. 777~787, 2001 年 6 月

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、上述した準奇対称性を前述の非特許文献 2 とは若干異なるアプローチで利用することにより、非特許文献 2 の適応フィルタと比較して更に収束速度の向上を図ることのできる適応フィルタを提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明によれば、第 1 の適応フィルタとして、

2 の補数形式にて表現された入力信号  $s(k)$  を受けてアドレスベクトルを出力するアドレスベクトル生成部を有する入力レジスタと、

複数の部分積を格納すると共に前記アドレスベクトルで指定された部分積を出力する適応関数空間回路であって、誤差信号に基づいて対応する部分積を更新する機能を有する適応関数空間回路と、

前記適応関数空間回路から出力された部分積をシフト加算してフィルタ出力  $y(k)$  として出力するシフト加算器と、

前記誤差信号を所望信号  $d(k)$  と前記フィルタ出力  $y(k)$  とから生成し前記適応関数空間回路に出力する誤差信号出力回路と

40

50

を備える適応フィルタであって、

前記誤差信号出力回路は、前記所望信号  $d(k)$  と前記フィルタ出力  $y(k)$  の差分である正誤差信号  $e(k)$  と当該正誤差信号  $e(k)$  の反転信号である負誤差信号  $-e(k)$  の二種類の前記誤差信号を生成して、前記適応関数空間回路に出力するものであり、

前記適応関数空間回路は、前記正誤差信号  $e(k)$  を受けて、前記部分積のうちの第 1 更新対象要素を更新すると共に、前記負誤差信号  $-e(k)$  を受けて、前記部分積のうち前記第 1 更新対象要素に対応するアドレスベクトルとビット反転の関係にあるアドレスベクトルにて指定されうる第 2 更新対象要素を更新する適応フィルタが得られる。

【0008】

10

本発明によれば、第 2 の適応フィルタとして、第 1 の適応フィルタであって、

前記適応関数空間回路は、

前記アドレスベクトルを受けてアドレス信号を生成するアドレスデコーダと、

前記部分積の一部を夫々格納するための複数のラッチ素子と、

アドレス信号に従って、前記ラッチ素子に格納されているデータを選択的に出力する出力計算用出力側セクタと、

前記第 1 更新対象要素に対する読み出し及び書き込みを可能とする第 1 更新動作出力側セクタ及び第 1 更新動作入力側セクタと

前記第 2 更新対象要素に対する読み出し及び書き込みを可能とする第 2 更新動作出力側セクタ及び第 2 更新動作入力側セクタと

20

を備えており、2 以上の前記ラッチ素子に対して同時に読み出し／書き込み可能となるように構成されている

適応フィルタが得られる。

【0009】

本発明によれば、第 3 の適応フィルタとして、第 2 の適応フィルタであって、

前記入力レジスタは、前記入力信号  $s(k)$  を受けて、更新用アドレスベクトルを生成する更新用アドレスベクトル生成部を更に有しており、

前記適応関数空間回路は：

前記更新用アドレスベクトルを受けて更新アドレス信号を生成して、前記第 1 更新動作出力側セクタと前記第 1 更新動作入力側セクタとに出力する更新用アドレスデコーダと；

30

前記更新アドレス信号を反転して更新用出力側反転アドレス信号を生成して、前記第 2 更新動作出力側セクタに出力する出力側反転アドレス信号生成部と；

前記更新アドレス信号を反転して更新用入力側反転アドレス信号を生成して、前記第 2 更新動作入力側セクタに出力する入力側反転アドレス信号生成部と；

前記第 1 更新動作出力側セクタから読みだされた前記第 1 更新対象要素と前記正誤差信号  $e(k)$  とから更新値を算出して前記第 1 更新動作入力側セクタを介して前記第 1 更新対象要素の更新を行う第 1 更新回路と；

前記第 2 更新動作出力側セクタから読みだされた前記第 2 更新対象要素と前記負誤差信号  $-e(k)$  とから更新値を算出して前記第 2 更新動作入力側セクタを介して前記第 2 更新対象要素の更新を行う第 2 更新回路と；

40

を更に備えている、

適応フィルタが得られる。

【0010】

本発明によれば、第 4 の適応フィルタとして、第 3 の適応フィルタであって、

前記適応関数空間回路は、

前記第 1 更新動作出力側セクタから読みだされた前記第 1 更新対象要素をラッチし、ラッチ後の第 1 更新対象要素を前記第 1 更新回路に出力する第 1 要素ラッチと、

前記第 2 更新動作出力側セクタから読みだされた前記第 2 更新対象要素をラッチし、ラッチ後の第 2 更新対象要素を前記第 2 更新回路に出力する第 2 要素ラッチと、

50

前記更新用アドレスデコーダから前記更新アドレス信号を受けてラッチし、ラッチ後の更新アドレス信号を前記第 1 更新動作入力側セクタ及び前記入力側反転アドレス信号生成部に出力するアドレスラッチと  
を更に備えており、

前記第 1 要素ラッチ、前記第 2 要素ラッチ及び前記アドレスラッチにより、前記フィルタ出力  $y(k)$  を算出するための出力計算処理と前記正誤差信号  $e(k)$  及び前記負誤差信号  $-e(k)$  に基づいた更新処理とを互いに分離して行えるようにした適応フィルタが得られる。

【0011】

本発明によれば、第 5 の適応フィルタとして、第 3 又は第 4 の適応フィルタであって、前記アドレスベクトル生成部は、前記入力信号  $s(k)$  の最上位ビットのみを反転して得られる一部反転信号を最下位ビットから処理することにより前記アドレスベクトルを生成するものであり、

前記更新用アドレスベクトル生成部は、前記入力信号  $s(k)$  の最上位ビットのみを反転して得られる一部反転信号を当該最上位ビットから処理することにより前記更新用アドレスベクトルを生成するものである  
適応フィルタが得られる。

【0012】

本発明によれば、第 6 の適応フィルタとして、第 2 乃至第 5 のいずれかの適応フィルタであって、

前記適応関数空間回路は、複数の適応関数空間モジュールとバイナリツリー加算器とから構成されるものであり、

前記適応関数空間モジュールの夫々は、前記複数のラッチ素子と、前記出力計算用出力側セクタと、前記第 1 更新動作出力側セクタ及び前記第 1 更新動作入力側セクタと、前記第 2 更新動作出力側セクタ及び前記第 2 更新動作入力側セクタとを備えており、

前記バイナリツリー加算器は、前記複数の適応関数空間モジュールの前記出力計算用出力側セクタからの出力を受けて前記部分積を出力するものである  
適応フィルタが得られる。

【0013】

本発明によれば、第 7 の適応フィルタとして、第 1 の適応フィルタであって、

前記入力レジスタは、前記入力信号  $s(k)$  を受けて、該入力信号  $s(k)$  の最上位ビットのみを反転して得られる信号から前記アドレスベクトルを生成する  
適応フィルタが得られる。

【0014】

本発明によれば、第 8 の適応フィルタとして、

2 の補数形式にて表現された入力信号  $s(k)$  に対して、所望信号  $d(k)$  に基づいて適応的に変化させたフィルタ係数を乗算して得られるようなフィルタ出力  $y(k)$  を出力する適応フィルタであって部分積を格納した適応関数空間を利用して分散演算することにより乗算することなく加算のみで前記フィルタ出力  $y(k)$  を出力する適応フィルタにおいて、

所望信号  $d(k)$  とフィルタ出力  $y(k)$  との差分から得られる相補信号に基づいて適応関数空間に格納されている 2 組の要素であって対応するアドレスがビット反転の関係にある 2 組の要素を更新することにより、収束速度の向上が図られた適応フィルタが得られる。

【発明の効果】

【0015】

本発明によれば、従来の更新処理に用いられていた(正)誤差信号  $e(k)$  に加えてその反転信号である負誤差信号  $-e(k)$  を生成し、それらを用いて準奇対称の関係にある 2 組の要素(部分積)を更新することとしたため、収束速度の向上を図ることができる。

10

20

30

40

50

## 【図面の簡単な説明】

【0016】

【図1】本発明の実施の形態による適応フィルタの構成を示す図である。

【図2】図1の適応フィルタの具体的構成を示す図である。図示された適応フィルタにおいては、適応関数空間が複数に分割されている（マルチメモリブロック構造）。

【図3】図2の適応フィルタにおける入力レジスタの構成を示す図である。

【図4】図2の適応フィルタにおける適応関数空間モジュールの構成を示す図である。

【図5】図2の適応フィルタの動作タイミングチャートである。

## 【発明を実施するための形態】

【0017】

10

本発明の実施の形態による適応フィルタは、図1に示されるように、入力レジスタ100と、適応関数空間回路200と、シフト加算器500と、誤差信号出力回路600とを備えている。

【0018】

入力レジスタ100は、2の補数形式にて表現された入力信号 $s(k)$ を受けて、アドレスベクトルを出力するものである。

【0019】

適応関数空間回路200は、複数の部分積を要素として有する集合である適応関数空間を有している。ここで、N次のアドレスベクトルに対する部分積の総数は $2^N$ 個である。即ち、適応関数空間回路200には、基本的には、N次のアドレスベクトルに対して $2^N$ 個の部分積を有している（後述するように、要素（この場合、部分積）の総数は、適応関数空間を分割することにより、削減することができる：マルチメモリブロック構造）。この適応関数空間回路200は、概略、アドレスベクトルで指定された部分積をシフト加算器500に出力する。この出力された部分積は、シフト加算器500で順次シフト加算され、フィルタ出力 $y(k)$ として出力される。

20

【0020】

誤差信号出力回路600は、所望信号 $d(k)$ とフィルタ出力 $y(k)$ とから誤差信号を生成して適応関数空間回路200に出力するものである。

【0021】

特に、本実施の形態による誤差信号出力回路600は、所望信号 $d(k)$ とフィルタ出力 $y(k)$ の差分である正誤差信号 $e(k)$ と、その反転信号である負誤差信号 $-e(k)$ との二種類の記誤差信号を生成して、適応関数空間回路200に出力する。

30

【0022】

これに関連して、上述した適応関数空間回路200は、正誤差信号 $e(k)$ と負誤差信号 $-e(k)$ 誤差信号に基づいて、対応する部分積を更新する機能が設けられている。詳しくは、適応関数空間回路200は、正誤差信号 $e(k)$ に従って部分積のうちの第1更新対象要素を更新すると共に、負誤差信号 $-e(k)$ に従って部分積のうちの第2更新対象要素を更新する。ここで、第1更新対象要素は、例えば、出力計算に用いられた部分積である。また、第2更新対象要素は、第1更新対象要素と準奇対称性の関係にある部分積である。即ち、第2更新対象要素は、第1更新対象要素に対応するアドレスベクトルとビット反転の関係にあるアドレスベクトルにて指定されうる部分積である。

40

【0023】

このように、本実施の形態においては、通常の更新処理に使用される誤差信号の相補信号である負誤差信号 $-e(k)$ を生成し、それを用いて、通常更新される部分積と準奇対称の関係にある部分積をも更新してしまうことから、収束速度の更なる向上を図ることができる。

【0024】

以下、上述した適応フィルタについて、図2乃至図5を参照して更に具体的に説明する。図2に示される適応フィルタにおいては、上述した準奇対称性を利用した2組の部分積の更新に加えて、マルチブロック構造化や、出力計算と更新処理の並列化、入力信号に対

50

する前処理など、複数の更なる工夫が盛り込まれている。以下、これらについても併せて説明する。

【0025】

図2及び図3を参照すると、本実施の形態による入力レジスタ100は、入力信号 $s(k)$ を受けて出力計算用のアドレスベクトルを生成するアドレスベクトル生成部110と、入力信号 $s(k)$ を受けて更新用アドレスベクトルを生成する更新用アドレスベクトル生成部120とを有している。

【0026】

アドレスベクトル生成部110及び更新用アドレスベクトル生成部120は、いずれも複数のタップを有するシフトレジスタで構成されている。各タップの出力は、後述する適応関数空間回路200内の対応する適応関数空間モジュール( $AFSM_0 \sim AFSM_{M-1}$ )300に出力される。ここで、入力信号 $s(k)$ が2の補数形式で表現されていることから、MSBに関する重みづけのみ他のビットの重みづけと符号が異なっている。そのため、通常は、MSBのアドレスベクトルに対応する要素を反転するという例外処理をした後に、他のビットに関連する部分積とシフト加算している。ここで、準奇対称性を考慮すると、MSBのベクトルにより読みだした要素に対して負数をとったものは、MSBを反転して得られるベクトルにより読みだした要素と少なくとも近似している関係にある。本実施の形態においては、この関係を利用して、MSBのみインバータを介してシフトレジスタに入力することとし、部分積をシフト加算する際における例外処理を削減することとした。通常、例外処理を含めてサンプリングレートが決定されていることを考慮すれば明らかなように、本実施の形態によれば、サンプリングレートの向上を図ることができる。また、出力滞在時間を短縮することができる。

【0027】

更に、本実施の形態によるアドレスベクトル生成部110は、桁落ちを防ぐために通常通りLSBから処理するように構成されている一方、更新用アドレスベクトル生成部120は、MSBから処理するように構成されている。換言すると、本実施の形態においては、出力計算については重みの小さいアドレスベクトルから処理を始めるのに対して、更新処理については重みの大きいアドレスベクトルから処理を始めることとしている。これは、繰り返し試作確認等したところ、更新用アドレスベクトル生成部120の場合には、MSBから処理しないと収束速度が著しく劣ることになってしまうことが明らかになったためである。換言すると、本実施の形態による更新用アドレスベクトル生成部120によれば、例えば、出力計算用のアドレスベクトルをそのまま更新処理に利用した場合と比較して、収束速度の更なる向上を図ることができる。

【0028】

図2を参照すると、本実施の形態による適応関数空間回路200は、上述したように、適応関数空間を複数に分割してマルチメモリブロック構造化されたものであり(分割数は $M$ )、 $M$ 個の適応関数空間モジュール300と、その出力を加算して、部分積として出力するバイナリツリー加算器400とを備えている。ここで、バイナリツリー加算器400は、その名の通り、バイナリツリー状に加算器を多段接続してなるものである。

【0029】

本実施の形態のように、適応関数空間を複数に分割すると、例えば、 $2^N$ ( $N$ は入力ベクトルの次数)個必要であった要素の数を $M \times 2^R$ 個( $R$ はアドレス線の数:後述するアドレスデコーダの入力数)に減らすことができ、それによって、各要素の更新確率を向上させて収束速度の更なる向上を図ることができる。

【0030】

詳しくは、各適応関数空間モジュール300は、図4に示されるように、アドレスデコーダ301と、更新用アドレスデコーダ303と、複数のラッチ素子305と、出力計算用出力側セクタ307と、第1更新動作出力側セクタ309と、第2更新動作出力側セクタ311と、第1更新動作入力側セクタ313と、第2更新動作入力側セクタ315と、出力側反転アドレス信号生成部317と、アドレスラッチ319と、

10

20

30

40

50



入力側反転アドレス信号生成部 3 2 1 と、第 1 要素ラッチ 3 2 3 と、第 1 更新回路 3 2 5 と、第 2 要素ラッチ 3 2 7 と、第 2 更新回路 3 2 9 とを備えている。

【 0 0 3 1 】

アドレスデコーダ 3 0 1 は、アドレスベクトル生成部 1 1 0 からアドレスベクトルを受けて、アドレス信号を生成するものであり、一方、更新用アドレスデコーダ 3 0 3 は、更新用アドレスベクトル生成部 1 2 0 から更新用アドレスベクトルを受けて更新アドレス信号を生成するものである。アドレスデコーダ 3 0 1 から出力されたアドレス信号は、出力計算用出力側セレクタ 3 0 7 に入力され、対応するラッチ素子 3 0 5 に格納されている情報が読みだされ、バイナリツリー加算器 4 0 0 に出力される（図 2 参照）。一方、更新アドレス信号は、第 1 更新動作出力側セレクタ 3 0 9 に入力されると共に出力側反転アドレス信号生成部 3 1 7 により反転されて第 2 更新動作出力側セレクタ 3 1 1 に入力される。このようにして、更新処理用の要素として、準奇対称の関係にある（対応するアドレスがビット反転の関係にある）要素が読みだされる。具体的には、更新アドレス信号が第 1 更新動作出力側セレクタ 3 0 9 に入力されることにより、第 1 更新対象要素が読みだされる一方、第 2 更新動作出力側セレクタ 3 1 1 に更新アドレス信号の反転信号が入力されることにより、第 1 更新対象要素と準奇対称の関係にある第 2 更新対象要素が読みだされる。これらは、夫々、第 1 要素ラッチ 3 2 3 及び第 2 要素ラッチ 2 3 7 に保持される。

10

【 0 0 3 2 】

ここで、更新用アドレスデコーダ 3 0 3 から出力された更新アドレス信号は、アドレスラッチ 3 1 9 にも保持されている。アドレスラッチ 3 1 9 に保持された更新アドレス信号は、第 1 更新動作入力側セレクタ 3 1 3 に入力される一方、入力側反転アドレス信号生成部 3 2 1 により反転された後、第 2 更新動作入力側セレクタ 3 1 5 に入力される。

20

【 0 0 3 3 】

第 1 更新回路 3 2 5 は、第 1 要素ラッチ 3 2 3 に保持されている第 1 更新対象要素と正誤差信号  $e(k)$  とを用いて所定の更新式に従った更新値を算出する。この更新値は、第 1 更新動作入力側セレクタ 3 1 3 により選択されたアドレスのラッチ素子 3 0 5 に対して書き込まれ、このようにして第 1 更新対象要素の更新が行われる。

【 0 0 3 4 】

同様に、第 2 更新回路 3 2 9 は、第 2 要素ラッチ 3 2 7 に保持されている第 2 更新対象要素と負誤差信号  $-e(k)$  とを用いて所定の更新式に従った更新値を算出する。この更新値は、第 2 更新動作入力側セレクタ 3 1 5 により選択されたアドレスのラッチ素子 3 0 5 に対して書き込まれ、このようにして第 2 更新対象要素の更新が行われる。

30

【 0 0 3 5 】

ここで、本実施の形態においては、アドレスラッチ 3 1 9、第 1 要素ラッチ 3 2 3 及び第 2 要素ラッチ 3 2 7 の 3 つのラッチを設けていることから、出力計算は現在指定されたアドレスに従って処理されているが、更新処理は直前に指定されたアドレスに従って且つ直前の出力結果から得られた誤差信号に基づいて行われている。即ち、本実施の形態によれば、出力計算と更新処理とを分離することができ、図 5 に示されるように、両者を並列して処理することができる。これにより、出力計算と更新処理とをシリアルに処理していた場合と比較して、サンプリングレートの劇的な向上を図ることができる。

40

【 0 0 3 6 】

以上、本発明について具体的な構成を掲げて説明してきたが本発明はこれに限定されるものではない。例えば、上述した実施の形態においては、複数の要素に対して同時に書き込み・読み出しを可能とするため、複数のラッチ 3 0 5 と各種セレクタ（3 0 7、3 0 9、3 1 1、3 1 3、3 1 5）とで実質的な適応関数空間を構成していたが、例えば、従来の適応フィルタと同様の読み出し・書き込み能力で十分であれば、RAMなどで適応関数空間を構成することとしてもよい。

【 符号の説明 】

【 0 0 3 7 】

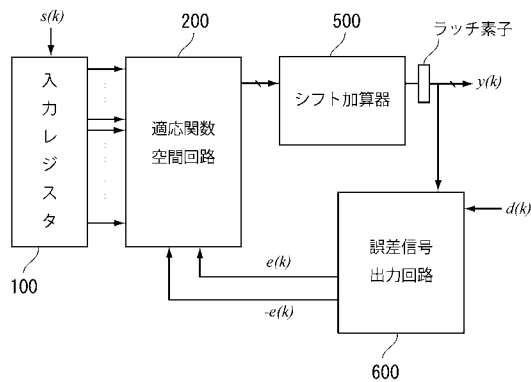
50

- 1 0 0 入力レジスタ
- 1 1 0 アドレスベクトル生成部
- 1 2 0 更新用アドレスベクトル生成部
- 2 0 0 適応関数空間回路
- 3 0 0 適応関数空間モジュール
- 3 0 1 アドレスデコーダ
- 3 0 3 更新用アドレスデコーダ
- 3 0 5 ラッチ素子
- 3 0 7 出力計算用出力側セレクタ
- 3 0 9 第1更新動作出力側セレクタ
- 3 1 1 第2更新動作出力側セレクタ
- 3 1 3 第1更新動作入力側セレクタ
- 3 1 5 第2更新動作入力側セレクタ
- 3 1 7 出力側反転アドレス信号生成部
- 3 1 9 アドレスラッチ
- 3 2 1 入力側反転アドレス信号生成部
- 3 2 3 第1要素ラッチ
- 3 2 5 第1更新回路
- 3 2 7 第2要素ラッチ
- 3 2 9 第2更新回路
- 4 0 0 バイナリツリー加算器
- 5 0 0 シフト加算器
- 6 0 0 誤差信号出力回路

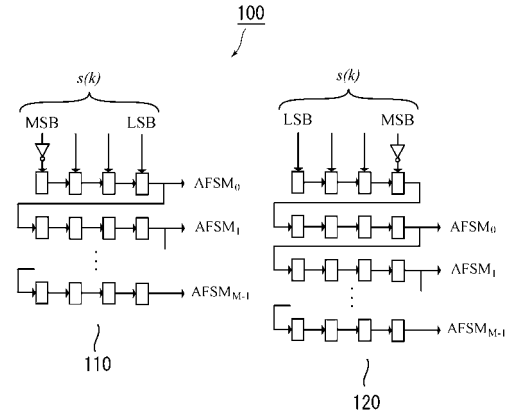
10

20

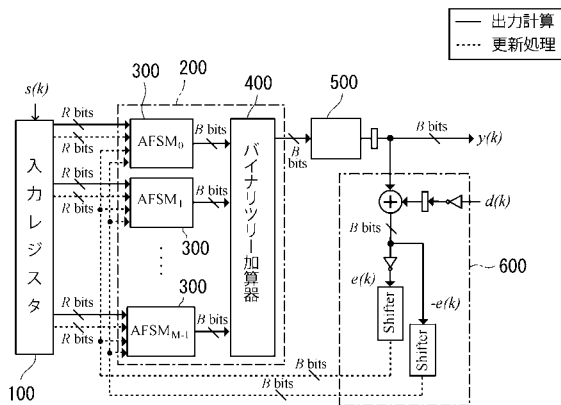
【 図 1 】



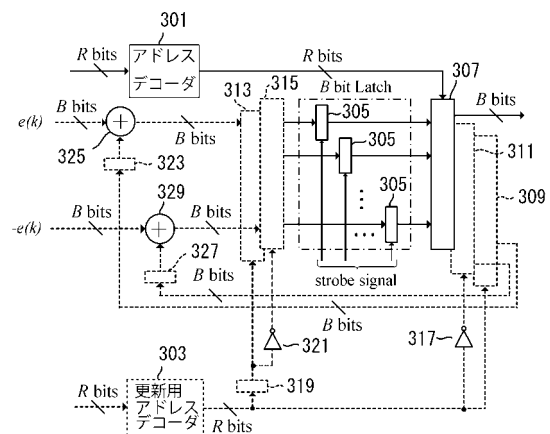
【 図 3 】



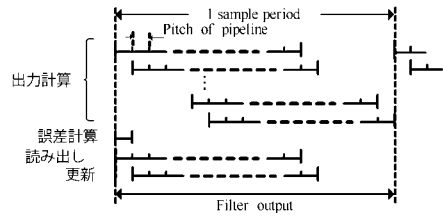
【 図 2 】



【 図 4 】



【 図 5 】



フロントページの続き

(72)発明者 恒川 佳隆

岩手県盛岡市上田三丁目1番8号 国立大学法人岩手大学内

Fターム(参考) 5J023 DC01 DD05 DD07