

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-244365

(P2012-244365A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.			F I			テーマコード (参考)		
H03K	17/08	(2006.01)	H03K	17/08	Z	5H007		
H03K	17/687	(2006.01)	H03K	17/687	Z	5H740		
H02M	1/00	(2007.01)	H02M	1/00	H	5J055		
H02M	7/48	(2007.01)	H02M	7/48	M			

審査請求 未請求 請求項の数 3 O L (全 19 頁)

(21) 出願番号 特願2011-111884 (P2011-111884)
 (22) 出願日 平成23年5月18日 (2011.5.18)

(71) 出願人 504174135
 国立大学法人九州工業大学
 福岡県北九州市戸畑区仙水町1番1号
 (74) 代理人 100099508
 弁理士 加藤 久
 (74) 代理人 100093285
 弁理士 久保山 隆
 (72) 発明者 大村 一郎
 福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内
 (72) 発明者 湯淺 一史
 福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内

最終頁に続く

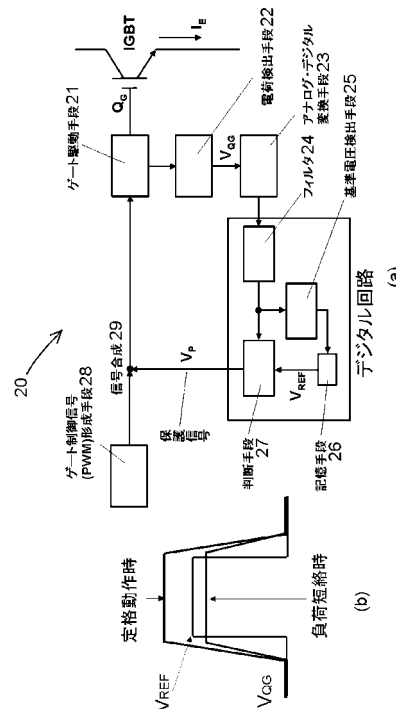
(54) 【発明の名称】 半導体装置の短絡保護装置

(57) 【要約】

【課題】半導体素子、特にIGBTの特性の違いや温度変化があっても、最適なパラメータを自動的に設定することのできる半導体装置の短絡保護装置を提供する。

【解決手段】IGBTのゲート電荷 Q_G に対応する電圧 V_{QG} を検出する電荷検出手段22と、IGBTの定格動作時の入力部の電荷から負荷短絡が発生したかどうかを判断するための基準電圧 V_{REF} を発生する基準電圧発生手段25と、電荷検出手段22で検出された電圧 V_{QG} がIGBTの定格動作時の電荷に対応する電圧か、あるいは負荷短絡時の電荷に対応する電圧かを判断する判断手段27と、判断手段27が短絡状態を検出したときにIGBTを動作停止する信号を出力するゲート駆動手段21とを持つ半導体装置の短絡保護装置において、基準電圧発生手段25に、IGBTの定格動作時の入力部の電荷に対応するゲート電荷電圧 V_{QG} のハイレベルで安定した電圧 V_{PEAK} を検出して記憶する記憶手段26を設ける。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

半導体素子の入力部の電荷に対応する電圧を検出する電荷検出手段と、前記半導体素子の定格動作時の入力部の電荷から負荷短絡が発生したかどうかを判断するための基準電圧を発生する基準電圧発生手段と、前記電荷検出手段で検出された電圧が前記半導体素子の定格動作時のゲート電荷に対応する電圧か、あるいは負荷短絡時のゲート電荷に対応する電圧かを判断する判断手段と、前記判断手段が負荷短絡を検出したときに前記半導体素子を動作停止する信号を出力する半導体素子駆動手段とを持つ半導体装置の短絡保護装置において、

前記基準電圧発生手段に、前記半導体素子の定格動作時における入力部の電荷から負荷短絡が発生したかどうかを判断するための基準電圧を検出して記憶する記憶手段を設けたことを特徴とする半導体装置の短絡保護装置。

10

【請求項 2】

前記電荷検出手段のアナログ出力をデジタル信号に変換するアナログ・デジタル変換手段を設け、前記基準電圧発生手段及び前記判断手段をデジタル化し、前記判断手段からのデジタル出力信号をアナログ信号に変換して前記半導体素子駆動手段に出力するデジタル・アナログ変換手段を有する請求項 1 記載の半導体装置の短絡保護装置。

【請求項 3】

前記半導体素子駆動手段へのアナログ制御信号をデジタル信号に変換する第 2 アナログ・デジタル変換手段と、負荷短絡時における前記判断手段からのデジタル出力信号をトリガーとしてゲート駆動手段に出力する波形をデジタル的な減衰波形に変換する減衰波形形成手段と、前記第 2 アナログ・デジタル変換手段の出力と前記減衰波形形成手段の出力を、定格動作時と負荷短絡時とで選択して前記デジタル・アナログ変換手段に出力するマルチプレクサとをさらに有する請求項 2 記載の半導体装置の短絡保護装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力用半導体装置の短絡保護装置に関するものであって、特に、負荷短絡により生じる大電流から半導体素子を自動的かつ高速に保護し、故障しにくい電力用半導体装置を提供するための保護装置に関する。

30

【背景技術】

【0002】

電力用半導体素子、例えば IGBT (Insulated Gate Bipolar Transistor) は、主にインバータなど電力制御装置に広く使用されている。

IGBT に接続された負荷が短絡すると、IGBT チップ 1 cm^2 あたり 1000 A 以上の大きな電流が流れ、チップの温度が $1\text{ }\mu\text{秒}$ で 300 K ほど、急激に上昇し、IGBT は破壊する。このような破壊を防ぐために高速な保護が必要となる。

【0003】

図 18 に従来 of 負荷短絡保護装置の例を示す。

従来 of 負荷短絡保護装置に使用される IGBT では、チップ上で IGBT の主エミッタからエミッタを分離した面積の小さいセンスエミッタが設けられている (例えば、特許文献 1 参照)。センスエミッタにはセンス抵抗 R_s を介して主エミッタと接続されており、センス抵抗 R_s での電圧降下が制御回路に出力されている。

40

【0004】

従来 of 負荷短絡保護方法は、IGBT のエミッタ電流 I_E が流れる経路から 1000 分の 1 程度、センスエミッタに電流を取り出して、センス抵抗 R_s で電圧降下を検知する。IGBT が定格動作時には大電流は流れないので、センス抵抗 R_s での電圧降下は小さくなり負荷短絡と判断しない。一方、負荷短絡時には、大きな電流が IGBT に流れ、その結果センスエミッタにも比例して大きな電流が流れ、センス抵抗 R_s での電圧降下が増加する。そこで、制御回路により電圧降下の増加を検知し、負荷短絡と判断すると、IGBT

50

Tのゲート電圧を減少させてIGBTに流れるエミッタ電流 I_E を減少させる。

【0005】

上述した従来の負荷短絡保護方法では、以下のような問題がある。

(1) エミッタ電流 I_E は、負荷短絡時に 1 cm^2 あたり 1000 A 以上の大電流が流れるので、分流したセンスエミッタに流れる電流にノイズがのりやすく、ノイズによる誤動作を防ぐために制御回路が負荷短絡の判断を行うのに時間がかかる。すなわち、ノイズを除去するためにフィルタを通す必要があるが、フィルタによるノイズ除去に時間がかかる(時間遅れが生じる)ため、短絡保護の高速化が難しい。

(2) IGBTはチップの小型化、薄型化、大容量化が進められており、今後チップの熱容量が下がる一方でチップに流れる電流密度が増加する。それにつれて、負荷短絡時のチップの温度上昇の速度が速くなり、さらに高速な短絡保護が必要となるが、従来の保護方法では高速化が困難である。

10

【0006】

図19に、前述したIGBTが定格動作時、及び負荷短絡時におけるゲート電荷 Q_G の変化を示す。図示する結果は、耐圧が 600 V のIGBTを用いて、コレクタ・エミッタ間電圧 V_{CE} が 100 V の条件下で行われたものである。

【0007】

図示するように、パワー半導体(電力用半導体装置)、例えばIGBTに接続されている負荷が短絡を生じた際に、ゲート電荷 Q_G が定格動作時より減少する。これはMOSゲート素子のミラー効果、及びネガティブゲートキャパシタンスによるものであり、負荷短絡時にゲート電荷 Q_G が減少する特性はどのMOSゲート素子においても共通である。

20

【0008】

図20に負荷短絡保護装置の概略及びその動作条件の図を、図21に図20の負荷短絡保護装置の詳細を示す。

【0009】

図20(a)に示すように、この負荷短絡保護装置は、ゲート駆動手段51、電荷検出手段52、基準電圧発生手段53、判断手段54などの機能により構成される。

【0010】

図21に示すように、ゲート駆動手段51は、ゲート制御信号(PWM)形成手段55が発生したパルス信号の電圧や電流を増幅してIGBTのMOSゲートに伝達する手段であり、電圧増幅のためのアンプAMPと電流増幅のためのトランジスタ Tr_1 、 Tr_2 からなるゲートドライブ回路で構成される手段である。

30

【0011】

電荷検出手段52は例えばトランジスタ $Tr_3 \sim Tr_6$ および抵抗 $R_3 \sim R_6$ からなるカレントミラー回路、及びキャパシタ C_M と抵抗 R_{QG} を使用した積分回路により構成される手段である。カレントミラー回路は、IGBTのエミッタ電流 I_E が流れる経路と負荷短絡判断を行う制御回路とを分離する目的で、IGBTのゲートに流れる電流 I_G と、電荷検出手段に流れる電流 I_G^* を等しく出力するために用いられる。

【0012】

電荷は電流の時間積分により求められることから、IGBTのゲート電荷 Q_G は電荷検出手段52に流れる電流 I_G^* を測定することで求められる。IGBTのゲート電荷 Q_G の変化を検知するために、キャパシタ C_M に蓄積される電荷がゲート電荷 Q_G と等しいことを用いて、電流 I_G^* をゲート電荷電圧 V_{QG} に変換し、ゲート電荷 Q_G の変化を検知する。

40

【0013】

基準電圧発生手段53は、IGBTの特性を考慮して、定格動作時及び負荷短絡時それぞれのゲート電荷電圧 V_{QG} の間の値で、誤作動を生じない程度で高速に負荷短絡の判断をするための基準電圧 V_{REF} を発生する手段である。

【0014】

判断手段54はゲート電荷電圧 V_{QG} と基準電圧 V_{REF} との大小を比較して負荷短絡の判断を行う手段である。

50

【 0 0 1 5 】

定格動作時には、図 2 0 (b) に示すように基準電圧 V_{REF} よりもゲート電荷電圧 V_{QG} が大きくなっており、保護信号を出力しない状態にしておく。

【 0 0 1 6 】

負荷短絡時には、図 2 0 (c) に示すようにゲート電荷 Q_G の減少に伴いゲート電荷電圧 V_{QG} も減少して、基準電圧 V_{REF} よりもゲート電荷電圧 V_{QG} が小さくなる。ゲート電荷電圧 V_{QG} と基準電圧 V_{REF} の大小が逆転すると、判断手段 5 4 が負荷短絡状態であると判断して保護信号を出力する。保護信号が出力されると、ゲート駆動手段 5 1 への ON 信号が遮断され、IGBT への入力が OFF 信号となることで IGBT をターンオフさせ、エミッタ電流 I_E を遮断する。

10

このような保護方法は既に公知であり、例えば特許文献 2 に開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 7 】

【 特許文献 1 】 特開 2 0 0 1 - 2 1 1 0 5 9 号公報

【 特許文献 2 】 特開 2 0 0 3 - 1 8 8 3 8 2 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 8 】

上述したように、特許文献 2 において開示された短絡保護装置を用いると、ゲート電荷 Q_G の変化の検知を行うので、保護速度はセンス IGBT を用いた保護よりも速くなる。その一方で基準電圧 V_{REF} などのパラメータ（抵抗やコンデンサ等の値や、利用するトランジスタなどの大きさや特性）の変更に手間がかかる、多機能を持たせようとする回路の規模が大きくなる、温度の変化により部品の性能が変化し、負荷短絡状態かどうかの判断条件に影響が出る、などの問題が生じる。また、利用する IGBT の設計や耐圧、電流容量などの違いにより、回路のパラメータの設計を変える必要があり、煩雑さが増し量産に向いていない。

20

【 0 0 1 9 】

そこで本発明は、これらの実情を考慮してなされたもので、半導体素子、特に IGBT の特性の違いや温度変化があっても、最適なパラメータを自動的に設定することのできる半導体装置の短絡保護装置を提供することを目的とする。

30

【 課題を解決するための手段 】

【 0 0 2 0 】

前記課題を解決するため、本発明の第 1 の構成は、半導体素子の入力部の電荷に対応する電圧を検出する電荷検出手段と、前記半導体素子の定格動作時における入力部の電荷から負荷短絡を判断する基準電圧を発生する基準電圧発生手段と、前記電荷検出手段で検出された電圧が前記半導体素子の定格動作時のゲート電荷に対応する電圧か、あるいは負荷短絡時のゲート電荷に対応する電圧かを判断する判断手段と、前記判断手段が負荷短絡を検出したときに前記半導体素子を動作停止する信号を出力する半導体素子駆動手段とを持つ半導体装置の短絡保護装置において、前記基準電圧発生手段に、前記半導体素子の動作中の定格動作時における入力部の電荷から負荷短絡を判断する基準電圧を検出して記憶する基準電圧記憶手段を設けたことを特徴とする。

40

【 0 0 2 1 】

また、本発明の第 2 の構成は、第 1 の構成において、前記電荷検出手段のアナログ出力をデジタル信号に変換するアナログ・デジタル変換手段を設け、前記基準電圧発生手段及び前記判断手段をデジタル化し、前記判断手段からのデジタル出力信号をアナログ信号に変換して前記半導体素子駆動手段に出力するデジタル・アナログ変換手段を有することを特徴とする。

【 0 0 2 2 】

本発明の第 3 の構成は、第 2 の構成において、前記半導体素子駆動手段へのゲート制御

50

信号をデジタル信号に変換する第2アナログ・デジタル変換手段と、負荷短絡時における前記判断手段からのデジタル出力信号をトリガーとして、ゲート駆動手段に出力する波形をデジタル的な減衰波形に変換する減衰波形形成手段と、前記第2アナログ・デジタル変換手段の出力と前記減衰波形形成手段の出力を、定格動作時と負荷短絡時とで選択して前記デジタル・アナログ変換手段に出力するマルチプレクサとをさらに有することを特徴とする。

【発明の効果】

【0023】

本発明によれば、基準電圧発生手段に、半導体素子の定格動作時における入力部の電荷から負荷短絡を判断する基準電圧を検出して記憶する基準電圧記憶手段を設けたことにより、半導体素子（IGBT）の特性の違いや温度変化があっても、最適なパラメータを自動的に設定することができる。また、判断部分にデジタル処理を用いることで、高速化が可能となる。

10

【図面の簡単な説明】

【0024】

【図1】本発明の半導体装置の短絡保護装置の基本的構成を示すブロック図および波形図である。

【図2】図1に示すブロックにおける定格状態の動作波形図である。

【図3】図1に示すブロックにおける負荷短絡状態の動作波形図である。

【図4】短絡保護までにかかる時間のタイムチャートである。

20

【図5】本発明の実施の形態に係るデジタル回路を用いた短絡保護装置の概略及び動作条件の説明図である。

【図6】本発明の実施の形態におけるANDの論理素子の概要、及び信号合成の概要を示す説明図である。

【図7】本発明の実施の形態における信号合成の機能をデジタル回路に組み込んだ短絡保護装置の概要を示すブロック図である。

【図8】本発明の実施の形態に係る複数の手段を1つの半導体チップ上に載せた短絡保護装置の説明図である。

【図9】本発明の実施の形態に係る複数の手段を1つの半導体チップ上に載せた短絡保護装置の説明図である。

30

【図10】本発明の実施の形態に係る複数の手段を1つの半導体チップ上に載せた短絡保護装置の説明図である。

【図11】本発明の実施の形態に係る複数の手段を1つの半導体チップ上に載せた短絡保護装置の説明図である。

【図12】本発明の実施の形態に係る短絡保護装置の構成を示すブロック図である。

【図13】本発明の実施の形態に係る短絡保護装置の構成を示すブロック図である。

【図14】本発明の実施の形態に係る短絡保護装置の構成を示すブロック図である。

【図15】本発明の実施の形態に係る短絡保護装置の構成を示すブロック図である。

【図16】本発明の実施の形態に係る短絡保護装置の構成を示すブロック図である。

【図17】本発明の実施の形態に係る短絡保護装置の動作を示すフローチャートである。

40

【図18】従来のセンスIGBTを用いた短絡保護装置の説明図である。

【図19】従来の短絡保護装置におけるゲート電圧とゲート電荷の関係図である。

【図20】従来のアナログ回路を用いた短絡保護装置の回路図と動作条件を示す図である。

。

【図21】従来のアナログ回路を用いた短絡保護装置の回路図である。

【発明を実施するための形態】

【0025】

本発明は負荷短絡時にIGBTのゲート電荷 Q_g が定格動作時よりも減少することに基づいてなされている。即ち、本発明の要点はIGBTのゲート電荷 Q_g の変化を検知することにより、従来の保護方法よりも高速化することにある。

50

【 0 0 2 6 】

図 1 に、デジタル回路を用いて実際に実験を行った第 1 の実施の形態に係る負荷短絡保護装置の概略及びその動作条件を示す。本例では、電力用半導体素子として I G B T を用いた例を示している。

【 0 0 2 7 】

この負荷短絡保護装置 1 は、ゲート駆動回路 2、ゲート電荷測定回路 3、A / D コンバータ 4、デジタルフィルタ 5、ピーク検出器 6、コンパレータ 7、パルス発生器 8、ゲートオフ電圧 9、ゲートコントローラ 10、D / A コンバータ 11 から構成される。

【 0 0 2 8 】

ゲート駆動回路 2 は、図 2 1 に記載された従来例と同様にゲート制御信号 (P W M) 形成手段が発生したパルス信号の電圧や電流を増幅して I G B T の M O S ゲートに伝達する回路である。この回路は、電圧増幅のためのアンプと電流増幅のためのゲートドライブ回路で構成される回路である。

10

【 0 0 2 9 】

ゲート電荷測定回路 3 は、図 2 1 の回路と同様に、負荷短絡時に 1 0 0 0 A 以上の値に達するエミッタ電流 I_E が流れる経路と負荷短絡判断を行う制御回路とを分離する目的で、ゲート電荷を検出する回路をゲート駆動回路 2 に組み込む機能を有する。すなわち I G B T のゲートに流れる電流 I_G と、電荷検出手段に流れる電流 I_G^* を等しく出力する回路として、カレントミラー回路、及びキャパシタと抵抗を使用した積分回路により構成される。ゲート電荷を検出する回路はこの回路以外にも考えられ、この回路方式に限定するものではない。たとえば、半導体回路上に磁氣的に電流をセンスする部品を集積化する回路や、ゲートを電荷で駆動し、電荷をデジタル的に制御できる回路などは、その例である。

20

【 0 0 3 0 】

A / D コンバータ 4 はゲート電荷電圧 V_{OG} のデジタル信号化を行う。本実施の形態では、A / D コンバータ 4 を 6 0 M H z で動作させた。

理由として、前述したように I G B T に流す電流の高密度化により、I G B T の保護に必要とされる速度が高速化されており、1 μ 秒以下での保護が必要とされている。この値から保護に必要な速度として 1 M H z 以上と算出されるが、実際に保護をかけるとすると、A / D 変換に必要なクロック数などを考えるとこの値の 1 0 倍の 1 0 M H z 以上が必要とされる。

30

上記の理由から、第 1 の実施の形態では、十分な負荷短絡保護の速度を得るために 6 0 M H z で A / D コンバータ 4 を動作させた。

【 0 0 3 1 】

デジタル化された信号をデジタル回路 (F P G A (Field-Programmable Gate Array) などを使用) に入力して負荷短絡保護のための信号処理を行う。第 1 の実施の形態では、デジタル回路は、3 2 M H z で動作させた。

理由として、上記の A / D コンバータ 4 のパラメータを決定する理由と同様に、十分な速度 (1 0 M H z 以上) でのプログラム処理能力が必要とされるからである。

【 0 0 3 2 】

デジタルフィルタ 5 は、デジタル化された入力信号のノイズを除去し、信号のバラツキを減少させてプログラムの誤動作を防ぐことにより高信頼性を実現する。本実施の形態では 1 5 0 k H z 以上の周波数のノイズ除去を行った。

40

【 0 0 3 3 】

デジタルフィルタ 5 の種類として、移動平均の各要素に重み付けのパラメータを追加した F I R (Finite Impulse Response) フィルタ、あるいはフィードバックを取り入れて希望するフィルタ特性を得る I I R (Infinite Impulse Response) フィルタが挙げられる。I I R フィルタは構成が複雑であるが、デジタル回路の使用するゲート数が少ない。一方で、F I R フィルタは構成が簡易であるが、デジタル回路の使用するゲート数が多い。

【 0 0 3 4 】

50

第1の実施の形態では、通常、デジタル回路のゲート数は十分に多く（40万ゲート）、設計に必要な係数の数が少なく、設計に要する時間も短縮できるためフィルタの構成が簡易なFIRフィルタ（1万ゲート）を用いた。

【0035】

ピーク検出器6を用いて、デジタルフィルタ5から出力される定格動作時のゲート電荷電圧 V_{QG} の波形のハイレベルで安定した電圧 V_{PEAK} を検出する。検出した値から負荷短絡が生じたかどうかを判断するための基準電圧 V_{REF} を生成して記憶する。

【0036】

基準電圧 V_{REF} の生成の方法は、図1(b)に示すように、検出したゲート電荷電圧 V_{QG} の波形のハイレベルで安定した電圧 V_{PEAK} からある一定の値を自動的に引いて生成する。この差し引く値は、ノイズによる誤動作をせず、一方で負荷短絡時には確実に短絡判断ができる値に設定されている。

【0037】

たとえば、ミラー電荷（ゲート閾値電圧付近でゲート電荷量が大きく変化する電荷値の変化値）の電荷量の変化に相当する値以下とすると、定格動作波形からの設定が容易でありながら、確実に変化をよみとり短絡検出が可能である。とくに電荷量の変化に相当する値の3分の1から3分の2の間であれば、誤動作も少ない。その一方でフィルタの性能の向上やノイズ成分の除去で、差し引き値を小さくすることで、高速化が可能となる。

たとえば、パワーIC上のIGBTで、ゲート駆動回路2とIGBTを同じチップ上に作成する場合は、この値を小さくでき、高速な保護が可能となる。

【0038】

以上のような V_{REF} の設定は、負荷短絡ではない定格動作状態で設定が行うことが可能であれば、実際にインバータ装置に保護回路を取り込んでから、定格動作をさせた状態で短絡判断用の V_{REF} を記憶することができるため、同じ保護回路でどのようなIGBTでも対応できるようになる。

【0039】

また、将来メンテナンスなどでIGBTが新しいタイプのものと交換されても、保護回路やゲート駆動回路の変更無く、特性の異なるIGBTの保護が可能になる。また、IGBTの温度が変化することでゲート電荷の特性が変化することも考えられるが、温度が変化した場合にはパラメータの再設定をすることや、温度センサーからのデータを元に、 V_{REF} を再構成するなどの方法も可能となる。

【0040】

インバータシステム出荷前の試運転で、ゲート電荷の波形を分析するプログラムを組んでおけば、たとえば、IGBTに流れる電流や印加電圧の条件、温度などとゲート電荷特性の変化を記憶し、短絡検出の精度を向上させるとともに誤動作を防ぐことができる。また定期的に V_{REF} の再設定を行うことで、IGBTの経年変化によるゲート電荷やゲート閾値の特性変化が起こっても高精度に短絡検出ができるようになる。

【0041】

V_{REF} を、ミラー電荷の階段状の角（図19参照、この図で11V、20nCに現れるA部の角）の値に相当する電圧以下とすることが望ましい。この場合、何らかの原因でゲート電圧が所望の値まで上昇しなかった場合でも誤動作を防ぐことができる。

【0042】

また V_{REF} を V_{GE} の関数としてメモリに記憶しておけば、さらに確実に誤動作の少ない設定が可能である。具体的には、 V_{GE} が高いところでは V_{REF} を高く設定し、 V_{GE} が低いところでは V_{REF} を低く設定することで、誤動作が少なく、確実に高速な保護が可能である。定格動作の場合ゲート電圧やゲート電荷に比較的低い周波数のノイズが乗っても、 V_{GE} が高めに振れた場合は Q_G が高くなり、 V_{GE} が低めに振れた場合は V_{QG} が低くなるからである。

【0043】

基準電圧 V_{REF} は一度生成されると、メモリ（Flashメモリ、不揮発メモリ）を用

いることで、その値を記憶するようにしている。また、大容量のメモリを用いることで、定格動作時のゲート電荷 Q_G の波形を記憶して、基準電圧 V_{REF} を波形として記憶し、生成することもできる。

【0044】

デジタル的に構成されたコンパレータ7を用いて、ゲート電荷電圧 V_{QG} と基準電圧 V_{REF} を比較する。ゲート電荷電圧 V_{QG} が基準電圧 V_{REF} を下回った際に負荷短絡状態と判断し、ゲートコントローラ10へ保護信号を出力する(図1(c)参照)。

【0045】

ゲートコントローラ10は、定格動作時には、パルス発生器8からのTTLパルスを直接出力する。この実施の形態ではパルス発生器8から出力されるTTLパルスは、実際の実用的な装置ではPWM(Pulse Width Modulation)信号に相当する。負荷短絡時には、パルス発生器8からのTTLパルスを遮断し、記憶されているゲートオフ電圧9(この場合0Vに対応するデジタル信号)を出力する。

10

【0046】

D/Aコンバータ11は、パルス発生器8からの信号のアナログ信号化処理を行う。第1の実施の形態では、D/Aコンバータ11は125MHzで動作させた。

この理由として、実際にIGBTは通常5~20kHzのスイッチング周波数で動作させ、IGBTのターンオン時間は通常500ns以下となる。十分な時間分解能を得るために10倍以上の20MHz以上で変換を行う必要がある。高性能なIGBTを用いるとターンオン時間は100ns程度になるので、100MHz以上で変換を行う必要があるためであり、第1の実施の形態では十分な時間分解能を得るために125MHzでD/Aコンバータ11を動作させた。

20

【0047】

IGBTが定格動作時には、パルス発生器8からの信号はゲートコントローラ10をそのまま通過し、D/Aコンバータ11でアナログ信号に変換されて、ゲート駆動回路2に入力することによりIGBTを駆動させる。

【0048】

負荷短絡時には、パルス発生器8からのON信号をゲートコントローラ10で遮断し、ゲート駆動回路2への入力がOFF信号となる。それによりIGBTがターンオフされ、IGBTに流れる主電流を遮断する。

30

【0049】

図2に定格状態の動作を示す。

図示するように、定格動作時には、ゲート電荷電圧 V_{QG} は減少しない。パルス発生器8から出力された信号は、ゲートコントローラ10を通過し、D/Aコンバータ11でアナログ信号に変換されて、ゲート駆動回路2に入力されることで、IGBTを駆動させる。

【0050】

図3に負荷短絡状態の動作を示す。

図示するように、負荷短絡時には、ゲート電荷電圧 V_{QG} が定格動作時に比べ減少する。その減少をデジタル回路内のコンパレータ7により検知して負荷短絡と判断し、ゲートコントローラ10に信号を出力する。ゲートコントローラ10に信号が入力されるとパルス発生器8からのON信号を遮断し、D/Aコンバータ11への入力がOFF信号となる。それにより、ゲート駆動回路2への入力がOFF信号となり、IGBTをターンオフさせて主電流を遮断する。

40

【0051】

図4に負荷短絡保護までにかかる時間を示す。

図示するように、負荷短絡が生じてからIGBTをターンオフさせて主電流を遮断するまでに、2μ秒かかっている。

【0052】

負荷短絡が生じてから主電流を遮断するまでの時間の約半分はプログラムの誤動作を防ぐための不感時間である。デジタルフィルタ5の性能の向上や不感時間を減少させて、か

50

つゲート電荷電圧 V_{QG} の上昇途中でリアルタイムに負荷短絡を検知することができれば、短絡保護時間を 1μ 秒以下にまで早くすることが可能となる。

【0053】

図5に第2の実施の形態による、デジタル回路を用いた負荷短絡保護装置の概略及び動作条件を示す。

図5(a)に示すように、この負荷短絡保護装置20は、ゲート駆動手段21、電荷検出手段22、アナログ・デジタル変換手段23、フィルタ24、基準電圧検出手段25、記憶手段26、判断手段27、ゲート制御信号形成手段28、信号合成29などの機能により構成される。

【0054】

ゲート駆動手段21は従来例と同様に、ゲート制御信号(PWM)形成手段28が発生したパルス信号の電圧や電流を増幅してIGBTのMOSゲートに伝達する手段である。この手段は、電圧増幅のためのアンプと電流増幅のためのゲートドライブ回路で構成される手段である。

【0055】

電荷検出手段22は従来例と同様に、カレントミラー回路、及び積分回路により構成される手段である。

【0056】

アナログ・デジタル変換手段23は、ゲート電荷電圧 V_{QG} のデジタル信号化を行う手段である。

デジタル化された信号をデジタル回路(FPGAなどを使用)に入力して負荷短絡保護のための信号処理を行う。

【0057】

フィルタ24は、入力されたデジタル化された信号のノイズを除去して、信号のバラツキを減少させて、プログラムの誤動作を防ぎ高信頼性を実現する。

基準電圧検出手段25は、フィルタ24から出力される定格動作時のゲート電荷電圧 V_{QG} の波形のハイレベルで安定した電圧 V_{PEAK} を検出し、この検出した値から負荷短絡状態となったかどうかを判断するための基準電圧 V_{REF} を生成する手段である。

【0058】

記憶手段26は、基準電圧 V_{REF} 記憶する手段である。

基準電圧 V_{REF} は一度生成されると、メモリ(Flashメモリ、不揮発メモリ)を用いることで、その値を記憶するようにしている。また、大容量のメモリを用いることで、定格動作時のゲート電荷 Q_G の波形を記憶して、基準電圧 V_{REF} を波形として記憶し、生成することもできる。

【0059】

判断手段27は、図5(b)に示すように、ゲート電荷電圧 V_{QG} と基準電圧 V_{REF} を比較し、ゲート電荷電圧 V_{QG} が基準電圧 V_{REF} を下回った際に負荷短絡状態と判断する手段である。

【0060】

信号合成29では論理回路を用いて入力される信号の処理を行う。

IGBTが定格動作時には、判断手段27から出力される信号とゲート制御信号(PWM)形成手段28から出力されるPWM信号とを論理回路で合成し、ゲート駆動手段21に信号が入力されることでIGBTを駆動させる。

【0061】

一方で、負荷短絡時には、前述した判断手段27から出力されるON信号を遮断することで、ゲート駆動手段21への入力信号がOFF信号となる。それにより、IGBTをターンオフさせて主電流を遮断する。

【0062】

例えば、図6(a)に示すように、ANDの論理素子を用いて信号合成を行う。AND素子による論理演算の内容を図6(b)に示す。

10

20

30

40

50

【 0 0 6 3 】

定格動作時には、図 6 (c) に示すように、判断手段 2 7 から H i g h の信号を出力させておく。信号合成後の信号は、ゲート制御信号 (P W M) 形成手段 2 8 から出力される信号と同じになる。その信号がゲート駆動手段 2 1 に入力することで I G B T を駆動させる。

【 0 0 6 4 】

負荷短絡時には、図 6 (d) に示すように、判断手段 2 7 から L o w の信号を出力させておく。信号合成後の信号は、ゲート制御信号 (P W M) 形成手段 2 8 から出力される信号に関わらず、L o w 信号が出力される。それによりゲート駆動手段 2 1 には O F F 信号が入力され、I G B T をターンオフさせ、主電流を遮断する。

10

【 0 0 6 5 】

図 7 に、保護信号とゲート制御信号 (P W M) 形成手段からの出力との合成を行う信号合成の機能を、デジタル回路に組み込んだ短絡保護装置の概要を示す。

図示するように、信号合成をデジタル回路で行うことにより、外部からのノイズの影響を受けにくくすることができる。

【 0 0 6 6 】

図 8 に、デジタル回路とアナログ・デジタル変換手段 2 3、及びデジタル回路を 1 つの半導体チップ上にのせた短絡保護装置の概要を示す。

図示するように、1 つの半導体チップにまとめると、配線長を短くすることが可能となり、ノイズの影響を減らすことができる。かつ、回路規模の縮小及びコストの削減も実現できる。

20

【 0 0 6 7 】

図 9 に、デジタル回路とゲート駆動手段 2 1、及び電荷検出手段 2 2 を 1 つの半導体チップ上にのせた短絡保護装置の概要を示す。

図示するように、1 つの半導体チップにまとめると、I G B T に数百 A 以上流す際は、ゲート駆動手段 2 1 にディスクリートの素子を使用しなければ I G B T を駆動することができない。家電製品などに使用されている数 A ~ 1 0 A 程度しか流さない I G B T はゲート容量が小さいので、I C チップによる駆動が可能となり、半導体チップ上にのせることで部品点数の減少が実現できる。

30

【 0 0 6 8 】

図 1 0 に、デジタル回路と I G B T、及びゲート制御信号 (P W M) 形成手段 2 8 を 1 つの半導体チップ上にのせた短絡保護装置の概要を示す。

図示するように、1 つの半導体チップにまとめると、ゲート制御 (P W M) 形成手段 2 8、及び I G B T の基板をまとめることで、図 9 の負荷短絡保護装置と比較して、部品点数の減少が実現できる。

【 0 0 6 9 】

図 1 1 に、ゲート制御信号 (P W M) 形成手段 2 8 をデジタル回路に組み込み、そのデジタル回路と I G B T を 1 つの半導体チップ上にのせた短絡保護装置の概要を示す。

図示するように、ゲート制御信号 (P W M) 形成手段 2 8 をデジタル化することにより、ゲート制御信号 (P W M) の制御の簡易化を実現する。

40

【 0 0 7 0 】

図 1 2 に、実用的な短絡保護装置の概要を示す。

図示するように、基本的な構造は図 6 と同様であるが、アナログ・デジタル変換・変調手段 3 2、マルチプレクサ 3 3、減衰波形形成手段 3 1、デジタル・アナログ変換手段 3 4 などが機能として追加される。

【 0 0 7 1 】

アナログ・デジタル変換・変調手段 3 2 は、ゲート制御信号 (P W M) 形成手段 2 8 から入力された信号をアナログ・デジタル変換しその信号の b i t 数を、減衰波形形成手段 3 1 が出力する信号の b i t 数に合わせる手段である。

【 0 0 7 2 】

50

マルチプレクサ 33 は、定格動作時には、選択端子への入力を無入力としておき、アナログ・デジタル変換・変調手段 32 からの信号を出力する。負荷短絡時には、コンパレータ 30 から選択端子に信号が入力され、減衰波形形成手段 31 からの波形を出力させる。

【0073】

負荷短絡が発生した際に IGBT を急速にターンオフさせると、寄生インダクタによる電圧跳ね上がりが起こり破壊の原因となるため、減衰波形形成手段 31 により IGBT のゲートへ減衰波形を入力し、よりゆっくりターンオフすることが望ましい。このため、事前に設定している減衰波形発生用のルックアップテーブル参照や、ダウンカウンタ、関数（たとえば指数関数）を用いた減衰波形発生手段あるいはそれらの組み合わせを用いてデジタル的に減衰波形を発生させ緩やかにターンオフさせることが望ましい。

10

【0074】

図示するように、破線で囲われた手段や機能は、図 7 から図 11 までの信号合成に対応させることができる。

【0075】

図 13 (a) は、図 12 のブロック図における基準電圧検出手段 25 の代わりに積分手段 35 を設けたものであり、図 13 (b) に示すように、フィルタ 24 でノイズ除去された IGBT のゲート電荷に対応する電圧 V_{QG} を積分していく。負荷短絡時には積分した値が定格動作時と比較して減少するので、コンパレータ 30 で定格動作時積分電圧 V_{NC} と負荷短絡時積分電圧 V_{SC} を比較、検知する構成としている。

【0076】

20

図 14 (a) は図 12 のブロック図における基準電圧検出手段 25 の代わりに微分手段 36 を設けたものである。図 14 (b) に示すように、この微分手段 36 は、フィルタ 24 でノイズ除去された IGBT のゲート電荷に対応する電圧 V_{QG} を微分する。負荷短絡時には微分した値が定格動作時と比較して減少するので、コンパレータ 30 で定格動作微分電圧と負荷短絡時微分電圧を比較、検知する構成としている。

【0077】

図 15 (a) は、図 12 のブロック図における基準電圧検出手段 25 の代わりに列挙手段 37 を設けたものであり、図 15 (b) に示すように、フィルタ 24 でノイズ除去された IGBT のゲート電荷に対応する電圧 V_{QG} がハイレベルで安定するまでの時間が負荷短絡時には短くなるので、コンパレータ 30 により定格動作時の電圧 V_{QG} がハイレベルで安定するまでの時間 t_{NC} と負荷短絡時の電圧 V_{QG} がハイレベルで安定するまでの時間 t_{SC} を比較、検知する構成としている。

30

【0078】

図 16 (a) は図 12 のブロック図における基準電圧検出手段 25 の代わりに減算手段 38 を設けたものであり、図 16 (b) に示すように、フィルタ 24 でノイズ除去された IGBT のゲート電荷に対応する電圧 V_{QG} は定格動作時に比べ負荷短絡時には減少するのでその値の差 V_{dif} を測定し、この値が大きくなった際に負荷短絡と判断する構成としている。

【0079】

図 17 (a) は、図 12 に示す実施の形態における動作を示すフローチャートである。ステップ S100 において、電荷検出手段 22 を用いて IGBT のゲート電荷電圧 V_{QG} を検出する。ステップ S110 では、記憶手段 26 に基準電圧 V_{REF} を記憶済みかどうかの判断を行い、まだ記憶していない場合にはステップ S120 で、 V_{QG} のハイレベルで安定した値 V_{PEAK} を記憶する。ステップ S130 で V_{REF} の値を生成し、ステップ S100 に戻る。

40

【0080】

ステップ S110 で既に基準電圧 V_{REF} を記憶済みの場合はステップ S140 に進む。ステップ S140 では、 V_{REF} の変更の必要があるかどうかを判断する。具体的には、ステップ S142 の半導体チップの温度 T の変化、ステップ S144 の閾値 V_{TH} の変化、ステップ S146 の電源電圧 V_{DC} の変化、ステップ S148 のゲート電荷電圧 V_{QG} の変化を

50

考慮して、変更がある時は、ステップ S 1 5 0 でプログラム内の V_{REF} を再生成し、ステップ S 1 0 0 に戻る。

【 0 0 8 1 】

ステップ S 1 4 0 で V_{REF} の変更がない場合はステップ S 1 6 0 に進み、 V_{REF} と V_{QG} の大小を比較する。検出した V_{QG} が V_{REF} よりも大きいときはステップ S 1 7 0 によりコンパレータ 3 0 から保護信号の出力はない。 V_{QG} が V_{REF} よりも小さいときはステップ S 1 8 0 に進み、コンパレータ 3 0 が保護信号を出力する。ついでステップ S 1 9 0 により減衰波形形成手段 3 1 が減衰波形を出力し、ステップ S 2 0 0 で I G B T をターンオフする。

【 0 0 8 2 】

以上のように、本発明の実施の形態によれば、定格動作状態のゲート電荷に対応する電圧のハイレベルで安定した値を記憶して基準電圧に変換するので、I G B T の保護に必要な回路パラメータの変更や設定、検出が自動的に容易に行え、特性の異なる I G B T を用いても自動的に対応できる。また、I G B T の温度による特性の変化や、経年変化による特性の変化も対応でき、多機能化にも容易に実現できる。

【 産業上の利用可能性 】

【 0 0 8 3 】

本発明は、I G B T の特性の違いや温度変化があっても、最適なパラメータを自動的に設定することのできる半導体装置の短絡保護装置として、インバータ等の電力制御装置の分野に好適に利用することができる。

【 符号の説明 】

【 0 0 8 4 】

- 1 負荷短絡保護装置
- 2 ゲート駆動回路
- 3 ゲート電荷測定回路
- 4 A / D コンバータ
- 5 デジタルフィルタ
- 6 ピーク検出器
- 7 コンパレータ
- 8 パルス発生器
- 9 ゲートオフ電圧
- 1 0 ゲートコントローラ
- 1 1 D / A コンバータ
- 2 0 負荷短絡保護装置
- 2 1 ゲート駆動手段
- 2 2 電荷検出手段
- 2 3 アナログ・デジタル変換手段
- 2 4 フィルタ
- 2 5 基準電圧検出手段
- 2 6 記憶手段
- 2 7 判断手段
- 2 8 ゲート制御信号形成手段
- 2 9 信号合成
- 3 0 コンパレータ
- 3 1 短絡発生時のゲート電圧減衰波形形成手段
- 3 2 アナログ・デジタル変換・変調手段
- 3 3 マルチプレクサ
- 3 4 デジタル・アナログ変換手段
- 3 5 積分手段
- 3 6 微分手段

10

20

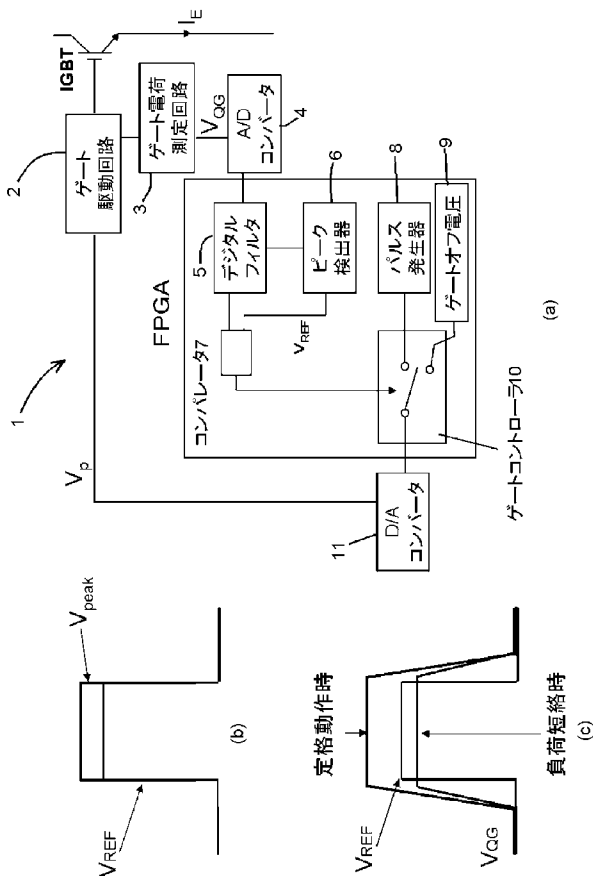
30

40

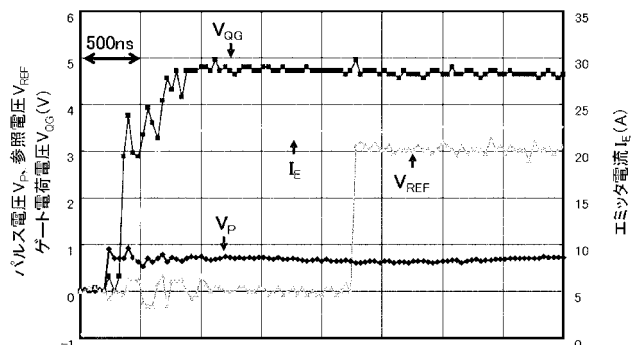
50

- 3 7 列挙手段
- 3 8 減算手段
- Q_G IGBTのゲート電荷
- V_{QG} ゲート電荷電圧
- V_{CE} コレクタ・エミッタ間電圧
- V_{GE} ゲート・エミッタ間電圧
- I_G IGBTのゲートに流れる電流
- I_G^* 電荷検出手段に流れる電流
- V_{REF} 基準電圧
- V_{peak} 定格動作時のゲート電荷電圧 V_{QG} のハイレベルで安定した値
- V_P デジタル回路からの出力
- High ハイレベル (“1”) 信号
- Low ローレベル (“0”) 信号

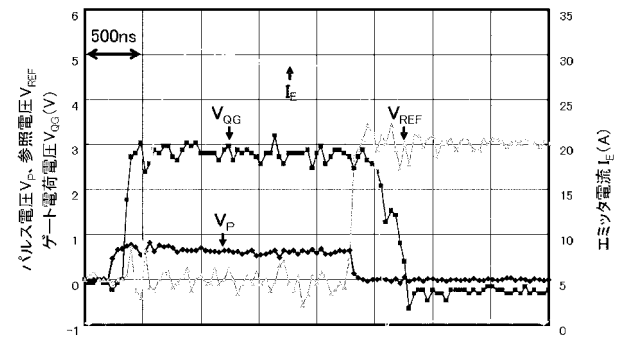
【 図 1 】



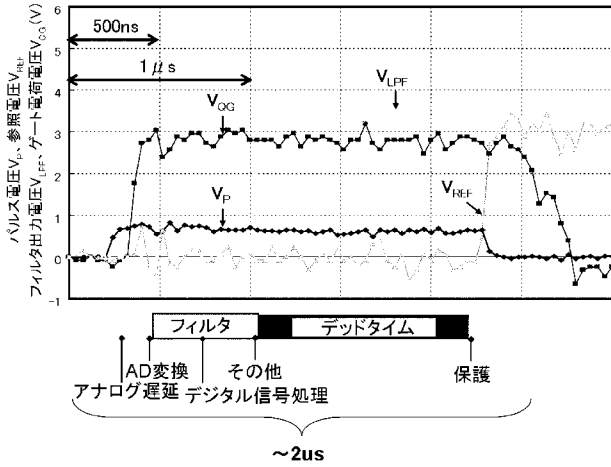
【 図 2 】



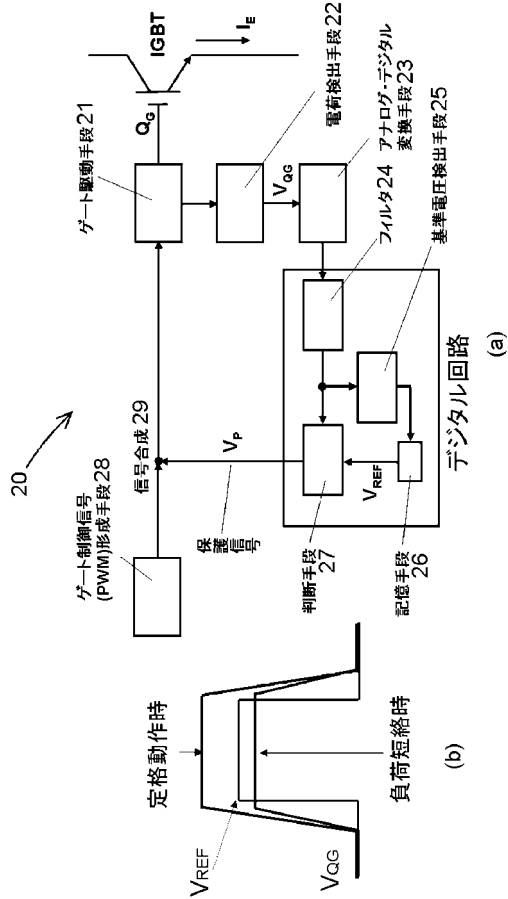
【 図 3 】



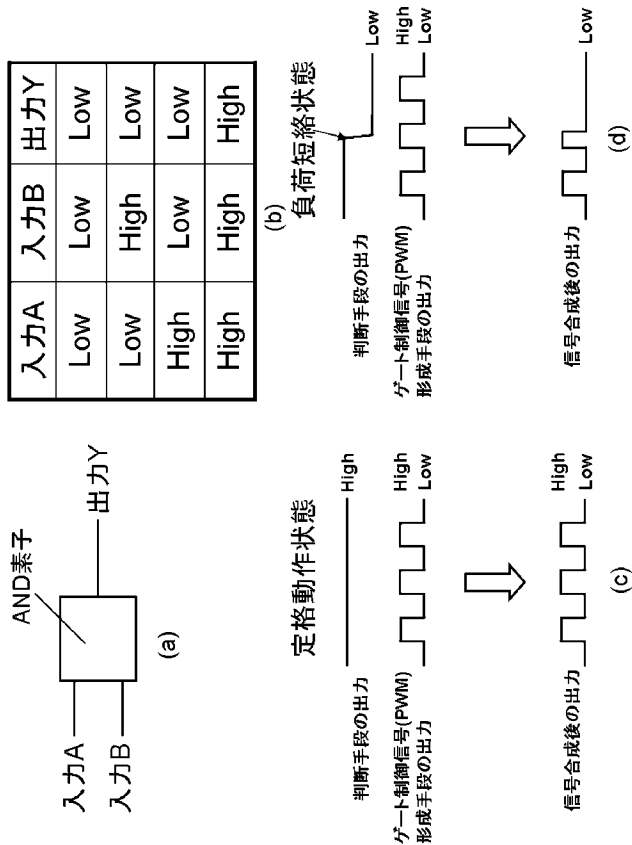
【 図 4 】



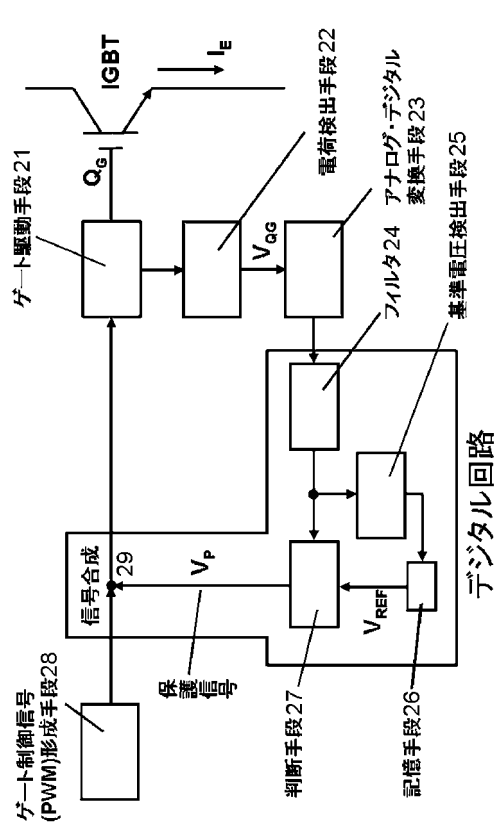
【 図 5 】



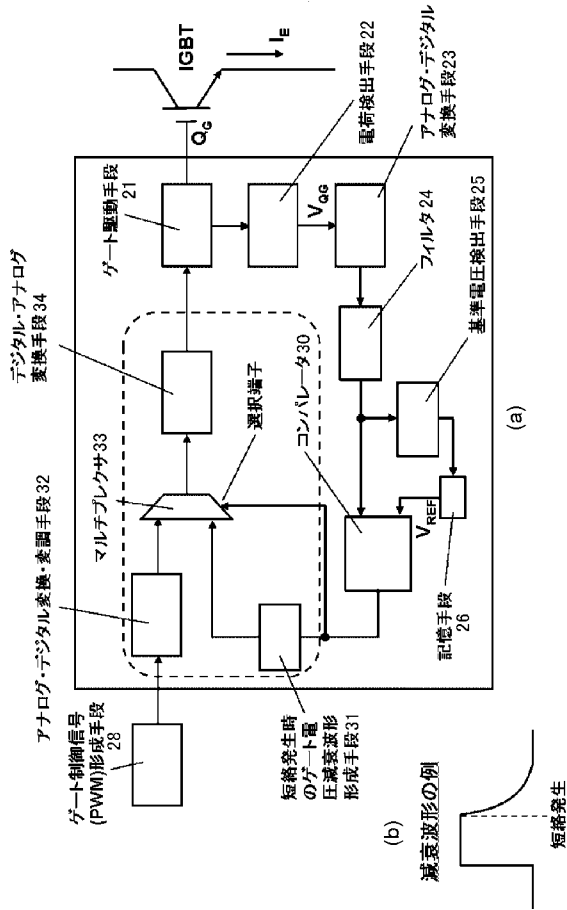
【 図 6 】



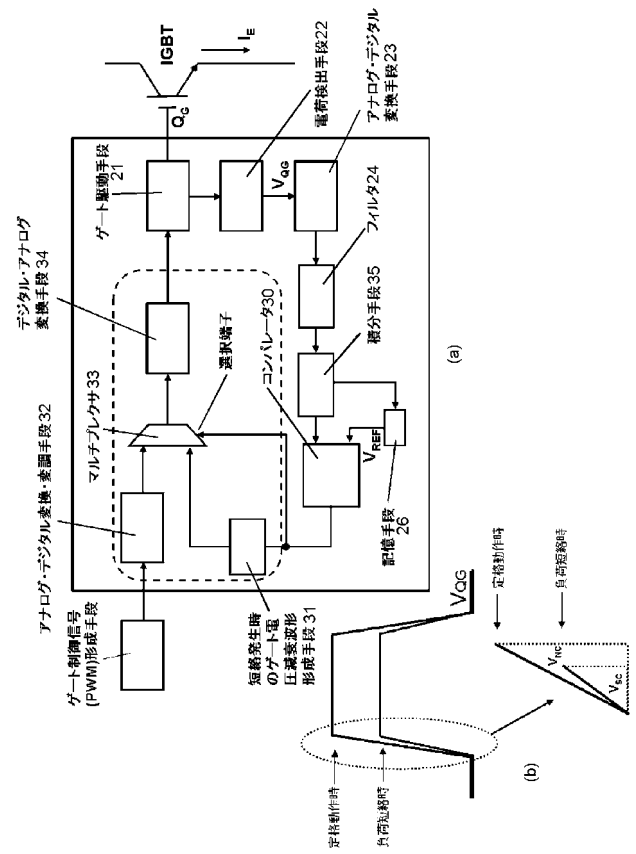
【 図 7 】



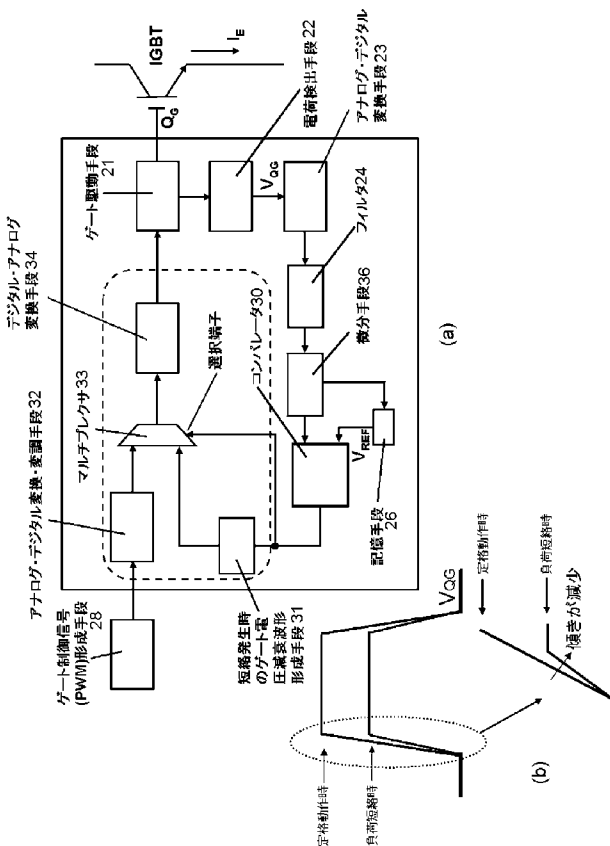
【 図 1 2 】



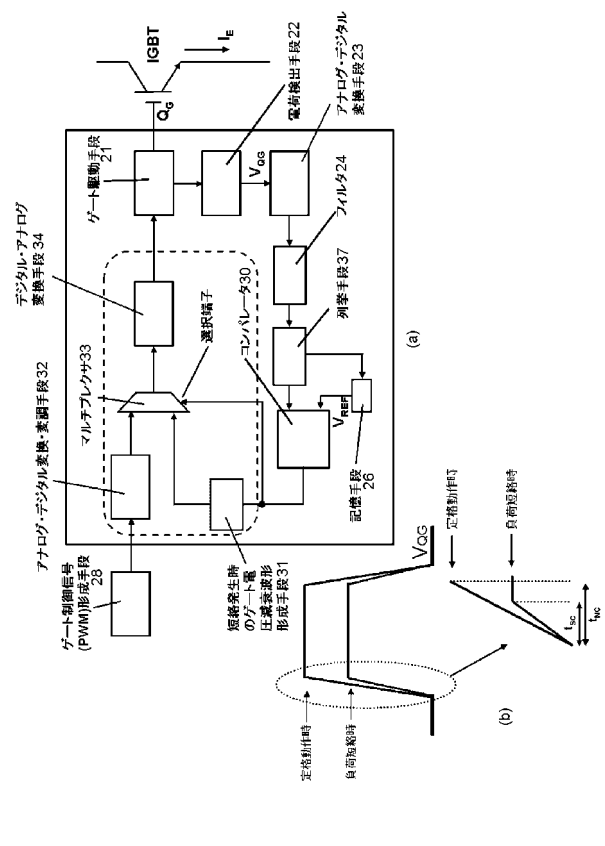
【 図 1 3 】



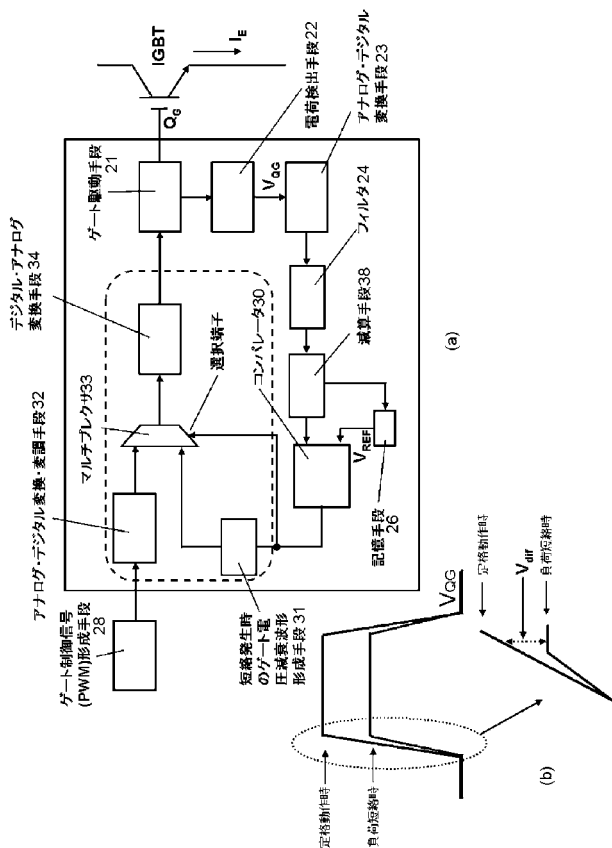
【 図 1 4 】



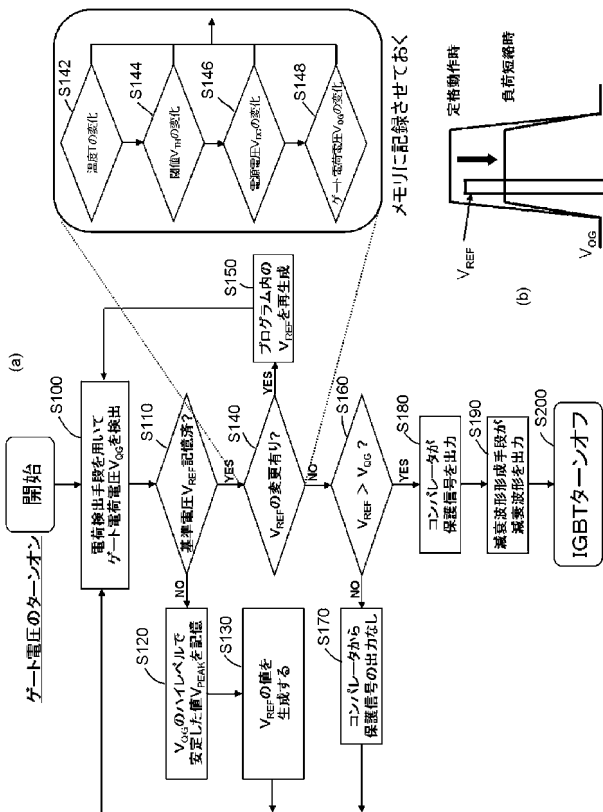
【 図 1 5 】



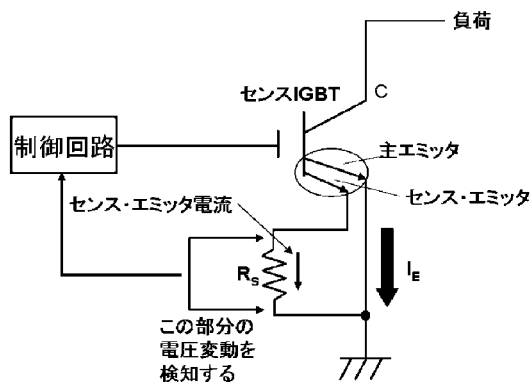
【 図 1 6 】



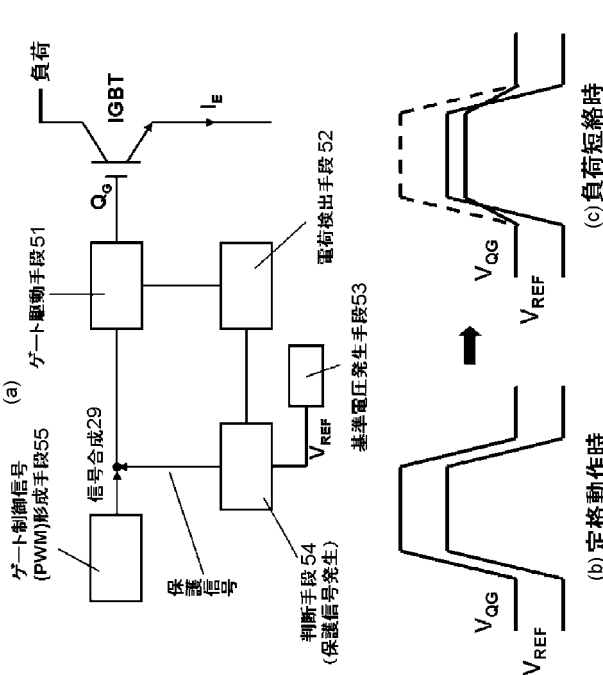
【 図 1 7 】



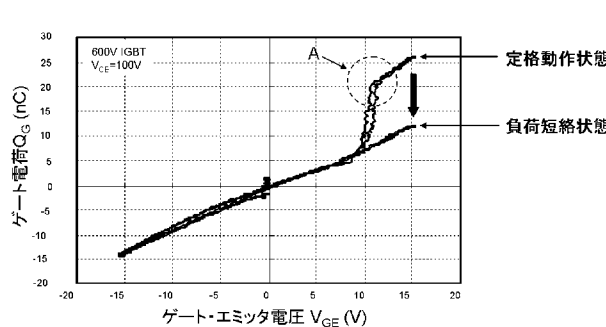
【 図 1 8 】



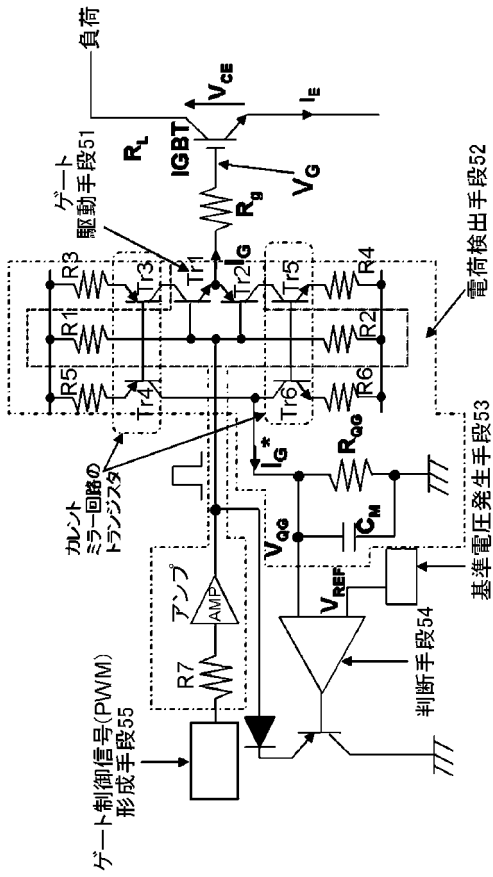
【 図 2 0 】



【 図 1 9 】



【 図 2 1 】



フロントページの続き

(72)発明者 谷村 拓哉

福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内

(72)発明者 附田 正則

福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内

Fターム(参考) 5H007 AA17 CA01 EA02 FA03 FA14

5H740 AA04 AA08 BA11 BC01 BC02 MM12

5J055 AX34 AX64 BX16 CX07 DX09 EZ01 EZ10 EZ13 EZ14 EZ23

EZ24 EZ29 FX04 FX12 FX20 GX02 GX04 GX06