

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-98505
(P2013-98505A)

(43) 公開日 平成25年5月20日(2013.5.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 M	4M104
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 H	5F049
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 E	5F102
HO 1 L 27/095 (2006.01)	HO 1 L 21/28 3O1B	
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3O1R	

審査請求 未請求 請求項の数 9 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2011-243007 (P2011-243007)
(22) 出願日 平成23年11月7日 (2011.11.7)

(71) 出願人 304021277
国立大学法人 名古屋工業大学
愛知県名古屋市昭和区御器所町字木市29番

(72) 発明者 分島 彰男
愛知県名古屋市昭和区御器所町字木市29番 国立大学法人名古屋工業大学内

(72) 発明者 江川 孝志
愛知県名古屋市昭和区御器所町字木市29番 国立大学法人名古屋工業大学内

Fターム(参考) 4M104 AA04 AA07 BB14 BB36 CC05
DD34 DD68 FF13 GG05 GG12
HH20
5F049 MA14 NA04 PA04 SE04 SE05
SS04 WA05

最終頁に続く

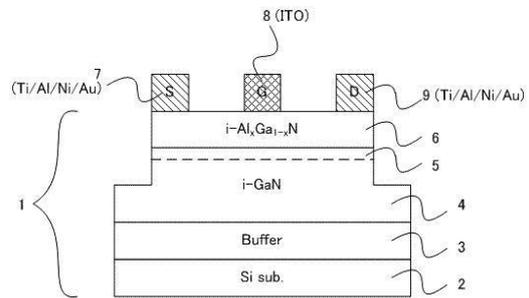
(54) 【発明の名称】 紫外線透過ゲート電極を有する電界効果トランジスタ

(57) 【要約】

【課題】 基板の自由度があり、待機時（光非照射時）の電力消費が小さく、また光照射時のS/Nが大きい受光素子を提供することである。

【解決手段】 紫外線が透過する材料をFETの電極として用い、また、電子走行領域をAlGa_xNとGa_{1-x}Nとのヘテロ界面等のGa_{1-x}N系膜同士のヘテロ界面とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に第 3 族窒化物半導体からなるチャネル層とチャネル層とは異なる組成の第 3 族窒化物半導体からなる電子供給層とを有する電界効果トランジスタであって、紫外線が透過する材料をゲート電極に用いた電界効果トランジスタ。

【請求項 2】

前記第 3 族窒化物半導体からなる電界効果トランジスタにおいて、ゲート電極と第 3 族窒化物半導体との界面から 50 nm 以内の深さの第 3 族窒化物半導体の吸収端波長において透過率が 20% 以上である材料をゲート電極に用いた電界効果トランジスタ。

【請求項 3】

前記紫外線が透過する材料が酸化インジウムスズ (ITO)、もしくは、酸化亜鉛 (ZnO)、ガリウムドープ酸化亜鉛 (GZO) のいずれか一つである請求項 1 または 2 に記載の電界効果トランジスタ。

【請求項 4】

前記電界効果トランジスタのチャネル層と電子供給層とが、それぞれ、GaN と AlGa_N、Ga_N と InAl_N、InGa_N と InAl_N、InGa_N と AlGa_N、あるいは InGa_N と Ga_N とである請求項 1 ~ 3 のいずれかに記載の電界効果トランジスタ。

【請求項 5】

前記基板が Si からなる請求項 1 ~ 4 のいずれかに記載の電界効果トランジスタ。

【請求項 6】

前記ゲート電極にピンチオフ以下の電圧が印加される請求項 1 ~ 5 のいずれかに記載の電界効果トランジスタ。

【請求項 7】

前記電界効果トランジスタが紫外線受光素子である請求項 1 ~ 6 のいずれかに記載の電界効果トランジスタ。

【請求項 8】

前記電界効果トランジスタが電源回路または増幅回路と同一基板上に集積されている請求項 1 ~ 7 のいずれかに記載の電界効果トランジスタ。

【請求項 9】

前記電源回路または増幅回路が CMOS トランジスタ回路である請求項 8 に記載の電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フォトディテクタ、特に紫外線を有効に捉えるフォトディテクタに利用され、さらにフォトディテクタが電源回路または増幅回路と一体化され得る電界効果トランジスタに関する。

【背景技術】

【0002】

近年、ワイドバンドギャップ半導体の結晶性およびデバイスプロセスの向上により、紫ならびに紫外領域の受光素子の開発が進められている。p 層と n 層、もしくは p - i - n の 3 層をサファイア、SiC、あるいは Si などの基板上に結晶成長した後に、p 層と n 層それぞれに電極を形成した pn ダイオード型フォトディテクタが一般的に用いられている (非特許文献 1)。しかしながら、pn ダイオード型フォトディテクタでは、受光感度が低い、S/N が小さいなどといった問題点に加えて、トランジスタを必要とするバイアス回路や増幅回路などの集積化が困難といった問題点がある。また、電極側から受光するため、金属電極をメッシュ状に加工するため、加工工数が増えるという問題もある。

【0003】

高感度化あるいは高 S/N 化のため、電界効果トランジスタ (FET) を用いた光伝導素子 (フォトコンダクティブ素子) が報告されている (非特許文献 2)。しかしながら、ゲ

10

20

30

40

50

ート電極が金属であるため、素子裏面のサファイア基板側から光を照射する必要があるため、基板材料の自由度が低く（透明でなければならない）、基板での光の吸収が少なからず生じるため感度が高くできないこと、さらには基本的に待機時に電流が流れるため消費電力が大きいといった問題がある。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】Japanese Journal of Applied Physics Vol. 39 L. 387 (2000)

【非特許文献2】Electronics Letters Vol. 31 p. 398 (1995)

【発明の概要】

10

【発明が解決しようとする課題】

【0005】

本発明の課題は、基板の自由度があり、待機時（光非照射時）の電力消費が小さく、また光照射時のS/Nが大きい受光素子を提供することであり、さらには当該受光素子を電源回路あるいは増幅回路と同一基板上に集積した複合回路を提供することである。

【課題を解決するための手段】

【0006】

本発明者らは、紫外線を透過する材料をFETのゲート電極として用い、また、電子走行領域を半導体膜同士のヘテロ界面とすることにより、上記課題が解決することを見出した。すなわち、本発明によれば、以下の電界効果トランジスタが提供される。

20

【0007】

[1] 基板上に第3族窒化物半導体からなるチャンネル層とチャンネル層とは異なる組成の第3族窒化物半導体からなる電子供給層とを有する電界効果トランジスタであって、紫外線が透過する材料をゲート電極に用いた電界効果トランジスタ。

【0008】

[2] 前記電界効果トランジスタにおいて、ゲート電極と第3族窒化物半導体との界面から50nm以内の深さの第3族窒化物半導体の吸収端波長における透過率が20%以上である材料をゲート電極に用いた電界効果トランジスタ。

【0009】

[3] 前記紫外線が透過する材料が酸化インジウムスズ（ITO）、もしくは、酸化亜鉛（ZnO）、ガリウムドープ酸化亜鉛（GZO）のいずれかである前記[1]または[2]に記載の電界効果トランジスタ。

30

【0010】

[4] 前記電界効果トランジスタのチャンネル層と電子供給層とが、それぞれ、GaNとAlGaN、GaNとInAlN、InGaNとInAlN、InGaNとAlGaN、あるいはInGaNとGaNとである前記[1]～[3]のいずれかに記載の電界効果トランジスタ。

【0011】

[5] 前記基板がSiからなる前記[1]～[4]のいずれかに記載の電界効果トランジスタ。

40

【0012】

[6] 前記ゲート電極にピンチオフ以下の電圧が印加される前記[1]～[5]のいずれかに記載の電界効果トランジスタ。

【0013】

[7] 前記電界効果トランジスタが紫外線受光素子である前記[1]～[6]のいずれかに記載の電界効果トランジスタ。

【0014】

[8] 前記電界効果トランジスタが電源回路または増幅回路と同一基板上に集積されている前記[1]～[7]のいずれかに記載の電界効果トランジスタ。

【0015】

50

[9] 前記電源回路または増幅回路がＣＭＯＳトランジスタ回路である前記[8]に記載の電界効果トランジスタ。

【図面の簡単な説明】

【 0 0 1 6 】

【図 1】本発明の紫外線受光素子の構成を示す概念図である。

【図 2】本発明の紫外線受光素子の光の非照射時と照射時（波長：405nm）のドレイン電流特性を示すグラフである。

【発明を実施するための形態】

【 0 0 1 7 】

以下、図面を参照しつつ本発明の実施の形態について説明する。本発明は、以下の実施形態に限定されるものではなく、発明の範囲を逸脱しない限りにおいて、変更、修正、改良を加え得るものである。

10

【 0 0 1 8 】

図 1 は本実施形態関わる紫外線受光素子の構成を示す概念図である。なお、図示の都合上、図 1 における各層の厚みの比率は実際の比率を反映していない。

【 0 0 1 9 】

図 1 に示す半導体積層構造 1 は、例示として p 型 Si 単結晶基板 2 の上に、バッファ層 3 を形成し、さらに、半導体層としてチャンネル層 4、および電子供給層 6 とを備える。この半導体積層構造 1 は、基板 2 の上に、バッファ層 3、チャンネル層 4 及び電子供給層 6 を順次エピタキシャル成長させることで形成されるので、半導体積層構造 1 はエピタキシャル基板と称する場合がある。

20

【 0 0 2 0 】

本紫外線受光素子は、半導体積層構造 1 に、ソース電極 7、ゲート電極 8、ドレイン電極 9 を形成される。

【 0 0 2 1 】

基板 2 は、その上に形成するバッファ層 3 やその上のチャンネル層 4 および電子供給層 6 の組成や構造、あるいは各層の形成手法に応じて適宜に選択される。例えば、基板 2 としては、シリコン、ゲルマニウム、サファイア、炭化ケイ素、酸化物 (ZnO 、 $LiAlO_2$ 、 $LiGaO_2$ 、 $MgAl_2O_4$ 、 $(LaSr)(AlTa)O_3$ 、 $NdGaO_3$ 、 MgO など)、Si-Ge 合金、周期律表の第 3 族 - 第 5 族化合物 ($GaAs$ 、 AlN 、 GaN 、 $AlGaN$ 、 $AlInN$)、ホウ化物 (ZrB_2 など)、などを用いることができる。なかでもシリコン単結晶基板が品質およびコストの点で好ましい。基板 2 の厚みには特段の材質上の制限はないが、取り扱いの便宜上、数百 μm ~ 数 mm の厚みのものが好適である。

30

【 0 0 2 2 】

バッファ層 3 は、その上に形成するチャンネル層 4 および電子供給層 6 の組成や構造、あるいは各層の形成手法に応じて、様々な第 3 族窒化物半導体からなる単一層または多層から形成される。バッファ層 3 は $0.5 \mu m$ ~ $5 \mu m$ 以下の厚みに形成されるのが好ましく、歪や転位密度ができるだけ少ない構造とすることが好ましい。

【 0 0 2 3 】

また、バッファ層 3 は、例えば MOCVD 法や MBE 法などの公知の成膜手法にて形成することができる。成膜条件を適宜に調整することにより、転位密度が $1 \times 10^{11} / cm^2$ 以下、より好ましくは $5 \times 10^{10} / cm^2$ 以下、さらに好ましくは $1 \times 10^{10} / cm^2$ 以下であるように形成される。

40

【 0 0 2 4 】

チャンネル層 4 は、高抵抗の第 3 族窒化物半導体にて形成される。より好ましくは、抵抗を低減する要因となる不純物を含まない、 GaN ($i-GaN$) にて形成される。図 1 においては、チャンネル層 4 を $i-GaN$ にて形成した場合を例示している。チャンネル層 4 も、例えば MOCVD 法や MBE 法などの公知の成膜手法にて形成される。上記のような高い結晶性を有するバッファ層 3 の上に形成されることにより、チャンネル層 4 も良好な結

50

晶品質を有する。

【0025】

なお、チャンネル層4とその上に形成される電子供給層6との界面近傍のチャンネル層4の上部には、電子供給層6からキャリアとなる電子が供給されることにより、高濃度の2次元電子ガスが生成する2次元電子ガス領域5が形成されることになる。そしてソースとドレイン間に電圧印加するとこの2次元電子ガス領域5が電子走行領域になる。そのため、チャンネル層4は、この2次元電子ガス領域5を確保するだけの厚みが必要であるが、一方で、あまりに厚みが大きすぎるとクラックが発生しやすくなることから、 $1\mu\text{m} \sim 5\mu\text{m}$ の厚みに形成されるのが好適である。

【0026】

電子供給層6は、少なくともAlを含む第3族窒化物半導体にて形成される。好ましくは、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ なる組成を有する第3族窒化物半導体にて、電子供給層6のバンドギャップがチャンネル層4のバンドギャップよりも大きくなるように形成される。電子供給層6は、 $5\text{nm} \sim 100\text{nm}$ の厚みに形成されることが、2次元電子ガス領域5の形成、ならびにデバイス動作(すなわちゲート電圧印加に対する主電流の制御)からは好ましい。

【0027】

電子供給層6は、例えばMOCVD法やMBE法などの公知の成膜手法にて形成される。電子供給層6をXの値が大きくなるほど、すなわち、Alが多くなるほど、ピエゾ効果が増加し、2次元電子ガス領域5におけるシートキャリア濃度は向上する。好ましくは、電子供給層6は $X = 0.2$ を満たす範囲の第3族窒化物半導体にて形成される。より好ましくは、 $X = 0.4$ である。ただし、Xが大きい場合は、クラックが生じやすくなるため、クラックが生じない成長条件を選択することが必要であり、 $X = 0.7$ が好ましい。また、2次元電子ガス領域5と電子供給層6との間に電子供給層6よりもバンドギャップが大きい半導体層を形成して2次元電子ガス領域5の電子の移動度を高めることもできる。

【0028】

なお、チャンネル層4と電子供給層6との組合せとしては、上記のGa_{1-x}Al_xNとAlGa_{1-x}Nの組合せ以外に、それぞれ、Ga_{1-x}In_xNとInAl_{1-x}N、InGa_{1-x}NとInAl_xN、InGa_{1-x}NとAlGa_xN、あるいはInGa_{1-x}NとGa_{1-x}Nの組合せでもよい。いずれの組合せでも、チャンネル層4のバンドギャップより電子供給層6のバンドギャップが大きく、電子供給層6との界面近傍のチャンネル層4上部、すなわちヘテロ接合界面近傍に2次元電子ガス領域が形成される。

【0029】

電子供給層6の表面に、ソース電極7、ドレイン電極9を、例えば、Ti/Au/Ni/Auの構成からなる金属にてオーミック接合により形成される。ソース電極7およびドレイン電極9の形成に際しては、電子供給層6の表面の電極形成箇所に、所定のコンタクト処理がなされた上で行われてもよい。

【0030】

一方、電子供給層6の表面に、紫外線が透過する材料からなるゲート電極8を形成する。ゲート電極材料は、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、ガリウムドープ酸化亜鉛(GZO)のいずれかから選択される。なお、第3族窒化物半導体からなる電子供給層6とゲート電極8との界面から深さ50nm以内の深さにおける電子供給層6の吸収端波長において透過率が20%以上である材料がゲート電極8に用いられる。ゲート電極8の厚みは20~200nmが被覆性と導電性の点から好ましい。

【0031】

上記構成の本発明の素子の動作においては、ゲート電極にピンチオフ以下の電圧が印加されることが、待機時の電流を小さくして、消費電力を小さくし、S/N比を高める効果があり好ましい。

【0032】

本発明の紫外線受光素子は、同一基板上に電源回路または増幅回路が形成されてもよく、

10

20

30

40

50

また電源回路または増幅回路はCMOSトランジスタ回路から好適に構成される。紫外線受光素子、電源回路、および増幅回路を同一基板上に形成する場合、電極あるいは配線形成前のエピタキシャル成長膜厚を $2\mu\text{m}$ 以下にすると、紫外線受光素子とSi等の基板に形成したCMOSトランジスタ回路を接続する配線形成において段切れが生じにくくなり好ましい。

【実施例】

【0033】

本実施例においては、上述の実施の形態に係る半導体積層構造1と、これを用いた電界効果トランジスタとを作製した。まず、4インチ径の厚さ $525\mu\text{m}$ の(111)面シリコン単結晶を用い、これを所定のMOCVD装置の反応管内に設置した。MOCVD装置は、反応ガスあるいはキャリアガスとして、少なくとも H_2 、 N_2 、TMG(トリメチルガリウム)、TMA(トリメチルアルミニウム)、 NH_3 、およびシランガスが、反応管内に供給可能とされている。キャリアガスとして、水素を流速 3.5m/sec で流しながら、反応管内の圧力を 25Torr に保ちつつ、基板2を 1210 まで昇温した後、10分間保持し、基板2のサーマルクリーニングを実施した。

10

【0034】

その後、基板温度を 1210 に保ちつつ、TMAとそのキャリアガスである水素とを供給するとともに、 NH_3 とそのキャリアガスである水素とを供給することにより、バッファ層3として $1.5\mu\text{m}$ の厚さのAlN層を成長させた。その際には、TMAと NH_3 との供給モル比が $\text{TMA}:\text{NH}_3=1:400$ となるようにそれぞれの流量を制御した。このようにして得たバッファ層3の(002)面についてのX線ロックアップカーブ半値幅は70秒であり、転位密度は $3\times 10^{13}/\text{cm}^2$ であった。

20

【0035】

引き続き、温度を 1110 、圧力を 750Torr としたうえで、TMGと NH_3 とを供給モル比が $\text{TMG}:\text{NH}_3=1:1800$ となるように供給して、チャンネル層4として厚さ $2.5\mu\text{m}$ のGaN層を形成した。この際、成膜速度を約 $3.5\mu\text{m/hr}$ となるように、TMG及び NH_3 の供給量を設定した。

【0036】

チャンネル層4であるGaN層の形成後、 1090 とし、TMAとTMGと NH_3 とを供給モル比が $\text{TMA}:\text{TMG}:\text{NH}_3=0.15:0.6:1800$ となるように供給して、 $\text{Al}_{0.26}\text{Ga}_{0.74}\text{N}$ なる組成を有する電子供給層6を形成した。以上により、半導体積層構造1を得た。

30

【0037】

このようにして得られた半導体積層構造1の表面の所定位置に、ゲート電極8として蒸着法およびリフトオフ法にて酸化インジウムスズ(ITO)からなる膜を厚み 100nm 形成した。さらに半導体積層構造1の表面の所定位置に、Ti/Au/Ni/Auからなるソース電極7およびドレイン電極9をオーミック接合にて形成して電界効果トランジスタからなる受光素子を得た。

【0038】

このようにして得られた電界効果トランジスタ素子について、ソース-ドレイン間電圧に対するゲート電流密度およびドレイン電流密度を紫外線照射有無により測定した。結果を図2に示す。なお、上記電流密度は電流値をゲート幅で割ったものである。

40

【0039】

図2より、紫外線非照射時の電流(暗電流)は、照射時に比べ、ゲート電流およびドレイン電流がともに大幅に低減できていることが分かる。

【産業上の利用可能性】

【0040】

本発明はフォトディテクタ、特に紫外線を有効に捉えるフォトディテクタ、さらにはフォトディテクタが電源回路または増幅回路と一体化され得る電界効果トランジスタに利用され得る。

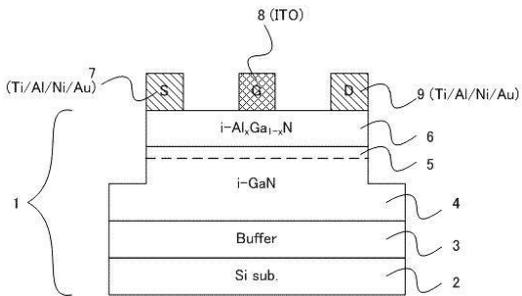
50

【符号の説明】

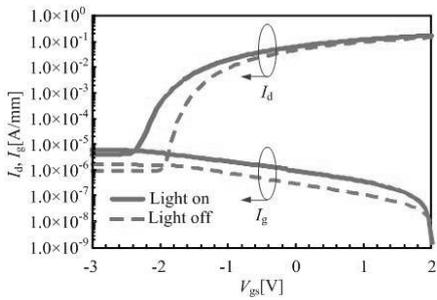
【0041】

1：半導体積層構造、2：基板、3：バッファ層、4：チャネル層、5：2次元電子ガス領域、6：電子供給層、7ソース電極、8：ゲート電極、9：ドレイン電極

【図1】



【図2】



フロントページの続き

(51)Int.Cl.			F I			テーマコード(参考)
<i>H 0 1 L</i>	<i>29/423</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	29/58		Z
<i>H 0 1 L</i>	<i>31/10</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	31/10		A

Fターム(参考) 5F102 GA01 GA03 GA05 GB01 GC01 GD01 GJ02 GJ03 GJ04 GJ05
GJ10 GL04 GM04 GQ01 GT10 HC01