

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6083586号
(P6083586)

(45) 発行日 平成29年2月22日 (2017.2.22)

(24) 登録日 平成29年2月3日 (2017.2.3)

(51) Int. Cl. F I
 H O 3 K 3 / 3 5 4 (2 0 0 6 . 0 1) H O 3 K 3 / 3 5 4 B
 H O 3 K 3 / 0 3 (2 0 0 6 . 0 1) H O 3 K 3 / 0 3

請求項の数 6 (全 20 頁)

| | | | |
|-----------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2011-8850 (P2011-8850) | (73) 特許権者 | 305027401 公立大学法人首都大学東京 東京都新宿区西新宿二丁目3番1号 |
| (22) 出願日 | 平成23年1月19日 (2011.1.19) | (73) 特許権者 | 504174135 国立大学法人九州工業大学 福岡県北九州市戸畑区仙水町1番1号 |
| (65) 公開番号 | 特開2012-151662 (P2012-151662A) | (74) 代理人 | 100151688 弁理士 今 智司 |
| (43) 公開日 | 平成24年8月9日 (2012.8.9) | (72) 発明者 | 三浦幸也 東京都日野市旭が丘6-6 公立大学法人 首都大学東京 日野キャンパス内 |
| 審査請求日 | 平成26年1月7日 (2014.1.7) | (72) 発明者 | 佐藤康夫 福岡県飯塚市川津680-4 国立大学法 人九州工業大学内 |
| 審判番号 | 不服2015-15290 (P2015-15290/J1) | | |
| 審判請求日 | 平成27年8月17日 (2015.8.17) | | |

最終頁に続く

(54) 【発明の名称】 リング発振器

(57) 【特許請求の範囲】

【請求項1】

M O S トランジスタで構成され2以上の入力端子を有し非発振時に2以上の入力の論理積若しくは論理和を否定した出力を出す反転ゲートとして機能する奇数個のゲート回路が、1つのゲート回路の出力端子と他の1つのゲート回路の第1の入力端子とを接続するというように順次接続され、全体としてリング状となるようにされ、任意の1つのゲート回路の出力端子から発振出力を取り出すよう構成されたリング発振器において、

ゲート回路の1つに3入力ゲート回路を用い、

発振または非発振を制御するための発振制御信号を入力する発振制御入力端子を、各ゲート回路の第2の入力端子と接続し、

発振開始信号を入力する発振開始信号端子を前記3入力ゲート回路の第3の入力端子に接続し、

ゲート回路中において発振時にオンオフして発振出力を生ぜしめるのに寄与する2つのM O S トランジスタのうち一方が、非発振時にはオフ状態となるよう前記発振制御信号が印加される構成とし、

発振を指示する発振制御信号が入力された後、発振開始信号が入力されることにより発振が開始されるようにしたリング発振器。

【請求項2】

1つの3入力ゲート回路としては3入力N A N D回路を用い、それ以外のゲート回路としては2入力N A N D回路を用いて構成した請求項1記載のリング発振器。

【請求項 3】

1つの3入力ゲート回路としては3入力NOR回路を用い、それ以外のゲート回路としては2入力NOR回路を用いて構成した請求項1記載のリング発振器。

【請求項 4】

1つの3入力ゲート回路としては3入力NAND回路を用い、それ以外のゲート回路としては2入力E×OR回路を用い、

該E×OR回路にあつては第1の入力端子としてトランスファゲート部を経て出力端子と接続されている方の入力端子を選定し、第2の入力端子としてはそうでない方の入力端子を選定して構成した請求項1記載のリング発振器。

【請求項 5】

1つの3入力ゲート回路としては3入力NOR回路を用い、それ以外のゲート回路としては2入力E×NOR回路を用い、

該E×NOR回路にあつては第1の入力端子としてトランスファゲート部を経て出力端子と接続されている方の入力端子を選定し、第2の入力端子としてはそうでない方の入力端子を選定して構成した請求項1記載のリング発振器。

【請求項 6】

1つの3入力ゲート回路としては3入力NAND回路を用い、それ以外のゲート回路としては4入力OR-NAND回路を用い、

該4入力OR-NAND回路にあつては

その2つの入力端子を一括して第2の入力端子とし、

他の1つの入力端子を第1の入力端子とし、

残る1つの入力端子は発振制御信号を反転するインバータを介して発振制御入力端子と接続されている請求項1記載のリング発振器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リング発振器に関するものである。

【背景技術】

【0002】

リング発振器は、入力を反転した出力を出すゲート回路を、奇数段リング状に接続して構成した発振器である。この発振器はしばしばLSI等の半導体集積回路中に作り込まれ、半導体集積回路中の他の回路へクロック信号を提供するのに用いられる。また、ゲート回路の遅延時間測定や、LSIの製造ばらつきをモニターする回路や、温度計測回路等にも用いられたりしている。

【0003】

図6はそのような従来のリング発振器の第1の例を示している。図6において、1～5はNAND回路、6は発振制御入力端子、7は配線、8は出力端子である。使用されているゲート回路は2入力NAND回路であり、全部で奇数個用いられている。各NAND回路の一方の入力端子Aは、前段のNAND回路の出力端子Cと接続するというようにして、全体としてリング状となるよう構成されている。

そして、NAND回路1の他方の入力端子Bは発振制御入力端子6と接続され、他のNAND回路2～5の入力端子Bは、それぞれ自分の入力端子Aに接続される。発振出力を取り出す出力端子8は、任意のNAND回路の出力端子Cに接続される。

【0004】

図中に記している論理値1, 0は、このリング発振器が発振していない時の値である。即ち、発振制御入力端子6に、発振させない(非発振)との制御信号である信号値0が与えられている時の値である。

NAND回路1の入力端子Bに0が入力されていると、他方の入力端子Aへの入力が1でも0でも、出力端子Cの値は1となる。その後続く各NAND回路(インバータ)2～5の出力は、各入力を反転した出力となるから、0, 1, 0, 1と続き、最終の奇数段

10

20

30

40

50

のNAND回路5の出力は1となる。NAND回路5の出力1はNAND回路1の入力端子Aに入力されるが、これが入力されてもNAND回路1の出力は1のままである。従って非発振時には、図中に記した値を保ったままの状態安定している。

【0005】

発振させる時には、発振制御入力端子6に入力する発振制御信号を1とする。すると、NAND回路1の入力端子A、Bの値は両方とも1となるから、NAND回路1の出力の値は0となる。その後続く各NAND回路2～5の出力は各入力を反転した出力となるから、1, 0, 1, 0と続き、最終の奇数段の出力は0となる。

その0がNAND回路1の入力端子Aに入力されると、他方の入力端子Bの値は1のままであるから、出力は1と変る。従って、それ以後の各段の出力は各入力を反転した出力となり、0, 1, 0, 1と続き、最終の奇数段の出力は1と変る。

10

【0006】

つまり、発振状態にされると、論理信号が各段で反転しながら次々と伝播して行くが、ゲート回路は全部で奇数段であるので、リング状の段を1周して元へ戻った時の出力は、前回の反転出力となっている。従って、次の段以降のゲート回路の出力もまた次々と反転し、結局、発振状態にされている間中、各段の出力は1になったり0になったりするのを繰り返し続ける。この出力が出力端子8より取り出され、クロック信号等として利用される。

1個のゲート回路において、入力された時から反転出力が出る時までの遅延時間は、そのゲート回路の伝播遅延時間と呼ばれる。その時間を t_{pd} とすると、出力端子8からの発振出力が1 0あるいは0 1と反転するには、信号がゲート回路を次々と伝播してリングを1周して来る必要があるから、ゲート回路が n 段(n は奇数)あれば、 $t_{pd} \times n$ の時間がかかる。これで半周期である。1周期 T はその2倍であるから、 T は次式で表される。

20

$$T = 2 \times t_{pd} \times n$$

【0007】

図7は従来のリング発振器の第2の例である。符号は図6のものに対応し、10は発振制御入力端子、11～15はNAND回路、16は入力端子、17, 18は配線、19は出力端子、A, Bは入力端子、Cは出力端子である。

使用されているゲート回路は2入力NAND回路であり、全部で奇数個用いられている。各NAND回路の一方の入力端子Aは、前段のNAND回路の出力端子Cと接続するというようにして、全体としてリング状となるよう構成されている。

30

【0008】

NAND回路11の他方の入力端子Bは発振制御入力端子10と接続され、他のNAND回路12～15の入力端子Bは、配線18を経て入力端子16と接続されている。入力端子16からは、論理値1の信号が常に与えられている。2入力NAND回路の一方の入力端子に論理値1が与えられたままにされると、そのNAND回路はインバータとして機能する。従って、NAND回路12～15はインバータとして働いている。

なお、発振出力を取り出す出力端子19は、任意のNAND回路の出力端子Cに接続される。

40

【0009】

図中に記している論理値1, 0は、このリング発振器が発振していない時の値である。発振させたい時には、発振制御入力端子10への信号値を1とする。

各ゲートにおける非発振時の動作および発振時の動作は、図6に記した例とほぼ同様であるので、その説明は省略する。

なお、リング発振器に関する特許文献としては、例えば次のようなものがある。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開平6-28055号公報

50

【特許文献2】特開2006-67190号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

(問題点)

LSI等の半導体集積回路に組み込まれたリング発振器は、専用の電源スイッチを有しているわけではないので、発振させる必要がない時でも電源電圧が印加された状態にある。そのため、リング発振器中に使用されているトランジスタによっては、非発振時中も能動状態にするゲート電圧が印加され続け、時間の経過につれてトランジスタ特性が劣化し、発振周期が増大(言い換えれば発振周波数が次第に減少)してしまうという問題点があった。

10

発振周期が増大して来ると、リング発振器の周波数を計測に利用している場合、計測値が真の値から少しずつれてしまうなどして、計測結果の信頼性が悪くなったりしていた。

【0012】

(問題点の説明)

発振周期を次第に増大させる原因となっているのは、ゲート回路を構成しているトランジスタの特性の劣化である。この劣化により前記した伝播遅延時間 t_{pd} が増加して来るので、結局、発振周期 $T (= 2 \times t_{pd} \times n)$ が増加してしまう。

以下、それを詳しく説明する。

【0013】

20

LSI等の半導体集積回路にリング発振器を作り込む場合、MOSトランジスタが用いられることが殆どである。PチャネルのMOSトランジスタをPMOSトランジスタ、NチャネルのMOSトランジスタをNMOSトランジスタと称することにする。主要な劣化モードとして、PMOSトランジスタでは、NBTI現象(Negative Bias Temperature Instability)による特性劣化がある。NMOSトランジスタでは、PBTI現象(Positive Bias Temperature Instability)による特性劣化と、HC現象(Hot Carrier)による特性劣化とがある。

【0014】

NBTIは、PMOSトランジスタのゲートに基板電圧より負の電圧(該トランジスタを能動状態にすべきゲート電圧)が印加されている時間が長く継続すると、PMOSトランジスタの閾値(の絶対値)が大きくなってしまう現象である。

30

PBTIは、NMOSトランジスタのゲートに基板電圧より正の電圧(該トランジスタを能動状態にすべきゲート電圧)が印加されている時間が長く継続すると、NMOSトランジスタの閾値(の絶対値)が大きくなってしまう現象である。

これらNBTI, PBTI現象(閾値の絶対値の増加)は、ゲート酸化膜とシリコン基板との界面に、電荷が注入されることにより生じている。

(なお、NBTIやPBTIの発生メカニズムや発生条件には現時点では諸説あるため、本特許で対象とするものは上記の限りではない。ただし、いずれの場合も、トランジスタの閾値(の絶対値)が増加するという現象を引き起こしていることに変わりはない。)

40

【0015】

閾値(の絶対値)が大になると、そのMOSトランジスタを構成要素として含んでいるゲート回路の伝播遅延時間 t_{pd} が増加する。ゲート回路への入力変化から出力の立上り変化(出力がロー(L)からハイ(H)への変化)までの伝播遅延時間を立上り伝播遅延時間 t_{pLH} とし、ゲート回路への入力変化から出力の立下り変化(出力がハイ(H)からロー(L)への変化)までの伝播遅延時間を立下り伝播遅延時間 t_{pHL} とすると、それらとそのゲート回路の伝播遅延時間 t_{pd} との間には、下記のような関係があることが知られている。

$$\text{伝播遅延時間 } t_{pd} = (t_{pLH} + t_{pHL}) \div 2$$

【0016】

50

なお、NBTIでは立上り伝播遅延時間 t_{pLH} の方が増加し、PBTIでは立下り伝播遅延時間 t_{pHL} の方が増加することが知られている。

特性劣化を考える場合、NMOSトランジスタには、配慮すべき現象としてPBTI劣化の他にHC現象（HCIと呼ばれる場合もある）による劣化がある。

HC現象は、ゲートに基板電圧より正の電圧（NMOSトランジスタを能動状態にすべきゲート電圧）が印加されてドレイン電流が流れているとき、Nチャネルのホットキャリア（電子）がゲート酸化膜に注入され、閾値（の絶対値）が増加する現象である。これも、NMOSトランジスタの立下り伝播遅延時間 t_{pHL} を増加させる原因となっている。（なお、HCの発生メカニズムや発生条件には現時点では諸説あるため、本特許で対象とするものは上記の限りではない。ただし、いずれの場合も、トランジスタの閾値（の絶対値）が増加するという現象を引き起こしていることに変わりはない。）

10

【0017】

次に、リング発振器において、ゲート回路を構成している各MOSトランジスタが、どのような動作状況に置かれたときに劣化が生ずるのかを説明する。

上記の説明でも述べたように、劣化はゲートにそのトランジスタを能動状態にすべき電圧が印加されている時に生ずる。従って、オフにすべき電圧をゲートに印加している限り劣化はしない。

発振は、所定のMOSトランジスタのオン、オフを反復させることにより行われる。従って、発振動作中に、それら所定のMOSトランジスタを交互に能動状態（オン）にするゲート電圧が印加されるのは、本来の目的のためであり、それによる劣化は止むを得ない。

20

【0018】

防止すべき劣化は、非発振時に生ずる劣化である。常時発振させなければならないような使い方以外では、一般に、発振している期間より非発振の期間の方が長い。その長い非発振期間中に、発振動作で使用されるMOSトランジスタを劣化させてしまい、発振周期に悪影響を及ぼすようなことは、出来るだけ防止する必要がある。

図6のリング発振器ではゲート回路として2入力NAND回路を用いているので、その具体的回路によって説明する。

【0019】

図8はNAND回路の具体的構成例である。端子の符号は図6のものに対応し、 P_A , P_B はPMOSトランジスタ、 N_A , N_B はNMOSトランジスタである。 P_A , P_B が並列接続されたものと N_A , N_B が直列接続されたものとが直列接続され、その接続点が出来出力端子Cに接続されている。 P_A , P_B 側の端部は電源 $+V_{DD}$ に接続され、 N_A , N_B 側の端部はアースに接続されている。そして、 P_A , N_A のゲートは入力端子Aと接続され、 P_B , N_B のゲートは入力端子Bと接続されている。なお、NAND回路の図示のような構成は公知である。

30

【0020】

図6のリング発振器では、非発振時において劣化を生じているMOSトランジスタは、次の通りである。

NAND回路1では、入力端子Aに1が入力され、入力端子Bに0が入力されているので、能動にすべきゲート電圧が印加されるMOSトランジスタは N_A と P_B である。従って、 N_A にはPBTI劣化、HC劣化を生じ、 P_B にはNBTI劣化が生ずる。

40

NAND回路2以降の段では、入力端子A, Bに1が入力されるNAND回路2等と、入力端子A, Bに0が入力されるNAND回路3等とが交互に連なる形となっている。入力端子A, Bに1が入力されるNAND回路2等で、能動にすべきゲート電圧が印加されるMOSトランジスタは、 N_A , N_B である。従って、これらにPBTI劣化、HC劣化が生ずる。入力端子A, Bに0が入力されるNAND回路3等で、能動にすべきゲート電圧が印加されるMOSトランジスタは、 P_A , P_B である。従って、これらにNBTI劣化が生ずる。

【0021】

50

発振に關与するMOSトランジスタは、発振時にゲート電圧が変化され、オン、オフ動作を繰り返すMOSトランジスタである。そういうMOSトランジスタは、図6から分かるように、入力端子Aからゲート電圧が与えられているものである。従って最初のNAND回路1では P_A 、 N_A である。入力端子A、Bが一括接続されているNAND回路2以降の各回路では、 P_A 、 P_B 、 N_A 、 N_B 全てである。

従って、 P_A 、 P_B 、 N_A 、 N_B すべてに非発振時中に劣化を生じており、その劣化による伝播遅延時間の増大が原因となり、各ゲート回路(NAND回路)の伝播遅延時間 t_{pd} を増大させ、全体ではそれがn段累積されてリング発振器の発振周期を増大させている。

【0022】

10

図7のリング発振器では、非発振時において劣化を生じているMOSトランジスタは、次の通りである。

NAND回路11では、入力端子Aに1が入力され、入力端子Bに0が入力されているので、能動にすべきゲート電圧が印加されるMOSトランジスタは、図8で言えば N_A と P_B であり、 N_A にはPBTI劣化、HC劣化が生じ、 P_B にはNBTI劣化が生ずる。

NAND回路12以降の段では、入力端子A、Bに1が入力されるNAND回路12等と、入力端子Aに0、Bに1が入力されるNAND回路13等とが交互に連なる形となっている。

【0023】

入力端子A、Bに1が入力されるNAND回路12等で、能動にすべきゲート電圧が印加されるMOSトランジスタは、図8で言えば N_A 、 N_B である。従って、これらにPBTI劣化、HC劣化が生ずる。入力端子Aに0、Bに1が入力されるNAND回路13等で、能動にすべきゲート電圧が印加されるMOSトランジスタは、図8で言えば P_A 、 N_B である。従って、 P_A にはNBTI劣化が生じ、 N_B にはPBTI劣化、HC劣化が生ずる。

20

【0024】

発振に關与するMOSトランジスタは、発振時にゲート電圧が変化され、オン、オフ動作を繰り返すMOSトランジスタである。発振時にオンオフを繰り返し信号が与えられるのは、図7から分かるように入力端子Aであるから、入力端子Aからゲート電圧が与えられているMOSトランジスタが、オンオフを繰り返すMOSトランジスタである。それらは各NAND回路中の P_A 、 N_A である。

30

これら P_A 、 N_A は、上記したように非発振時中に劣化を生じており、その劣化による伝播遅延時間の増大が原因となり、各ゲート回路(NAND回路)の伝播遅延時間 t_{pd} を増大させ、全体ではそれがn段累積されてリング発振器の発振周期を増大させている。

【0025】

以上のように、従来のリング発振器の発振周期は、PMOSトランジスタの劣化(NBTI劣化、HC劣化など)、およびNMOSトランジスタの劣化(PBTI劣化など)の両方が混ざった形で影響を受け、増大してしまっていた。

本発明は、リング発振器において、非発振時において劣化するMOSトランジスタを少なくし、且つそれらのMOSトランジスタを、発振動作時にはオフする(すなわち発振に使用しない)ような構成にし、発振周期の増大を出来るだけ少なくしようとするものである。

40

【課題を解決するための手段】

【0026】

前記課題を解決するため、本発明では、MOSトランジスタで構成され2以上の入力端子を有し非発振時にを入力を反転した出力を出す反転ゲートとして機能する奇数個のゲート回路が、1つのゲート回路の出力端子と他の1つのゲート回路の第1の入力端子とを接続するということに順次接続され、全体としてリング状となるようにされ、任意の1つのゲート回路の出力端子から発振出力を取り出すよう構成され、非発振時でも動作電源が印加された状態とされてもMOSトランジスタの特性劣化による発振周期の増大を抑制する

50

ング発振器において、最終段のゲート回路の出力が最初の段のゲート回路の第1の入力端子に入力され、発振または非発振を制御するための発振制御信号を入力する発振制御入力端子を、各ゲート回路の第2の入力端子と接続し、ゲート回路中において発振時にオンオフして発振出力を生ぜしめるのに寄与する2つのMOSトランジスタのうち的一方が、非発振時にはオフ状態となるよう前記発振制御信号が印加される構成とした。

【0027】

このようなリング発振器は、ゲート回路として2入力のNAND回路のみを用いて構成することも出来るし、2入力のNOR回路のみを用いて構成することも出来る。

また、異なった種類のゲート回路を組み合わせて構成することも出来る。例えば、1つのゲート回路として2入力のNAND回路を用い、他のゲート回路として2入力のEXOR回路を用い、該EXOR回路においては第1の入力端子としてトランスファージェート部を経て出力端子と接続されている方の入力端子を選定し、第2の入力端子としてはそうでない方の入力端子を選定して構成することが出来る。

【0028】

あるいは、1つのゲート回路として2入力のNOR回路を用い、他のゲート回路として2入力のEXNOR回路を用い、該EXNOR回路においては第1の入力端子としてトランスファージェート部を経て出力端子と接続されている方の入力端子を選定し、第2の入力端子としてはそうでない方の入力端子を選定して構成することが出来る。

更に、入力端子が3以上あるゲート回路を用いて構成することも出来る。例えば、ゲート回路として4入力OR-NAND回路を用い、その2つの入力端子を一括して第2の入力端子とし、他の1つの入力端子を第1の入力端子とし、残る1つの入力端子は発振制御信号を反転するインバータを介して発振制御入力端子と接続するというようにして構成することが出来る。

【0029】

また、発振開始時の動作をより一層安定して行えるようにするため、次のような構成にすることも出来る。

即ち、MOSトランジスタで構成され2以上の入力端子を有し非発振時に入力を反転した出力を出す反転ゲートとして機能する奇数個のゲート回路が、1つのゲート回路の出力端子と他の1つのゲート回路の第1の入力端子とを接続するというように順次接続され、全体としてリング状となるようにされ、任意の1つのゲート回路の出力端子から発振出力を取り出すよう構成されたリング発振器において、ゲート回路の1つに3入力ゲート回路を用い、発振または非発振を制御するための発振制御信号を入力する発振制御入力端子を、各ゲート回路の第2の入力端子と接続し、発振開始信号を入力する発振開始信号端子を前記3入力ゲート回路の第3の入力端子に接続し、ゲート回路中において発振時にオンオフして発振出力を生ぜしめるのに寄与する2つのMOSトランジスタのうち的一方が、非発振時にはオフ状態となるよう前記発振制御信号が印加される構成とし、発振を指示する発振制御信号が入力された後、発振開始信号が入力されることにより発振が開始されるようにすることが出来る。

【0030】

このようなリング発振器を構成するに際し、1つの3入力ゲート回路としては3入力NAND回路を用い、それ以外のゲート回路としては2入力NAND回路を用いて構成することが出来るし、1つの3入力ゲート回路としては3入力NOR回路を用い、それ以外のゲート回路としては2入力NOR回路を用いて構成することが出来る。

あるいは、1つの3入力ゲート回路としては3入力NAND回路を用い、それ以外のゲート回路としては2入力EXOR回路を用い、該EXOR回路においては第1の入力端子としてトランスファージェート部を経て出力端子と接続されている方の入力端子を選定し、第2の入力端子としてはそうでない方の入力端子を選定して構成することが出来る。

【0031】

更には、1つの3入力ゲート回路としては3入力NOR回路を用い、それ以外のゲート回路としては2入力E×NOR回路を用い、該E×NOR回路にあつては第1の入力端子としてトランスファゲート部を経て出力端子と接続されている方の入力端子を選定し、第2の入力端子としてはそうでない方の入力端子を選定して構成することが出来る。

あるいは、1つの3入力ゲート回路としては3入力NAND回路を用い、それ以外のゲート回路としては4入力OR-NAND回路を用い、該4入力OR-NAND回路にあつてはその2つの入力端子を一括して第2の入力端子とし、他の1つの入力端子を第1の入力端子とし、残る1つの入力端子は発振制御信号を反転するインバータを介して発振制御入力端子と接続されている構成とすることも出来る。

【0032】

また、本発明のリング発振器は、トランジスタで構成されオンすると出力がハイレベルになる複数の独立したプルアップ回路を含み、入力を反転した出力を出すゲート回路を奇数個リング状に接続して構成され、非発振時でも動作電源が印加された状態とされてもMOSトランジスタの特性劣化による発振周期の増大を抑制するリング発振器であつて、最終段のゲート回路の出力が最初の段のゲート回路の入力端子に入力され、前記プルアップ回路の1つは非発振時にはプルアップ機能を果たし発振時には果たさぬよう、リング状のゲート回路を伝播する信号とは独立して、発振制御入力信号により制御されるよう構成され、前記プルアップ回路の他の1つは発振時にはリング状のゲート回路を伝播する信号により反転タイプのゲート回路として機能し、非発振時にはプルアップ機能を果たさないよう制御されるよう構成することが出来る。

【0033】

あるいは、本発明のリング発振器は、トランジスタで構成されオンすると出力がローレベルになる複数の独立したプルダウン回路を含み、入力を反転した出力を出すゲート回路を奇数個リング状に接続して構成され、非発振時でも動作電源が印加された状態とされてもMOSトランジスタの特性劣化による発振周期の増大を抑制するリング発振器であつて、最終段のゲート回路の出力が最初の段のゲート回路の入力端子に入力され、前記プルダウン回路の1つは、非発振時にはプルダウン機能を果たし発振時には果たさぬよう、リング状のゲート回路を伝播する信号とは独立した発振制御入力信号により制御される構成とされ、前記プルダウン回路の他の1つは、リング状のゲート回路を伝播する信号により発振時には反転タイプのゲート回路として機能するよう制御され、非発振時にはプルダウン機能を果たさないよう制御される構成することが出来る。

【0034】

更に、本発明のリング発振器は、入力を反転した出力を出すゲート回路を奇数個リング状に接続して構成され、非発振時でも動作電源が印加された状態とされてもMOSトランジスタの特性劣化による発振周期の増大を抑制するリング発振器であつて、最終段のゲート回路の出力が最初の段のゲート回路の入力端子に入力され、該ゲート回路中のトランジスタで発振時には発振動作のためにオンオフするトランジスタを、非発振時にはリング状のゲート回路を伝播する信号とは独立した発振制御入力信号により、オフするようにしたリング発振器として構成することが出来る。

【発明の効果】

【0035】

本発明によれば、非発振時でも動作電源が印加された状態とされるリング発振器において、発振動作に関与するMOSトランジスタの一部を非発振時にはオフにする構成としたので、そのMOSトランジスタの特性は非発振時中に劣化しなくなり、特性劣化による発振周期の増大を抑制することが出来るようになった。

また、リング発振器を構成するゲート回路の1つに3入力ゲート回路を用い、その第3の入力端子を発振開始信号を入力する端子とするよう構成し、その第2の入力端子に発振を指示する発振制御信号を入力した後に、該第3の入力端子に発振開始信号を入力するよ

10

20

30

40

50

うにすれば、発振開始時の動作がより一層安定して行われるようになる。

【図面の簡単な説明】

【0036】

【図1】本発明の第1の実施形態のリング発振器

【図2】本発明の第2の実施形態のリング発振器

【図3】本発明の第3の実施形態のリング発振器

【図4】本発明の第4の実施形態のリング発振器

【図5】本発明の第5の実施形態のリング発振器

【図6】従来リング発振器の第1の例

【図7】従来リング発振器の第2の例

【図8】NAND回路の具体的構成例

【図9】本発明の第6の実施形態のリング発振器

【図10】本発明の第7の実施形態のリング発振器

【図11】本発明の第8の実施形態のリング発振器

【図12】本発明の第9の実施形態のリング発振器

【図13】本発明の第10の実施形態のリング発振器

【発明を実施するための形態】

【0037】

以下、本発明の実施形態を図面に基づいて詳細に説明する。

(第1の実施形態)

図1は、本発明の第1の実施形態のリング発振器である。符号は図6のものに対応し、20は発振制御入力端子、21~25はNAND回路、26, 27は配線、28は出力端子である。

【0038】

このリング発振器の接続構成は次の通りである。奇数個の2入力NAND回路の一方の入力端子Bは、全て発振制御入力端子20に接続し、他方の入力端子Aは前段の出力端子Cと接続するというようにして、全体としてリング状となるよう構成される。そして、任意のNAND回路の出力端子Cに、発振出力を取り出す出力端子28が接続される。

非発振時には、図中に記したように、発振制御入力端子20に論理値0が入力される。各入力端子Bに0が入力されるので、各NAND回路の出力の値は1となる。

発振時には、発振制御入力端子20に論理値1が入力され、その値に固定される。すると、各NAND回路の出力は1 0 1 ...と交互に変化し、出力端子28からは発振出力が取り出される。

【0039】

このように構成したリング発振器は、MOSトランジスタの劣化による発振周期の増大が抑制される。その理由を、NAND回路として図8の構成のものを用いた場合を例にとって説明する。なお、このNAND回路を図1のリング発振器に使用する場合、入力端子Bに0が入力される非発振時においてオンする P_B は、出力端子Cの出力を論理値1(電源+ V_{DD})に引き上げるといふプルアップ機能を果しているトランジスタである。

図1のリング発振器で発振出力を出すためにオン、オフを繰り返すMOSトランジスタは、入力端子Aからの入力ゲートに印加されるものであり、図8で言えば P_A と N_A である。もし非発振時にこれら P_A , N_A に劣化が生じているならば、発振周期の増大をもたらす。

【0040】

そこで、非発振時におけるNAND回路の動作状況を点検してみるに、入力端子Aには論理値1が入力されているが、この入力ゲートに印加されるべきゲート電圧として作用するMOSトランジスタは、図8で言えば N_A である。一方、入力端子Bには値0が入力されているが、この入力ゲートに印加されるべきゲート電圧として作用するMOSトランジスタは P_B である。つまり、非発振時に劣化が生じているのは N_A と P_B である。

即ち、発振動作に関与している P_A , N_A のうち、非発振時に劣化が生じているものは

10

20

30

40

50

N_A であり (PBTI劣化, HC劣化)、 P_B には生じていない。従って、 P_B において NBTI劣化が生じない分だけ、従来のものに比し、発振周期の増大を抑制することが出来る。

【0041】

(第2の実施形態)

図2(1)は、本発明の第2の実施形態のリング発振器であり、図2(2)はそれに使用するNOR回路である。図2において、30は発振制御入力端子、31~35はNOR回路、36, 37は配線、38は出力端子、D, Eは入力端子、Fは出力端子、 P_D , P_E はPMOSトランジスタ、 N_D , N_E はNMOSトランジスタである。

このリング発振器の接続構成は次の通りである。奇数個の2入力NOR回路の一方の入力端子Eは、全て発振制御入力端子30に接続し、他方の入力端子Dは前段の出力端子Fと接続するというようにして、全体としてリング状となるよう構成される。そして、任意のNOR回路の出力端子Fに、発振出力を取り出す出力端子38が接続される。

【0042】

非発振時には、図中に記したように、発振制御入力端子30に論理値1が入力される。各入力端子Eには1が入力されるので、各NOR回路の出力の値は0となる。

発振時には、発振制御入力端子30に論理値0が入力され、その値に固定される。すると、各NOR回路の出力は0 1 0 ...と交互に変化し、出力端子38からは発振出力が取り出される。

【0043】

このように構成したリング発振器も、MOSトランジスタの劣化による発振周期の増大が抑制される。その理由を、NOR回路として図2(2)の構成のものを用いた場合を例にとって説明する。 P_MOS トランジスタ P_D , P_E が直列接続されたものと、 N_MOS トランジスタ N_D , N_E が並列接続されたものとが直列接続され、その接続点が出力端子Fに接続される。 P_D , P_E 側の端部は電源+ V_{DD} に接続され、 N_D , N_E 側の端部はアースに接続される。そして、 P_D , N_D のゲートは入力端子Dと接続され、 P_E , N_E のゲートは入力端子Eと接続される。なお、NOR回路の図示のような接続構成は公知である。

入力端子Eに1が入力される非発振時にオンする N_E は、出力端子Fの出力を論理値0(アース)に引き下げるプルダウン機能を果しているトランジスタである。

【0044】

図2(1)のリング発振器で発振出力を出すためにオン, オフを繰り返すMOSトランジスタは、入力端子Dからの入力ゲートに印加される P_D と N_D である。もし非発振時にこれら P_D , N_D に劣化が生じているならば、発振周期の増大をもたらす。

そこで、非発振時におけるNOR回路の動作状況を点検してみるに、入力端子Eには1が入力されているが、この入力ゲートにすべきゲート電圧として作用するのは N_E である。一方、入力端子Dには0が入力されているが、この入力ゲートにすべきゲート電圧として作用するのは P_D である。つまり、非発振時に劣化が生じているのは N_E と P_D である。

発振動作に関与している P_D , N_D のうち、 P_D には劣化(NBTI劣化)が生じるものの、 N_D には生じていない。従って、 N_D においてPBTI劣化, HC劣化が生じない分だけ、従来のものに比し、発振周期の増大を抑制することが出来る。

【0045】

(第3の実施形態)

図3(1)は、本発明の第3の実施形態のリング発振器であり、図3(2)はそれに使用するE×OR回路である。図3において、40は発振制御入力端子、41は2入力のNAND回路、42~45は2入力のE×OR回路、46, 47は配線、48は出力端子、49はトランスファークロウ部、A, BはNAND回路の入力端子、CはNAND回路の出力端子、G, HはE×OR回路の入力端子、KはE×OR回路の出力端子、 P_{H1} , P_{H2} , P_G はPMOSトランジスタ、 N_G , N_H , N_X はNMOSトランジスタである。

なお、入力端子Gは、図3(2)にあるように、E×OR回路のトランスファーク部49を経て出力端子Kに接続されている方の入力端子であり、Hはそうでない方の入力端子である。

【0046】

このリング発振器の接続構成は次の通りである。ゲート回路として1段目に2入力のNAND回路41を用い、2段目以降にE×OR回路42～45を用い、全部で奇数個とする。各回路の一方の入力端子(但しE×OR回路にあっては入力端子Hの方)は全て発振制御入力端子40に接続し、他方の入力端子(但しE×OR回路にあっては入力端子Gの方)は前段の出力端子と接続するというようにして、全体としてリング状となるよう構成される。

10

そして、NAND回路41、E×OR回路42～45の内の任意の出力端子に、発振出力を取り出す出力端子48を接続する。

【0047】

非発振時は、図中に記したように、発振制御入力端子40には0が入力されるので、各回路の出力の値は1となる。発振時には、発振制御入力端子40に1が入力され、その値に固定される。すると、各回路の出力は1と0との間で交互に変化し、出力端子48からは発振出力が出される。

このように構成したリング発振器も、MOSトランジスタの劣化による発振周期の増大が抑制される。その理由を、E×OR回路として図3(2)の構成のものを用いた場合を例にとって説明する。なお、E×OR回路の図示のような接続構成は公知であるので、その説明は省略する。

20

【0048】

入力端子Hに論理値0が入力されると、 P_{H1} がオン、 N_H がオフになり、 N_X のゲートは電源+ V_{DD} に接続されてオンになると共に、 P_{H2} のゲートに0が印加されオンになる。これによりトランスファーク部49はオンとなる。

一方、入力端子Hに論理値1が入力されると、 P_{H1} がオフ、 N_H がオンになり、 N_X のゲートはアースに接続されてオフになると共に、 P_{H2} のゲートに1が印加されオフになる。これによりトランスファーク部49はオフとなる。

【0049】

E×OR回路内で発振出力を出すためにオン、オフを繰り返すMOSトランジスタは、入力端子Gからの入力ゲートに印加される P_G と N_G である。もし非発振時にこれら P_G と N_G に劣化が生じているならば、発振周期の増大をもたらす。

30

(なお、NAND回路41は図6のNAND回路1と同様に接続されているので、発振時にオン、オフを繰り返すMOSトランジスタは、図8の P_A 、 N_A である。それらのうち非発振時に劣化が生じるのは、図6のところで述べたように、入力端子Aから1が入力されている N_A である。)

【0050】

そこで、非発振時におけるE×OR回路の動作状況を点検してみるに、入力端子Hには論理値0が入力されているが、この入力ゲート電圧として作用するのは P_{H1} 、 P_{H2} である。一方、入力端子Gには1が入力されているが、この入力ゲート電圧として作用するのは N_G である(N_G オンにより出力端子Kの出力を論理値1に引き上げているから、 N_G はプルアップ機能を果しているトランジスタである。)。つまり、非発振時に劣化が生じているのは P_{H1} 、 P_{H2} と N_G である。

40

発振動作に関与している P_G 、 N_G のうち、 N_G には劣化(PBTI劣化、HC劣化)が生じるものの、 P_G には生じていない。従って、 P_G においてNBTI劣化が生じない分だけ、従来のものに比し、発振周期の増大を抑制することが出来る。(NAND回路41でも非発振時に劣化が生じているのは、N形の N_A であり、P形の P_A には生じていない。)

【0051】

(第4の実施形態)

50

図4(1)は、本発明の第4の実施形態のリング発振器であり、図4(2)はそれに使用するE×NOR回路である。図4において、50は発振制御入力端子、51は2入力のNOR回路、52～55は2入力のE×NOR回路、56, 57は配線、58は出力端子、59はトランスファークゲート部、D, EはNOR回路の入力端子、FはNOR回路の出力端子、L, MはE×NOR回路の入力端子、QはE×NOR回路の出力端子、 N_L , N_{M1} , N_{M2} はNMOSトランジスタ、 P_L , P_M , P_X はPMOSトランジスタである。

なお、入力端子Lは、図4(2)にあるように、E×NOR回路のトランスファークゲート部59を経て出力端子Qに接続されている方の入力端子であり、Mはそうでない方の入力端子である。

【0052】

このリング発振器の接続構成は次の通りである。ゲート回路として1段目にNOR回路51を用い、2段目以降にE×NOR回路52～55を用い、全部で奇数個とする。各回路の一方の入力端子(但しE×NOR回路にあっては入力端子Mの方)は全て発振制御入力端子50に接続し、他方の入力端子(但しE×NOR回路にあっては入力端子Lの方)は前段の出力端子と接続するというようにして、全体としてリング状となるよう構成される。

そして、前記NOR回路51, E×NOR回路52～55の内の任意の出力端子に、発振出力を取り出す出力端子58を接続する。

【0053】

非発振時は、図中に記したように発振制御入力端子50には論理値1が入力され、各回路の出力の値は0とされる。発振時には、発振制御入力端子50に論理値0が入力され、その値に固定される。すると、各回路の出力は1と0との間で交互に変化し、出力端子58からは発振出力が出される。

このように構成したリング発振器も、MOSトランジスタの劣化による発振周期の増大が抑制される。その理由を、E×NOR回路として図4(2)の構成のものを用いた場合を例にとって説明する。なお、E×NOR回路の図示のような接続構成は公知であるので、その説明は省略する。

【0054】

入力端子Mに論理値0が入力されると、 P_M がオン、 N_{M1} がオフになり、 P_X のゲートは電源+ V_{DD} に接続されてオフになると共に、 N_{M2} のゲートに0が印加され N_{M2} もオフになる。これによりトランスファークゲート部59はオフとなる。

一方、入力端子Mに1が入力されると、 P_M がオフ、 N_{M1} がオンになり、 P_X のゲートはアースに接続されてオンになると共に、 N_{M2} のゲートに1が印加され N_{M2} もオンになる。これによりトランスファークゲート部59はオンとなる。

【0055】

E×NOR回路内で発振出力を出すためにオン、オフを繰り返すMOSトランジスタは、入力端子Lからの入力ゲートに印加される P_L と N_L である。もし非発振時にこれら P_L と N_L に劣化が生じているならば、発振周期の増大をもたらす。

(なお、NOR回路51は図2のNOR回路31と同様に接続されているので、発振時にオン、オフを繰り返すMOSトランジスタは、図2(2)の P_D , N_D である(入力端子Dからゲート電圧が印加されるもの)。それらのうち非発振時に劣化が生じるのは、図2のところ述べてように、入力端子Dから0が入力されている P_D である。)

【0056】

そこで、非発振時におけるE×NOR回路の動作状況を点検してみるに、入力端子Mには発振制御入力端子50から1が入力されているが、この入力ゲート電圧として作用するのは N_{M1} , N_{M2} である。

一方、入力端子Lには0が入力されているが、この入力ゲート電圧として作用するのは P_L である(P_L オンにより出力端子Qの出力を論理値0に引き下げているから、 P_L はプルダウン機能を果しているトランジスタである。)。つまり、非発振時に劣化が生じているのは N_{M1} , N_{M2} と P_L である。

10

20

30

40

50

発振動作に関与している P_L , N_L のうち、 P_L には劣化 (NBTI劣化) が生じるものの、 N_L には生じていない。従って、 N_L においてPBTI劣化、HC劣化が生じない分だけ、従来のものに比し、発振周期の増大を抑制することが出来る。(NOR回路51でも非発振時に劣化が生じているのは、P形の P_D であり、N形の N_D には生じていない。)

【0057】

(第5の実施形態)

図5(1)は、本発明の第5の実施形態のリング発振器であり、図5(2)はそれに使用する4入力OR-NAND回路である。図5において、60は発振制御入力端子、61はインバータ、62~64は4入力OR-NAND回路、65~67は配線、68は出力端子、R, S, T, Uは4入力OR-NAND回路の入力端子、Vは4入力OR-NAND回路の出力端子、 N_R , N_S , N_T , N_U はNMOSトランジスタ、 P_R , P_S , P_T , P_U はPMOSトランジスタである。

10

【0058】

このリング発振器の接続構成は次の通りである。発振制御入力端子60は、インバータ61の入力端子に接続されると共に、配線65に接続される。インバータ61の出力端子は、配線66に接続される。各4入力OR-NAND回路の入力端子R, Sは一括して配線65に接続され、入力端子Tは配線66に接続される。4入力OR-NAND回路は全部で奇数個とし、その各入力端子Uには前段の4入力OR-NAND回路の出力端子Vを接続するというようにして、全体としてリング状となるよう構成される。

20

そして、任意の4入力OR-NAND回路の出力端子Vに、発振出力を取り出す出力端子68を接続する。

【0059】

非発振時は、図中に記したように発振制御入力端子60には論理値0が入力され、各4入力OR-NAND回路の出力の値は1とされる。発振時には、発振制御入力端子60に論理値1が入力され、その値に固定される。すると、各4入力OR-NAND回路の出力は1と0との間で交互に変化し、出力端子68からは発振出力が出される。

このように構成したリング発振器も、MOSトランジスタの劣化による発振周期の増大が抑制される。その理由を、4入力OR-NAND回路として図5(2)の構成のものを用いた場合を例にとりて説明する。なお、この4入力OR-NAND回路の図示のような接続構成は公知であるので、その説明は省略する。

30

【0060】

4入力OR-NAND回路内で発振出力を出すためにオン、オフを繰り返すMOSトランジスタは、入力端子Uからの入力ゲートに印加される N_U と P_U である。もし非発振時にこれら N_U と P_U に劣化が生じているならば、発振周期の増大をもたらす。

そこで、非発振時における4入力OR-NAND回路の動作状況を点検してみるに、発振制御入力端子60に論理値0が入力されると、入力端子R, Sには0が入力され、 P_R , P_S はオン、 N_R , N_S はオフとなる。よって、出力端子Vは電源+ V_{DD} の方へつながれ、出力は1となる(P_R , P_S は、プルアップ機能を果してトランジスタである。)

【0061】

非発振時、入力端子Tには、発振制御入力の論理値0がインバータ61で反転された論理値1が入力される。すると、 P_T はオフとなる。しかし、 N_T には能動状態とすべきゲート電圧が印加されることとなり、オンとなる。

40

入力端子Uには前段の出力端子Vの1が入力され、これが N_U , P_U のゲートに印加される。このゲート入力は P_U をオフにするが、 N_U に対しては能動状態とすべきゲート電圧として作用する。

【0062】

つまり、非発振時に劣化が生じているのは、非発振時にオンとなっているMOSトランジスタ N_T , N_U , P_R , P_S である(その時、これらとCMOSの対を成しているMOSトランジスタ P_T , P_U , N_R , N_S は、オフとなっていて、劣化はしない。)

50

発振動作に関与している N_U と P_U のうち、 N_U には劣化（PBTI劣化，HC劣化）が生じるものの、 P_U にはNBTI劣化生じていない。従って、 P_U において劣化が生じない分だけ、従来のものに比し、発振周期の増大を抑制することが出来る。

【0063】

（第6の実施形態）

図9は、本発明の第6の実施形態のリング発振器である。符号は図1のものに対応し、Wは端子、70は3入力NAND回路、20Yは発振開始信号端子である。

この実施形態は、図1のリング発振器の変形例である。図1のリング発振器では、発振を開始するため発振制御入力端子20への入力を0→1に変化させたとき、全ゲート回路の一方の入力も0→1と変化し、全ゲート回路の出力は1→0に変化しようとする。そのため、ゲート回路によっては入出力間で論理値に矛盾が生ずることがあり、発振動作が不安定になる恐れがある。

10

そこで、発振開始直前にまず発振動作の初期値を設定する段階を入れ、設定した後で発振開始を指令し、発振動作を安定的に開始させるよう工夫したものが、この実施形態である。

【0064】

図1のリング発振器では、リング状に接続されているゲート回路は全て2入力NAND回路であるが、図9の実施形態では、その内の1つを、3入力NAND回路70で置き換えたものとしている。3入力NAND回路70の入力端子A、B、Wのうち、入力端子A、Bは図1のリング発振器と同様に接続される。即ち、入力端子Aはリング状に接続されている前段のゲート回路の出力端子と接続され、入力端子Bは発振制御入力端子20と接続される。

20

第3の入力端子Wは、新たに設けられた発振開始信号端子20Yと接続される。

【0065】

第6の実施形態では、発振動作の開始は次の2段階を経て行われる。

第1段階...発振制御入力端子20に、発振信号を入力する。

第2段階...発振開始信号端子20Yに、発振開始信号を入力する。

図9中に記載されている論理値0、1は、非発振時の値である。発振制御入力端子20に入力されている信号は0、発振開始信号端子20Yに入力されている信号は0である。この時、3入力NAND回路70の3つの入力はA=1、W=0、B=0で出力C=1であり、他の2入力NAND回路の入力はA=1、B=0で出力C=1である。

30

【0066】

（1）発振開始の第1段階...初期値の設定

発振開始の第1段階では、発振動作の初期値を設定する。この段階では、発振制御入力端子20に発振信号が入力される。図9の場合、発振信号は1であり、これが入力されると全てのゲート回路の入力端子Bに1が入力される。すると3入力NAND回路70の入力はA=1、W=0、B=1となるが、これではまだ出力Cは1に保たれたままである。NAND回路22はA=1、B=1となり、出力C=0に変る。このC=0が次のNAND回路23の入力端子Aに入力されるから、NAND回路23ではA=0、B=1となり、出力C=1のままである。

40

【0067】

その次の段以降も同様に動作するので、各ゲート回路の出力は0、1、0、...と交互に変わり、3入力NAND回路70から数えて最終段（奇数段）の出力は1のままとなる。従って、3入力NAND回路70の入力端子Aには1が入力され、その出力端子Cの出力は1が維持される。即ち、これ以上は変化せず、この状態で安定が保たれる。

第1段階を行うことにより現出された状態は、各ゲート回路の出力が、1、0、1、0、...と交互の論理値を取るようされたという状態である。これは、発振動作の初期状態の時の値である。リング発振器の各ゲート回路は、確実に反転作用を実行してくれることが期待されている回路であるから、交互に反転した出力を出している状態にいったんしてから発振開始が指令されれば、所期の反転を確実に行うことが出来、発振動作が不安定に

50

なることがない。

逆に言えば、このような状態を現出するために第1段階が行われるわけであるが、この第1段階の状態を安定的に保持するために、ゲート回路の1つに3入力NAND回路を採用している。

【0068】

(2) 発振開始の第2段階...発振開始指令

発振開始の第2段階では、発振開始信号端子20Yに発振開始信号が入力される。図9の場合、発振開始信号は1である。3入力NAND回路70の入力は $A = 1$ 、 $W = 1$ 、 $B = 1$ となり、出力Cは0に変わる。この変化を受けてNAND回路22以降のNAND回路の出力は次々と反転し、3入力NAND回路70から数えて最終段のNAND回路25の出力は0となる。これが、3入力NAND回路70の入力端子Aに入力され、その出力Cは反転して1となる。以後も出力の反転の連鎖は続けられ、発振が行われることになる。出力の反転の連鎖は、発振制御入力端子20に非発振信号(発振停止信号)である0が入力されるまで継続する。

10

発振周期の増大が抑制される理由は、図1の場合とほぼ同じであるので、その説明は省略する。

【0069】

(第7の実施形態)

図10は、本発明の第7の実施形態のリング発振器である。符号は図2のものに対応し、Xは端子、71は3入力NOR回路、30Yは発振開始信号端子である。図10中に記載されている論理値0、1は、非発振時の値である。

20

この実施形態は、図2のリング発振器の変形例である。図2のリング発振器では、発振を開始するため発振制御入力端子30への入力を1→0に変化させたとき、全ゲート回路の一方の入力も1→0と変化し、全ゲート回路の出力は0→1に変化しようとする。そのため、ゲート回路によっては入出力間で論理値に矛盾が生ずることがあり、発振動作が不安定になる恐れがある。

【0070】

そこで、発振開始直前にまず発振動作の初期値を設定する段階を入れ、設定した後で発振開始を指令し、発振動作を安定的に開始させるよう工夫したものが、この実施形態である。

30

図2のリング発振器では、リング状に接続されているゲート回路は全て2入力NOR回路であるが、図10の実施形態では、その内の1つを、3入力NOR回路71で置き換えたものとしている。3入力NOR回路71の入力端子D、X、Eのうち、入力端子D、Eは図2のリング発振器と同様に接続される。即ち、入力端子Dはリング状に接続されている前段のゲート回路の出力端子と接続され、入力端子Eは発振制御入力端子30と接続される。第3の入力端子Xは、新たに設けられた発振開始信号端子30Yと接続される。

【0071】

発振動作の開始は、図9の第6の実施形態の場合と同様、次の2段階を経て行われる。

第1段階...発振制御入力端子30に、発振信号を入力する。

第2段階...発振開始信号端子30Yに、発振開始信号を入力する。

40

各段階での動作は、図2、図9の実施形態の動作説明より容易に類推することが出来るので、その説明は省略する。また、発振周期の増大が抑制される理由は、図2の場合とほぼ同じであるので、その説明は省略する。

【0072】

(第8の実施形態)

図11は、本発明の第8の実施形態のリング発振器である。符号は図3、図9のものに対応し、72は3入力NAND回路、40Yは発振開始信号端子である。図11中に記載されている論理値0、1は、非発振時の値である。

この実施形態は、図3のリング発振器の変形例である。図3のリング発振器では、発振を開始するため発振制御入力端子40への入力を0→1に変化させたとき、全ゲート回路

50

の一方の入力も 0 1 と変化し、全ゲート回路の出力は 1 0 に変化しようとする。そのため、ゲート回路によっては入出力間で論理値に矛盾が生ずることがあり、発振動作が不安定になる恐れがある。

【 0 0 7 3 】

そこで、発振開始直前にまず発振動作の初期値を設定する段階を入れ、設定した後で発振開始を指令し、発振動作を安定的に開始させるよう工夫したものが、この実施形態である。

図 3 のリング発振器の 2 入力 N A N D 回路 4 1 を、3 入力 N A N D 回路 7 2 に置き換えたものである。3 入力 N A N D 回路 7 2 の入力端子 A , W , B のうち、入力端子 A , B は図 3 のリング発振器と同様に接続される。即ち、入力端子 A はリング状に接続されている前段のゲート回路の出力端子と接続され、入力端子 B は発振制御入力端子 4 0 と接続される。第 3 の入力端子 W は、新たに設けられた発振開始信号端子 4 0 Y と接続される。

10

【 0 0 7 4 】

発振動作の開始は、図 9 の第 6 の実施形態の場合と同様、次の 2 段階を経て行われる。

第 1 段階... 発振制御入力端子 4 0 に、発振信号を入力する。

第 2 段階... 発振開始信号端子 4 0 Y に、発振開始信号を入力する。

各段階での動作は、図 3 , 図 9 の実施形態の動作説明より容易に類推することができるので、その説明は省略する。また、発振周期の増大が抑制される理由は、図 3 の場合とほぼ同じであるので、その説明は省略する。

【 0 0 7 5 】

20

(第 9 の実施形態)

図 1 2 は、本発明の第 9 の実施形態のリング発振器である。符号は図 4 , 図 1 0 のものに対応し、7 3 は 3 入力 N O R 回路、5 0 Y は発振開始信号端子である。図 1 2 中に記載されている論理値 0 , 1 は、非発振時の値である。

この実施形態は、図 4 のリング発振器の変形例である。図 4 のリング発振器では、発振を開始するため発振制御入力端子 5 0 への入力を 1 0 に変化させたとき、全ゲート回路の一方の入力も 1 0 と変化し、全ゲート回路の出力は 0 1 に変化しようとする。そのため、ゲート回路によっては入出力間で論理値に矛盾が生ずることがあり、発振動作が不安定になる恐れがある。

【 0 0 7 6 】

30

そこで、発振開始直前にまず発振動作の初期値を設定する段階を入れ、設定した後で発振開始を指令し、発振動作を安定的に開始させるよう工夫したものが、この実施形態である。

図 4 のリング発振器の 2 入力 N O R 回路 5 1 を、3 入力 N O R 回路 7 3 に置き換えたものである。3 入力 N O R 回路 7 3 の入力端子 D , X , E のうち、入力端子 D , E は図 4 のリング発振器と同様に接続される。即ち、入力端子 D はリング状に接続されている前段のゲート回路の出力端子と接続され、入力端子 E は発振制御入力端子 5 0 と接続される。第 3 の入力端子 X は、新たに設けられた発振開始信号端子 5 0 Y と接続される。

【 0 0 7 7 】

発振動作の開始は、図 9 の第 6 の実施形態の場合と同様、次の 2 段階を経て行われる。

40

第 1 段階... 発振制御入力端子 5 0 に、発振信号を入力する。

第 2 段階... 発振開始信号端子 5 0 Y に、発振開始信号を入力する。

各段階での動作は、図 4 , 図 1 0 の実施形態の動作説明より容易に類推することができるので、その説明は省略する。また、発振周期の増大が抑制される理由は、図 4 の場合とほぼ同じであるので、その説明は省略する。

【 0 0 7 8 】

(第 1 0 の実施形態)

図 1 3 は、本発明の第 1 0 の実施形態のリング発振器である。符号は図 5 , 図 9 のものに対応し、7 4 は 3 入力 N A N D 回路、6 0 Y は発振開始信号端子である。図 1 3 中に記載されている論理値 0 , 1 は、非発振時の値である。

50

この実施形態は、図5のリング発振器の変形例である。図5のリング発振器では、発振を開始するため発振制御入力端子60への入力を0→1に変化させたとき、全ゲート回路の入力端子R、Sは0→1と変化し、入力端子Tは1→0と変化し、全ゲート回路の出力は1→0に変化しようとする。そのため、ゲート回路によっては入出力間で論理値に矛盾が生ずることがあり、発振動作が不安定になる恐れがある。

【0079】

そこで、発振開始直前にまず発振動作の初期値を設定する段階を入れ、設定した後で発振開始を指令し、発振動作を安定的に開始させるよう工夫したものが、この実施形態である。

図5のリング発振器の4入力OR-NAND回路62を廃し、その代わりに3入力NAND回路74を挿設したものである。3入力NAND回路74の入力端子A、W、Bのうち、入力端子Bは発振制御入力端子60と接続され、入力端子Aはリング状に接続されている前段のゲート回路の出力端子と接続される。そして、第3の入力端子Wは、新たに設けられた発振開始信号端子60Yと接続される。

【0080】

発振動作の開始は、図9の第6の実施形態の場合と同様、次の2段階を経て行われる。

第1段階...発振制御入力端子60に、発振信号を入力する。

第2段階...発振開始信号端子60Yに、発振開始信号を入力する。

各段階での動作は、図5、図9の実施形態の動作説明より容易に類推することが出来るので、その説明は省略する。また、発振周期の増大が抑制される理由は、図5の場合とほぼ同じであるので、その説明は省略する。

【0081】

以上述べて来た構成から自ずと明らかなように、本発明のリング発振器を構成するには、本発明用に特別な素子や回路やゲートを作る必要は全くなく、既存のセルライブラリ(LSI等を設計するとき通常使われる既存の素子や回路やゲートの集合)で用意されているものを使って構成することが出来る。

従って、PBT劣化、NBT劣化、HC劣化等の各種のMOSトランジスタの劣化に対して耐性のあるリング発振器を、コスト安く、容易に実現することが可能となる。

【0082】

なお、MOSトランジスタの劣化現象の有無は、LSI製造プロセスやLSI使用環境に依存することが知られている。従って、それらをうまく選択利用することにより、PMOSトランジスタの劣化(NBT劣化)やNMOSトランジスタの劣化(PBT劣化)のいずれによっても、発振周期に影響を及ぼされることのないリング発振器を実現することが出来る。

例えば、図2のリング発振器は、回路構成を工夫することにより、発振周期に影響を及ぼすNMOSトランジスタに劣化が生じない(PMOSトランジスタにのみ劣化が生じる)ようにされたリング発振器であるが、これに使用するMOSトランジスタを、PMOSトランジスタの劣化が生じないLSI製造プロセスで作られたものを用いることとすれば、前記したリング発振器を実現することが出来る。即ち、次の通りである。

(1) NMOSトランジスタの劣化による影響...回路構成の工夫により防止

(2) PMOSトランジスタの劣化による影響...該劣化が生じないように工夫されたLSI製造プロセスで作られたMOSトランジスタを使用することにより防止

【符号の説明】

【0083】

1~5...NAND回路、6...発振制御入力端子、7...配線、8...出力端子、10...発振制御入力端子、11~15...NAND回路、16...入力端子、17、18...配線、19...出力端子、20...発振制御入力端子、21~25...NAND回路、26、27...配線、28...出力端子、30...発振制御入力端子、31~35...NOR回路、36、37...配線、38...出力端子、40...発振制御入力端子、41...NAND回路、42~45...EXOR回路、46、47...配線、48...出力端子、50...発振制御入力端子、51...NOR回路

10

20

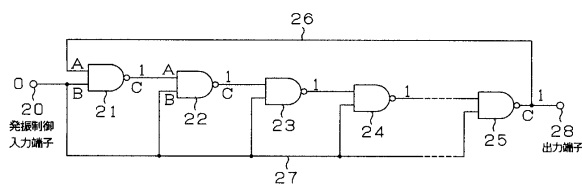
30

40

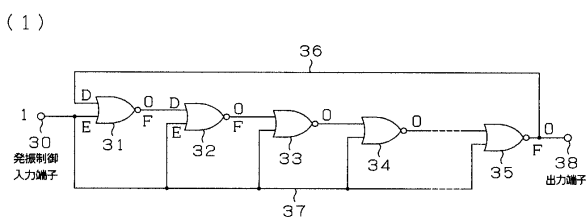
50

、52 ~ 55 ... E x NOR回路、56 , 57 ... 配線、58 ... 出力端子、60 ... 発振制御入力端子、61 ... インバータ、62 ~ 64 ... 4入力OR - NAND回路、65 ~ 67 ... 配線、68 ... 出力端子、70 ... 3入力NAND回路、71 ... 3入力NOR回路、72 ... 3入力NAND回路、73 ... 3入力NOR回路、74 ... 3入力NAND回路、20 Y , 30 Y , 40 Y , 50 Y , 60 Y ... 発振開始信号端子、A ~ H , K ~ M , Q ~ X ... 端子

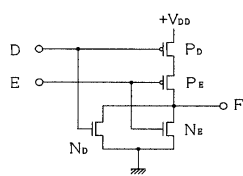
【図1】



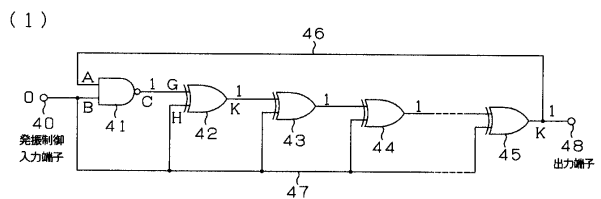
【図2】



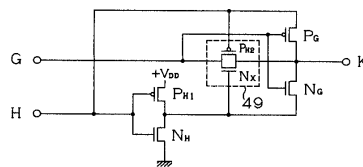
(2) NOR回路



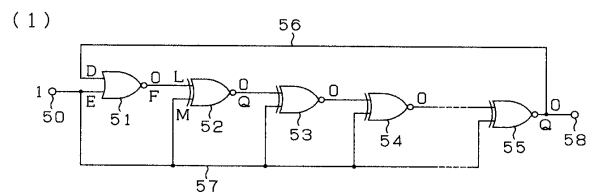
【図3】



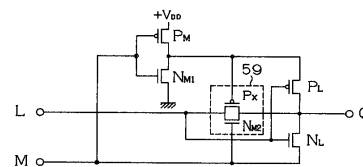
(2) E x OR回路



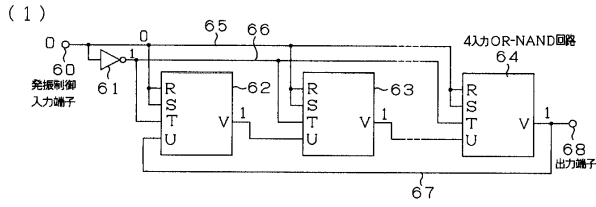
【図4】



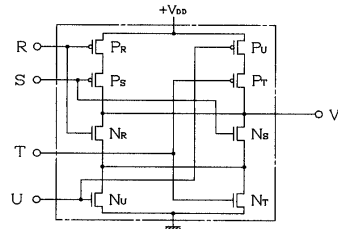
(2) E x NOR回路



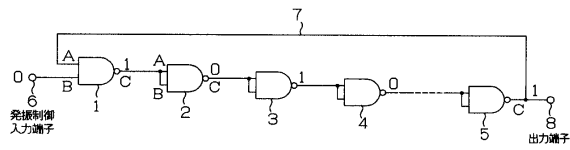
【図5】



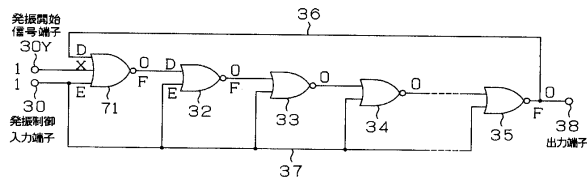
(2) 4入力OR-NAND回路



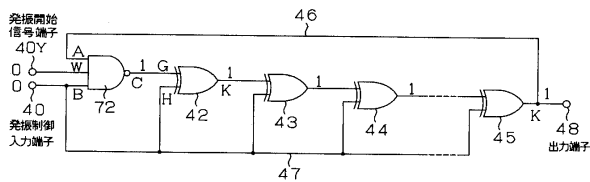
【図6】



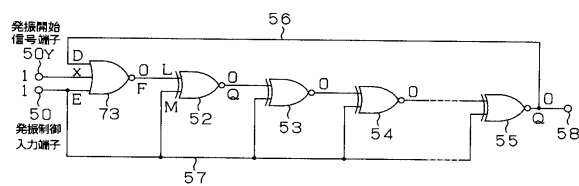
【図10】



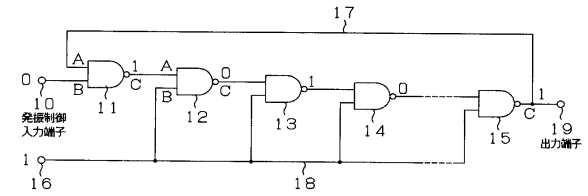
【図11】



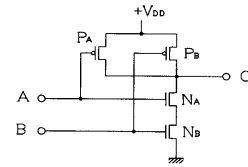
【図12】



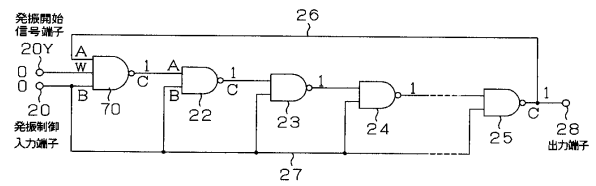
【図7】



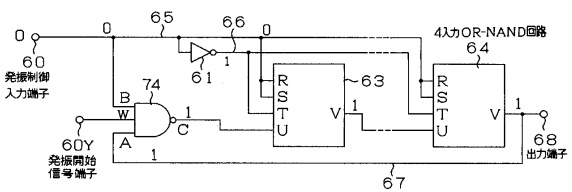
【図8】



【図9】



【図13】



フロントページの続き

(72)発明者 梶原誠司
福岡県飯塚市川津680-4 国立大学法人九州工業大学内

合議体

審判長 大塚 良平

審判官 中野 浩昌

審判官 林 毅

(56)参考文献 米国特許出願公開第2009/0189703(US, A1)

特開2005-18251(JP, A)

特開2002-198783(JP, A)

特開昭62-14523(JP, A)

特開平9-135163(JP, A)

特開昭57-197930(JP, A)

特開2005-150485(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 3/354

H03K 3/03