

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-195519

(P2012-195519A)

(43) 公開日 平成24年10月11日(2012.10.11)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/868 (2006.01)	HO 1 L 29/91 D	4M104
HO 1 L 29/861 (2006.01)	HO 1 L 29/78 652P	
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 301D	
HO 1 L 29/78 (2006.01)	HO 1 L 29/91 F	
HO 1 L 21/329 (2006.01)	HO 1 L 29/91 B	

審査請求 未請求 請求項の数 5 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2011-59992 (P2011-59992)
 (22) 出願日 平成23年3月18日 (2011. 3. 18)

(71) 出願人 504132272
 国立大学法人京都大学
 京都府京都市左京区吉田本町36番地1
 (74) 代理人 100091096
 弁理士 平木 祐輔
 (74) 代理人 100102576
 弁理士 渡辺 敏章
 (74) 代理人 100108394
 弁理士 今村 健一
 (72) 発明者 木本 恒暢
 京都府京都市西京区京都大学桂 国立大学
 法人京都大学大学院工学研究科内
 (72) 発明者 須田 淳
 京都府京都市西京区京都大学桂 国立大学
 法人京都大学大学院工学研究科内
 最終頁に続く

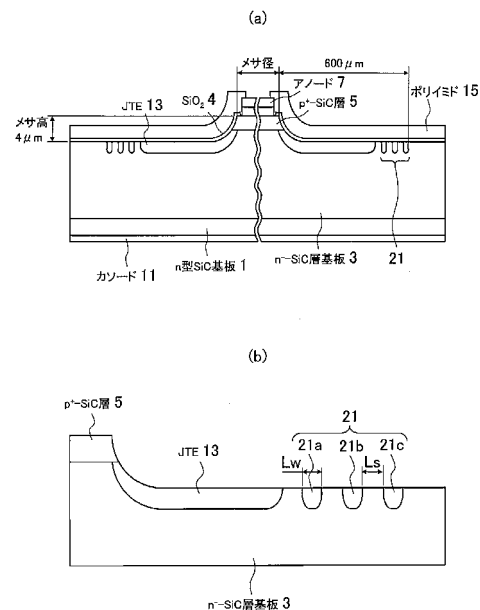
(54) 【発明の名称】 半導体素子及び半導体素子の製造方法

(57) 【要約】

【課題】 SiC 半導体装置において、不純物添加工程や表面保護膜形成におけるプロセス条件のばらつきがあっても、簡便に逆方向耐圧に大きな影響を与えないターミネーション構造（接合終端構造）を提供する。

【解決手段】 素子の外周端部に、第1導電型の耐圧維持層および有限長さの前記第1導電型とは異なる第2導電型の領域からなる接合終端構造を備えた SiC 半導体素子であって、前記接合終端構造の一部において、第1の方向である層方向に対して均一ではなく、前記接合終端領域の内側端であって前記素子の外周端から前記接合終端領域の外側端に向かって、前記第1導電型領域の不純物濃度が空間的に変調され、不純物濃度が徐々に減少する傾向を持って形成された接合終端構造を有することを特徴とする SiC 半導体素子。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

素子の外周端部に、第 1 導電型の耐圧維持層および有限長さの前記第 1 導電型とは異なる第 2 導電型の領域からなる接合終端構造を備えた S i C 半導体素子であって、

前記接合終端構造の一部において、第 1 の方向である層方向に対して、前記接合終端領域の内側端であって前記素子の外周端から前記接合終端領域の外側端に向かって、前記第 1 導電型領域の不純物濃度が空間的に変調され、不純物濃度が徐々に減少する傾向を持って形成された接合終端構造を有することを特徴とする S i C 半導体素子。

【請求項 2】

前記接合終端構造において、

10

前記第 1 の方向と交差する第 2 の方向である深さ方向に前記第 2 導電型の不純物濃度分布が同じである領域が、層方向に対して複数に分割されており、かつ、その分割された領域の幅が前記接合終端領域の外側に向かって狭くなる傾向を持って形成されていることを特徴とする請求項 1 に記載の S i C 半導体素子。

【請求項 3】

前記接合終端構造において、

20

前記第 1 の方向と交差する第 2 の方向である深さ方向に前記第 2 導電型の不純物濃度分布が同じである領域が、層方向に対して複数に分割されており、かつ、その分割された領域の間隔が前記接合終端領域の外側に向かって広がる傾向を持って形成されていることを特徴とする請求項 1 に記載の S i C 半導体素子。

【請求項 4】

前記の接合終端構造において、

層方向に分割された領域の幅を L_{Wj} (j は自然数で接合終端領域の内側から番号を付す)、領域の間隔を L_{Sj} とするとき、 $L_{Wj+1}/(L_{Wj+1} + L_{Sj+1}) = A \times L_{Wj}/(L_{Wj} + L_{Sj})$ (ここで A は $0.1 \sim 0.9$ の範囲の実数であり、 $0.5 \sim 0.8$ が望ましい) なる関係が成り立つように平均的な不純物濃度が空間変調されていることを特徴とする請求項 2 又は 3 に記載の S i C 半導体素子。

【請求項 5】

請求項 1 から 4 までのいずれか 1 項に記載の S i C 半導体素子の製造方法であって、

30

前記第 2 導電型の不純物を一括して添加する工程を有することを特徴とする S i C 半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子及び半導体素子の製造方法に関し、より詳細には、高耐圧構造を有する半導体技術に関する。

【背景技術】

【0002】

40

炭化珪素 (S i C) などのワイドギャップ半導体材料は、シリコン (S i) に比べて絶縁破壊強度が約 10 倍高いなど各種の優れた特性を有しており、高い耐逆電圧特性を有する高耐圧パワー半導体装置に好適な材料として注目されている。パワー半導体装置は、ショットキーダイオードや M O S F E T、J F E T などのユニポーラ素子と p n ダイオードやバイポーラトランジスタ、I G B T、G T O サイリスタなどのバイポーラ素子に分類されるが、S i C はいずれの素子でも S i の場合に比べて電力損失の大幅な低減を実現できる。

【0003】

S i C を用いた従来の p n ダイオードとして、例えば図 18 に示すようなメサ構造の素子がある。この p n ダイオードでは、一方の面にカソード電極 105 を形成した S i C 単

50

結晶 n+型基板 101 の他方の面に n 型耐圧維持層 102 が形成され、n 型耐圧維持層 102 の中央部に p 型電荷注入層 103 が形成されている。p 型電荷注入層 103 の両側には、ターミネーション用の p 型層 151 が形成されている。

【0004】

ここで「ターミネーション」（接合終端）とは、高耐圧半導体素子の電流が流される pn 接合部の周囲における電界集中を緩和するために、この pn 接合部の周囲に設けた各種の半導体構造のことである。図 18 の pn ダイオードでは、電流を流すための pn 接合と、電界集中を緩和するためのターミネーション用の p 型層 151 と n 型耐圧維持層 102 との間の pn 接合が、硼素やアルミニウム等のイオン打ち込みにより形成されている。

【0005】

さらに、下記特許文献 1 では、メサ壁部またはメサ壁部およびメサ周辺部に、その表面と pn 接合界面とを空間的に分離する通電劣化防止層を形成した技術が開示されている。その図 3 に相当する図 19 に示す構造は、メサ周辺部 210 に電界緩和層 231 を形成している。この電界緩和層 231 は、p 型不純物をイオン打ち込みすることによって形成される。

【0006】

電界緩和層 231 を形成することによって、逆方向電圧の印加時に、電界緩和層 231 を形成した領域に空乏層が広がり、この空乏層によって耐圧性能がさらに向上する。電界緩和層 231 は、メサの周囲に環状に形成される。また、電界緩和層 231 は、p 型導電層 220 から連続して形成されている。なお、本明細書では、メサ形ダイオードを例に挙げて接合終端構造に関する発明を説明するが、本発明はメサ形ダイオードに限定されるものではなく、プレーナ型でも良い。また、主として pn 接合ダイオードを例として説明するが、ショットキーダイオードや MOSFET などのユニポーラ素子、GTO サイリスタや IGBT などのバイポーラ素子にも適用可能である。

【0007】

電界緩和層 231 の 1 つの態様では、p 型の不純物の濃度がそれぞれ異なり、径方向に連続した複数の環状の層から電界緩和層 231 が構成されている。特に、JTE (Junction Termination Extension) 構造であることが好ましい。電界緩和層 231 の具体的な構造の一例を図 19 に示した。図 19 (a) では、複数の連続した環状の p 型ターミネーション 231 a ~ 231 c によって電界緩和層 231 を形成している。これらの p 型ターミネーション 231 a ~ 231 c における不純物濃度は互いに異なっている。一例としては、最外縁に向かって不純物濃度を徐々に減少させる。p 型ターミネーション 231 a ~ 231 c は、径方向の幅をほぼ同じ長さとしてもよいが、同図のように内側の p 型ターミネーション 231 a の径方向の幅を長くするなど、互いに異なる幅としてもよい。また、同図では環状の p 型ターミネーションの数を 3 つとしているが、さらにその数を多くしてもよい。図 19 (b) では、複数の離間した環状の p 型ターミネーション 231 d ~ 231 g によって電界緩和層 231 を形成している。

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開 2005 - 259037 号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

上記特許文献 1 では、メサ構造における耐圧を高めるために、複数の離間した環状の p 型ターミネーション 231 d ~ 231 g によって電界緩和層 231 を形成している。

【0010】

しかしながら、特許文献 1 には、「これらの p 型ターミネーション 231 d ~ 231 g における不純物濃度は互いに同一であっても異なってもよい。p 型ターミネーション 231 d ~ 231 g は、同図のように内側の p 型ターミネーション 231 d の径方向の幅

10

20

30

40

50

を長くするなど、互いに異なる幅としてもよい。また、同図では環状のp型ターミネーションの数を4つとしているが、さらにその数を多くしてもよい」と記載されているものの、メサ構造における耐圧を高めるために電解緩和層を設けるものであり、p型ターミネーション231d~231gにおける、イオン注入や不純物拡散工程における不純物濃度のばらつきに関する考慮はなされていない。

【0011】

しかしながら、SiCでは、イオン注入後の活性化のアニールを行った場合に、Siなどと異なり、活性化アニールやイオン注入のわずかな条件のばらつきにより活性化率が大きく変化し、注入層であるp型ターミネーション231d~231gの不純物濃度が大きくばらつき、逆方向耐圧が意図したものと異なる低い値になってしまうことがしばしば生じるといった問題点があった。また、表面保護に用いる絶縁膜とSiCの界面に比較的高密度の電荷が存在するため、これが電荷のバランスを崩して設計どおりの逆方向耐圧が得られないことも多い。

10

【0012】

本発明は、上記の問題点を解決し、例えば、SiC半導体構造において、不純物添加工程におけるプロセス条件のばらつきがあっても、逆方向耐圧に大きな影響を与えない新たなターミネーション構造（接合終端構造）を提供することを目的とする。また、このような技術に基づいて、安定した逆方向耐圧を有するSiC半導体製造技術を提供することを目的とする。

20

【課題を解決するための手段】

【0013】

本発明の一観点によれば、素子の外周端部に、第1導電型（例えばn型）の耐圧維持層および有限長さの前記第1導電型とは異なる第2導電型（例えばp型）の領域からなる接合終端構造を備えたSiC半導体素子であって、前記接合終端構造の一部において、第1の方向である層方向に対して（均一ではなく）、前記接合終端領域の内側端であって前記素子の外周端から前記接合終端領域の外側端に向かって、前記第1導電型（例えばp型）領域の不純物濃度が空間的に変調され、（巨視的に見た平均的な）不純物濃度が徐々に減少する傾向を持って形成された接合終端構造を有することを特徴とするSiC半導体素子が提供される。

30

【0014】

上記のSiC半導体素子によれば、前記第1導電型領域の不純物濃度が空間的に変調され、巨視的に見た平均的な不純物濃度が徐々に減少する傾向を持って形成された接合終端構造を有しているため、均一な不純物濃度の接合終端構造の場合に比べて、表面及びバルクの電界集中が抑制される。従って、不純物濃度のバラツキに依存する半導体素子の逆方向耐圧の低下を抑制することができる。

【0015】

前記接合終端構造において、前記第1の方向と交差する第2の方向である深さ方向に前記第2導電型の不純物濃度分布が同じである領域が、層方向に対して複数に分割されており、かつ、その分割された領域の幅が前記接合終端領域の外側に向かって狭くなる傾向を持って形成されているようにすることが好ましい。

40

【0016】

深さ方向に前記第2導電型の不純物濃度分布が同じである領域が、層方向に対して複数に分割され、その分割された領域の幅が前記接合終端領域の外側に向かって狭くなる傾向を持って形成されているため、簡単な構造で、巨視的に見た平均的な不純物濃度が徐々に減少する傾向を持って形成された接合終端構造を実現することができる。

【0017】

また、前記接合終端構造において、前記第1の方向と交差する第2の方向である深さ方向に前記第2導電型の不純物濃度分布が同じである領域が、層方向に対して複数に分割されており、かつ、分割された領域の間隔が前記接合終端領域の外側に向かって広がる傾向を持って形成されていても良い。この構造においても、簡単な構造で、巨視的に見た平均

50

的な不純物濃度が徐々に減少する傾向を持って形成された接合終端構造を実現することができる。

【0018】

また、前記の接合終端構造において、層方向に分割された領域の幅を L_{Wj} (j は自然数で接合終端領域の内側から番号を付す)、領域の間隔を L_{Sj} とすると、 $L_{W_{j+1}} / (L_{W_{j+1}} + L_{S_{j+1}}) = A \times L_{Wj} / (L_{Wj} + L_{Sj})$ (ここで A は0.1~0.9の範囲の実数であり、0.5~0.8が望ましい)なる関係が成り立つように平均的な不純物濃度が空間変調されていることが好ましい。

当該関係をもつことで、より効果的に電界集中を抑制することができる。

【0019】

また、本発明は、上記いずれか1に記載のSiC半導体素子の製造方法であって、前記第2導電型の不純物を一括して添加する工程を有することを特徴とするSiC半導体素子の製造方法である。これにより、前記第2導電型の不純物を添加するために所要工程を少なくすることができる。

【発明の効果】

【0020】

本発明によれば、SiC半導体素子において、不純物添加工程や表面保護膜の形成におけるプロセス条件のばらつきがあっても、逆方向耐圧に大きな影響を与えない新たなターミネーション構造(接合終端構造)が得られる。また、このような技術に基づいて、安定した逆方向耐圧を有するSiC半導体素子製造技術を提供することができる。

【図面の簡単な説明】

【0021】

【図1】SiC高耐圧半導体素子の基本構造の一例を示す構造断面図である。

【図2】図1に示す構造における、内側のJTE構造のドーズ量と、高耐圧SiC半導体装置の逆方向耐圧(V)との関係を示す図である。

【図3】本実施の形態による高耐圧SiC半導体素子の一構成例を示す構造断面図であり、図3(a)は、図1(a)に対応する図であり、図3(b)は、図3(a)の要部の構成を示す図である。

【図4】図3に示す構造と、それを上側から見た図とを対応させて示した図である。

【図5A】本実施の形態による空間変調構造の例を示す図である。

【図5B】本実施の形態による空間変調構造の例を示す図であり、図5Aに続く図である。

【図6】1ゾーンJTE、1ゾーンJTE+1R(リング)、1ゾーンJTE+3R($L_s/L_w = 10/10 \mu m$)、1ゾーンJTE+5R($L_s/L_w = 10/10 \mu m$)、2ゾーンJTE、1ゾーンJTE+5SMR(空間変調リング： $L_s/L_w = 6/14 - 8/12 - 10/10 - 12/8 - 14/6$)の場合の、逆方向耐圧のp型不純物のドーズ依存性を示す図である。

【図7】図5A(c)の2ゾーンJTE+3SMR(空間変調リング)の場合を例にしてその製造工程の一例を示す図である。

【図8】JTE領域の作成工程を示す図であり、図7に続く図である。

【図9】図8に続く工程を示す図である。

【図10】電極の製造工程を示す図8に続く図である。

【図11】1ゾーンJTE構造(図11(a))と、1ゾーンJTE+3SMR(図11(b))：図5A(b)の1ゾーンJTE+3SMR構造における電界分布例を示す図である。

【図12】図11(a)と図11(b)における表面電界の位置(メサエッジからの距離)依存性を示す図である。

【図13】 n 回のイオン注入により、 $(2^n - 1)$ の空間変調構造を形成する工程を示す図である。

【図14】図13の構造を含む4H-SiC PINダイオードであって、トータルのJT

10

20

30

40

50

E幅が600 μ mの場合の、逆方向耐圧の最も内側のJTEへのドーズ量依存性を示す図である。

【図15】本実施の形態による高耐圧SiC半導体素子の一例を示す構造断面図である。

【図16】第1応用例であるSiCパワーMOSFETからなる半導体素子である。

【図17】ショットキーダイオードの構成の一例を示す断面図である。

【図18】メサ構造の高耐圧ダイオードの構造を示す図である。

【図19】メサ周辺部に電界緩和層を形成した例を示す図である。

【発明を実施するための形態】

【0022】

以下に本発明の実施の形態による半導体技術について、高耐圧のSiC-pn接合を用いた高電力素子(以下、高耐圧SiC半導体素子と称する。)を例にして説明する。以下においては、p型(第1導電型)、n型(第2導電型)を区別して説明するが、pとnとが逆の構造であっても同様である。また、以下では、メサ型構造を例にしているが、プレーナ構造であっても良い。

【0023】

図1は、高耐圧半導体素子の基本構造の一例を示す構造断面図である。図1(a)は、RESURF(表面電界緩和)領域を備えた高耐圧SiC半導体素子の一例を示す構造断面図である。図1(a)に示すように、JTE(RESURF)領域を備えた高耐圧SiC半導体素子は、4H-SiCのn型基板1と、その一面側(図では上面側)に形成されたn⁻-SiC層(第1導電型の耐圧維持層、例えば、一例として、厚さ120 μ m、n型不純物濃度 $1.0 \times 10^{14} \text{ cm}^{-3}$)3と、その上にメサ形成技術により島状に形成されたp⁺-SiC層5と、その上に形成されたアノード電極7と、n型基板1の他の一面(図では下面)に形成されたカソード電極11と、からなるダイオード素子を有している。さらに、このダイオード素子の外周端部、すなわち、メサ形状のp⁺-SiC層5の端部から延びて、n⁻-SiC層3の表面領域に端部から有限の長さまでp-SiC(第2導電型)からなる第1のJTE(接合終端)領域12が形成されている。p⁺-SiC層5のp型不純物濃度は、例えば、 10^{20} cm^{-3} 程度である。第1のJTE領域12のp型不純物濃度は、例えば $10^{16} \sim 10^{17} \text{ cm}^{-3}$ 程度である。n⁻-SiC層3上は、SiO₂などの絶縁膜で覆われており、その上には、アノード電極7を開口するポリイミド15が形成されている。

【0024】

図1(b)に示す半導体素子では、図1(a)の構造に加えて、第1のJTE(接合終端)領域12b内に、不純物濃度がより高い第2のJTE(接合終端:第3導電領域)領域12aが形成された2ゾーンJTE構造となっている。第2のJTE(接合終端)領域12aのp型不純物濃度は、例えば 10^{17} cm^{-3} 程度である。

尚、不純物濃度等のパラメータはあくまで例示であり、実施できる範囲内において、任意に選択可能である。

【0025】

図2は、上記図1に示す構造における、内側のJTE構造のドーズ量と、高耐圧SiC半導体素子の逆方向耐圧(V)との関係を示す図である。図2からもわかるように、1ゾーンJTE構造の高耐圧SiC半導体素子に比べて、2ゾーンJTE構造の高耐圧SiC半導体素子では、耐圧自体が少し高くなるとともに、広いドーズ量の範囲で高い逆方向耐圧を示すことがわかる。このように、JTE構造を2つ形成することで、逆方向耐圧のドーズ量依存性が少なくなるが、不純物濃度の異なる2つのJTEを作成するために、コストが高くなり、工程も複雑になる。

【0026】

図3は、本実施の形態による高耐圧SiC半導体素子の一構成例を示す構造断面図であり、図3(a)は、図1(a)に対応する図であり、図3(b)は、図3(a)の要部の構成を示す図である。それぞれの層のパラメータ(厚さ、ドーズ量等)は、基本的に図1のものと同様である。尚、図1(a)のJTE12は、図3(a)以下では、1ゾーンJ

10

20

30

40

50

TE13 + SMR (空間変調) 構造 21 の接続終端に相当する。

【0027】

図3(a)に示す構造は、図1(a)に示す構造に加えて、 n^- -SiC層3(耐圧維持層)内に形成され、アノード7から離れる方向側のJTE13の端部に近接し、 p^+ -SiC層5の端部から遠ざかる方向に向けてp型不純物の実効的な不純物濃度が減少する傾向をもって形成された空間変調構造21を有している。JTE13と空間変調構造21とにより、接合終端構造が形成されている。

【0028】

図3(b)に示すように、空間変調構造21の例として、JTE13のp型不純物濃度と同じ不純物濃度を有する、層方向に向かって複数(図では3つ)に分割された、p型不純物領域21a、21b、21cが設けられている。より詳細には、JTE13の深さ方向のp型不純物濃度分布と、p型不純物領域21a、21b、21cの深さ方向のp型不純物濃度分布が同じである。この空間変調構造21において、領域間の距離 L_s と領域の幅 L_w とを、変化させることにより、空間変調構造における実効的な不純物濃度が、 p^+ -SiC層5の端部から層方向に離れるに従って低くなるような傾斜を形成することができる。従って、JTE13と空間変調構造21とによる接合終端構造の端部における電界集中を抑制することができる。

10

【0029】

図3(a)において、図1(a)と同様に、メサエッジからp型不純物領域21cのエッジ(接合終端構造のエッジ)までのトータルの距離は $600\mu m$ である。図3(a)では、JTE13 + 空間変調構造21の接合終端構造のトータルの距離が、図1(a)のJTE12の距離に相当する。

20

【0030】

図4は、図3に示す構造と、それを上側から見た図とを対応させて示した図である。図4に示すように、第1から第3までのp型不純物領域21a、21b、21cは、高耐圧SiC半導体素子の p^+ -SiC層5の外周端部から放射状に離れていく位置に、全体として同心の矩形の形状である帯状領域(リング)として形成されている。従って、 p^+ -SiC層5から放射状に離れる同心の矩形(例えば正方形)の領域のいずれの位置においても、pn接合への高電圧印加時の電界集中を抑制することができる。

【0031】

図5A、図5Bは、本実施の形態による空間変調構造を有する接合終端構造の例を示す図である。図5A(a)は、基本構造でありJTE13の端部から層方向に離れていく順番に、第1から第3までのp型不純物領域21a、21b、21cが形成されており、JTE13の外周端部と第1のp型不純物領域21aの対向側の内周端部との間隔 L_{s1} が $10\mu m$ 、第1のp型不純物領域21aの幅 L_{w1} が $10\mu m$ 、第1のp型不純物領域21aの外周端部と第2のp型不純物領域21bの対向側の内周端部との間の距離 L_{s2} も $10\mu m$ 、第2のp型不純物領域21bの幅 L_{w2} も $10\mu m$ 、第2のp型不純物領域21bの外周端部と第3のp型不純物領域21cの対向側の内周端部との間の距離 L_{s3} も $10\mu m$ 、第3のp型不純物領域21cの幅 L_{w3} も $10\mu m$ である。この構造を、1ゾーンJTE + 3R(リング)と称する。p型不純物領域21a ~ 21cまでの深さは、JTE構造の深さと同じとするが、これに限定されるものではない。

30

40

【0032】

図5A(b)では、例えば、 $L_{s1}/L_{w1} - L_{s2}/L_{w2} - L_{s3}/L_{w3}$ が、 $5/10 - 10/10 - 15/10$ である。すなわち、JTE13の端部から離れる方向に、順にp型不純物領域間の間隔(L_s)が長くなっている。もちろん、間隔 L_s は傾向として実効的にp型不純物領域の幅が広がる方向に形成されていれば良く、上記の数値に限定されるものではない。逆に、p型不純物領域間の間隔(L_s)を固定して、p型不純物領域の幅(L_w)が外側に行くほど小さくなるように形成されていてもよい。この構造を、1ゾーンJTE + 3SMR(空間変調リング)と称する。

【0033】

50

図5A(c)では、図5A(b)と空間変調リングの構造は同様であるが、図3(b)に示した2ゾーンJTE構造の外側のJTE13bに対して、空間変調構造21が設けられている。この構造を、2ゾーンJTE+3SMR(空間変調リング)と称する。

【0034】

図5A(d)では、図5A(c)の2ゾーンJTE+3SMR(空間変調リング)の第1のJTE13aに対して、同様の空間変調構造23が形成されている。この構造を、2ゾーンJTE+2x3SMR(空間変調リング)と称する。

【0035】

基本的には、図5A(a)から図5A(d)に向けて、空間変調の効果が大きくなり、逆方向耐圧の不純物濃度依存性が小さくなる傾向になる。

10

【0036】

図5B(e)に示す構造は、空間変調2ゾーンJTEの構造例であって、図5A(d)に示す構造のうち、外側のJTE13bの外側にSMR(空間変調リング)を設けない構造である。このように、内側のJTE13a外であって外側のJTE13b内には3つの空間変調リング23を設け、最外周にリングを設けないようにすることも可能である。

【0037】

図5B(f)に示す構造は、空間変調2ゾーンJTEの構造例であって、図5A(d)に示す構造のうち、内側のJTE13a外であって外側のJTE13b内には4つの空間変調リング23を設け、外側のJTE13bの外側(最外周)にSMR(空間変調リング)を設けない構造である。

20

【0038】

図5A(a)~(d)までに示した構造では、最外周のリング状の部分の電位が浮いている(floating)ため、高速スイッチング時に電位が変動し、電界集中の緩和効果が十分でない可能性がある。これに比べて、図5B(e)、(f)に示した構造では、最外周のリング状の部分の電位をなくすことができ、電界集中の緩和効果を十分に得られるという利点がある。

【0039】

上記の構造は例示であり、 L_s 、 L_w の寸法、空間変調された島状(環状)のp型不純物領域の数(図では3ヶ)などは任意である。

層方向に分割されたp型不純物領域21a、21b、21c、...の幅を L_{wj} (jは自然数で接合終端領域の内側から番号を付す)、p型不純物領域21a、21b、21c、...の間隔を L_{sj} とすると、 $L_{wj+1}/(L_{wj+1} + L_{sj+1}) = A \times L_{wj}/(L_{wj} + L_{sj})$ (ここでAは0.1~0.9の範囲の実数であり、0.5~0.8が望ましい)なる関係が成り立つように平均的な不純物濃度が空間変調されているのが好ましい。

30

【0040】

図6は、1ゾーンJTE、1ゾーンJTE+1R(リング)、1ゾーンJTE+3R(リング： $L_s/L_w = 10/10 \mu m$)、1ゾーンJTE+5R(リング： $L_s/L_w = 10/10 \mu m$)、2ゾーンJTE(3:2)、1ゾーンJTE+5SMR(空間変調リング： $L_s/L_w = 6/14 - 8/12 - 10/10 - 12/8 - 14/6$)の場合の、逆方向耐圧のp型不純物のドーズ依存性を示す図である。この図から、後者の構造になるに従って、逆方向耐圧のp型不純物のドーズ依存性が少ない領域が広がることわかる。特に、1ゾーンJTEであるにもかかわらず、1ゾーンJTE+5SMR(空間変調リング)の場合には、2ゾーンJTEの場合よりも、逆方向耐圧のp型不純物のドーズ依存性が少ない領域が広がっており、1種類の不純物濃度で接合終端を形成する場合でも、2種類の不純物濃度で接合終端を形成する場合よりも、性能が向上していることが注目される。また、1ゾーンJTE+5R(リング)に比べて、1ゾーンJTE+5SMR(空間変調リング)の場合には逆方向耐圧のp型不純物のドーズ依存性が少ない領域が増加している。すなわち、簡単な構造(少ない工程)でも、空間変調構造を設けることで、逆方向耐圧のp型不純物のドーズ依存性が少ない領域を広げることができることわかる。

40

50

【0041】

以下に、本実施の形態による高耐圧SiC半導体素子の製造工程について説明する。図7から図10までは、図5A(c)の2ゾーンJTE+3SMR(空間変調リング)からなる空間変調構造の場合を例にしてその製造工程の一例を示す図である。

【0042】

まず、傾斜メサ構造の作成工程を説明する。図7(a)に示すように、まず、4H-SiCのn型基板1上に、n⁻-SiC層3をエピタキシャル成長する。次いで、n⁻-SiC層3に、エピタキシャル成長法によりp⁺高濃度層5を形成する。p⁺高濃度層5を、Alのイオン注入法により形成しても良い。次いで、図7(b)に示すように、n⁻-SiC層3上に厚さ2μmのSiO₂からなる膜P1を例えばプラズマエンハンスド(PE)CVD法により堆積し、フォトリソグラフィ技術を用いてパターンニングする。図7(c)に示すように、例えば、BHF(HFのバッファ液)を用いた等方性ウェットエッチング法により、レジストM1をマスクとして、SiO₂からなる膜P1をエッチングすることにより、側面がテーパ状になった傾斜SiO₂マスクM2を形成する。次いで、図7(d)に示すように、傾斜SiO₂マスクM2を利用して、CF₄、CHF₃、Cl₂などの反応性ガスを用いたリアクティブイオンエッチング(RIE)法により、p⁺高濃度層(コンタクト層)5及びn⁻-SiC層3をその厚さ方向に一部除去し、傾斜SiO₂マスクM2をSiCに転写して傾斜型のメサ構造を形成する(5a)。残った傾斜SiO₂マスクM2を、HF(フッ化水素酸)により除去する。

10

20

【0043】

次いで、JTE領域の作成工程について図8を参照しながら説明する。図8(a)に示すように、図7(d)の構造上にPECVD法により、SiO₂からなる膜P2を2μm堆積し、フォトリソグラフィ技術を用いてレジストマスクM3を形成する。このレジストマスクM3は、メサ構造からある距離だけ離れた領域までを開口するマスクである。図8(b)に示すように、BHF(HFのバッファ液)を用いた等方性ウェットエッチング法により、SiO₂からなる膜P2を加工し、レジストマスクM3の形状を引き継いだSiO₂からなるJTE領域を形成するために開口されたマスクM4を形成する。次いで、図8(c)に示すように、例えばAl⁺のイオン注入により、領域13にp型不純物を添加してJTE領域を形成する。不純物添加工程は、イオン注入法に限定されるものではなく、不純物拡散法など周知の方法で行うことができる(以下同様である)。

30

【0044】

次いで、フォトリソトによりパターンニングを行い、JTE領域13の外側に形成されたSiO₂からなるマスクM4を加工して、3つのp型電導領域を形成するための開口を形成するとともに、JTE領域13及びそれよりも内側の領域を保護するレジストマスクM5を形成する。図8(e)に示すように、レジストマスクM5を利用して、p型電導領域からなる空間変調構造を形成するためのSiO₂からなる複数のp型電導領域を形成するための開口が形成されたマスクM6を形成する。この開口は、JTE領域13の外側領域も開口することで、JTE領域13から第1のJTE領域13aと第2のJTE領域13bとを形成するための開口を兼ねる。図8(f)に示すように、例えばAl⁺のイオン注入により、マスクM6の開口領域にp型不純物を添加することで、p型電導領域と第2のJTE領域13bとにp型不純物を添加することができる。ここで、不純物の添加量(ドーパ量)は、第1のJTE領域13aと第2のJTE領域13bとで、例えば、2:1となるように添加している。図8(g)において、HFにより、マスクM6を除去する。

40

【0045】

図9は、図8に続く工程を示す図である。まず、図9(a)に示すように、フォトリソトM7を全面に塗布する。次いで、図9(b)に示すように、RTA(Rapid Thermal Annealing)法を用いて、Ar雰囲気中で、750℃、15分間の熱処理を行うことで、カーボンキャップM71を作製する。図9(c)に示すように、誘導加熱方式により、1700℃、20分の活性化アニールにより、p型不純物の活性化

50

を行う。次いで、1150、3時間の犠牲酸化によりカーボンキャップM71を除去する。次いで、例えば、1300、5時間の N_2O 酸化により厚さ34nmのパッシベーション膜を形成する。

【0046】

次いで、図10(a)に示すように、フォトレジストを塗布し、メサ領域5aを開口するパターニングを行うことでレジストマスクM8を形成する。次いで、レジストマスクM8を用いて、開口領域のパッシベーション膜(SiO_2)を、BHFにより除去する。図10(b)に示すように、Ti/Al/Ni(20nm/100nm/50nm)を蒸着し、レジストマスクM8を利用してリフトオフ法により、メサ領域5a上に接触するアノード電極7aを形成する。次いで、図10(c)に示すように、基板1の裏面側にNiを100nm蒸着した後、RTA法により、Ar雰囲気中で、1000、2分間の熱処理を行うことにより、基板1の裏面と接触するカソード電極11を形成することができる。図10(d)に示すように、表面側の全面にAl層25を蒸着し、次いで、フォトレジストを全面に塗布し、Ti/Al/Ni電極7a上のAl膜25を残すためのパターニングを行うことでフォトレジストマスクM9を形成する。次いで、図10(e)に示すように、フォトレジストマスクM9を利用して、リン酸エッチャント($H_3PO_4 : CH_3COOH : HNO_3 = 12.5 : 1 : 0.15$)を用い、60でAl層25をエッチングした後、フォトレジストマスクM9を除去することで、Ti/Al/Ni電極7上にAl電極25aが積層されたアノード電極7が形成される。

10

【0047】

図10(f)に示すように、絶縁性を高めるために基板表面にポリイミド膜M10を塗布し、フォトリソグラフィーによりアノード電極7上に開口を設ける。次いで、RTA法により、 N_2 雰囲気中で、140までの昇温と、140、30分の保温と、350までの昇温と、350、60分の保温と冷却工程とを含む熱処理を行う。これにより、ポリイミド膜M10を硬化させ、SiCからなるPiNダイオードが完成する。

20

【0048】

以上の工程により作製された構造が、図5A(c)の2ゾーンJTE+3SMR(空間変調構造)のp型電導領域からなる空間変調構造を備えたSiC-PiNダイオードである。

【0049】

尚、図5A(b)の空間変調構造を有するSiC-PiNダイオードを製造する場合には、図8(a)から、JTE領域と空間変調領域とを開口して1回の不純物添加工程を行えば良い。

30

【0050】

また、図5A(d)の空間変調構造を有するSiC-PiNダイオードを製造する場合には、図8(b)の工程で、第1のJTE領域13aを形成する際に、マスクM4に空間変調領域形成用の開口を形成していくなどの工程を実施すれば良い。

【0051】

図11(カラー図面)は、1ゾーンJTE構造(図11(a)、図1(a)の構造))と2ゾーンJTE+3SMR(図11(b): 図5A(c)の空間変調)構造とにおける電界分布例を示す図である。図12は、図11(a)と図11(b)における表面電界の位置:メサ端からJTEエッジまでの長さ(600 μm)依存性を示す図である。上記のように、例えば、 n^- -SiC層(電圧ブロック層)3のドーピング量は $1.0 \times 10^{14} cm^{-2}$ 、厚さは、120 μm である。また、電極間に印加した逆方向電圧は、11kVであり、JTE13のドーピング量は、 $8.5 \times 10^{12} cm^{-2}$ である。図11(a)の1ゾーンJTE構造に対して、図11(b)では、図5A(c)に示すように、1ゾーンJTE+3SMR(空間変調リング)による空間変調構造の場合の電界分布を示している。

40

【0052】

また、図12(a)、図12(b)は、図11(a)、図11(b)に対応する図であ

50

り、表面電界の距離依存性を示す図である。図11(a)及び図12(a)に示すように、1ゾーンJTE構造においては、JTE13のエッジ近傍において、高い表面電界が観測され、電界集中が生じていることがわかる。これに対して、図11(b)及び図12(b)に示すように、1ゾーンJTE構造+3SMR(空間変調リング)による空間変調構造においては、JTE13のエッジに近傍における(距離600 μ m)表面電界集中が抑制され、距離500~600 μ mの範囲における表面電界が複数のピークに分散されていることがわかる。最大の表面電界も、2.4MV/cmから1.8MV/cmに低減している。このように、空間変調構造を設けることで、JTEエッジにおける表面電界の集中が抑制されていることが明らかになっている。

【0053】

以上に説明したように、本実施の形態による半導体技術によれば、JTE領域と空間変調構造とを備えた接合終端を簡単な工程で形成できる。さらに、高耐圧SiC半導体素子の高耐圧化を図るとともに、JTE領域形成時の不純物添加工程における不純物濃度(活性化率を含む)や絶縁膜/SiC界面の固定電荷のバラツキに対する逆方向耐圧の変動を大幅に抑制することができる。従って、製造工程上のマージンを大幅に向上させることができるという大きな利点がある。

【0054】

次に、本発明の第2の実施の形態による高耐圧SiC半導体素子について説明する。図13は、n回のイオン注入により、($2^n - 1$)の空間変調構造を形成する工程を示す図である。n=1の場合の例は、図5A(b)のような構造になる。

【0055】

ここでは、n=2の場合における例を示す(3ゾーンJTE+3 \times 5SMR(空間変調構造)の例である)。図13(a)に示す構造では、図7(d)のようなメサ構造(図示せず)が図13(a)の左側に設けられており、そこから、図13(a)の右側に向けて接合終端構造を形成する。この際、まず、第3のJTEと第3の空間変調構造とが形成される予定領域とを覆うとともに、第2の空間変調領域におけるp型導電領域の形成予定領域を覆うマスクM11を形成する。このマスクM11を利用してp型不純物の添加を行う。次いで、図13(b)に示すように、第1から第3までの空間変調構造を形成するための、第1から第3までのp型導電領域の形成予定領域を開口するマスクM12を形成する。尚、第1~第3までの空間変調構造のp型不純物領域間の間隔とp型不純物領域の幅とは、例えば、6/14-8/12-10/10-12/8-14/6 μ mである。次いで、2回目の不純物添加を行う。尚、第1回目の不純物添加量(ドーズ量)と第2回目の不純物添加量(ドーズ量)との比は、2:1である。

【0056】

図13(c)は、このようにして形成された第1から第3までのJTE構造と空間変調構造における実効的なドーズ量の位置依存性を示す図である。図13(c)に示すように、トータルとしての接合終端構造におけるドーズ量は、メサ構造側から順番に、3(JTE1):2(JTE2):1(JTE3)であり、JTE1とJTE2との接合部のJTE1内に形成される第1の空間変調構造、JTE2とJTE3との接合部のJTE2内に形成される第2の空間変調構造、JTE3内に形成される第3の空間変調構造において、ドーズ量を傾斜させて次のJTEに繋がるように設計する。これにより、接合終端における大きなドーズ量の変化による表面及びバルクの電界集中を抑制することができる。また、不純物添加量(活性化率を考慮したもの)の空間的なバラツキが存在しても、トータルとしての接合終端構造としては、ドーズ量が傾斜する形状への影響は少ないため、不純物添加量の逆方向耐圧依存性を小さくすることができ、不純物添加プロセスに余裕を持たせることができ、逆方向耐圧の変動を抑制することができる。

【0057】

図14は、図13の構造を含む4H-SiC PINダイオードであって、トータルのJTE幅が600 μ mの場合の、逆方向耐圧の最も内側のJTEへのドーズ量依存性を示す図である。図14では、1ゾーンJTEと、1ゾーンJTE+1Rと、1ゾーンJTE+

10

20

30

40

50

3 Rと、1ゾーンJTE + 5 Rと、2ゾーンJTE (ドーズ量 = 3 : 2)と、1ゾーンJTE + 5 SMR (空間変調構造)と、3ゾーンJTE + 3 × 5 SMR (空間変調: この構造が図13(b)に示す構造である。)と、における、依存性を示している。5 SMRは、上記と同じように、6 / 14 - 8 / 12 - 10 / 10 - 12 / 8 - 14 / 6 μmである。この場合の、実効ドーズ比は、0.7、0.6、0.5、0.4、0.3である。空間変調構造を有していない場合の、p型導電領域間のスペースとp型導電領域の幅との関係は、10 / 10 μmである。

【0058】

図14に示すように、本実施の形態による3ゾーンJTE + 3 × 5 SMR (空間変調構造)の場合は、2回の不純物導入工程が必要な点では、2ゾーンJTEの場合と同じであるが、大幅に広いドーズ範囲で逆方向耐圧の変動が抑制されており、この構造が極めて有効であることがわかる。

10

【0059】

このように、トータルのJTEの幅が600 μmと同じ場合でも、3ゾーンJTE + 5 SMR (空間変調構造)により、逆方向耐圧のドーズ量による変動が抑制されることがわかる。

【0060】

次に、本発明の第3の実施の形態による高耐圧SiC半導体素子について説明する。図15は、本実施の形態による高耐圧SiC半導体素子の一例を示す構造断面図である。

図15に示すように、本実施の形態によるSiC半導体素子は、第1のp型電導領域21aと、第2のp型電導領域21bと、第3のp型電導領域21cと、において、p型電導領域の不純物濃度を一定として、かつ、間隔Lsも一定とするとともに、第1のp型電導領域21aと、第2のp型電導領域21bと、第3のp型電導領域21cのリング幅LwをJTE13から遠ざかる層方向に小さくなるようにしている。このような構造においても、JTE13から遠ざかる層方向にp型不純物濃度が小さくなる傾向を持つため、実効的にドーズ量の傾斜を形成することができる。

20

図15によれば、1回のイオン注入で傾斜を形成できるため、工程が簡単になるという利点がある。

【0061】

次に、本発明の各実施の形態による高耐圧SiC半導体素子の応用例について説明する。上記各実施の形態では、pn接合型のダイオードを例にして説明したが、その他の半導体素子にも応用することが可能である。

30

【0062】

まず、第1応用例であるSiCパワーMOSFETからなる半導体素子について説明する。SiCパワーMOSFETからなる半導体素子は、10 μm × 10 μm程度の領域に形成されたSiC-MOSFETを多数(例えば1000 × 1000素子など)接続している。このようなSiCパワー-MOSFETでは、最外縁のMOSFETに、上記のような空間変調構造を設けることで、逆方向耐圧のドーズ量依存性を抑制でき、素子の破壊等が生じにくくなる。このようなSiC-MOSFETの構造断面図を図16に示す。図16に示すSiC-MOSFETは、4H-SiCのn型基板1と、その一面側(図では表面側)に形成されたn⁻-SiC層(厚さ30 μm、n型不純物濃度2.0 × 10¹⁵ cm⁻³)3と、その上面側に形成されたソース及びゲート構造と、n型基板1の他の一面(図では下面)に形成されたドレイン電極11と、を有している。ソース及びゲート構造は、n⁻-SiC層3の表面近傍の領域に形成されたp型電導領域61と、n⁻-SiC層3の表面上に形成されたSiO₂からなる絶縁膜75と、絶縁膜75上に形成されたゲート電極77と、p型電導領域61内に形成された高濃度のn⁺p⁺の接合構造63・65に接して形成されたソース電極73と、を有している。

40

【0063】

ゲート電極77は、ソース-ドレイン間の電流を制御する電流制御構造として機能する。ここで、p型電導領域61の外側に、接続終端構造として、p型導電層からなるJTE

50

67と、その外側に形成される、例えば図5A、図5Bのいずれかに示すSMR（空間変調構造）71（この場合には、71a、71b、71cの3つのp型導電層であって、例えば、 $Ls1/Lw1 - Ls2/Lw2 - Ls3/Lw3$ が、 $5/10 - 10/10 - 15/10$ の空間変調構造）が形成されている。外縁のトランジスタの外側にこのようなSMR（空間変調構造）を設けることで、外縁のトランジスタの逆方向耐圧のドーズ量依存性を抑制することで、不純物濃度のバラツキに依存しにくい、安定した逆方向耐圧を有するパワートランジスタの特性を得ることができる。

【0064】

次に、第2応用例について説明する。図17は、SiCからなるショットキーダイオードの構成の一例を示す断面図である。図17に示すように、本応用例によるショットキーダイオードは、大面積の構造であり、4H-SiCのn型基板1と、その一面側（図では表面側）に形成された n^- -SiC層（例えば、厚さ $30\mu\text{m}$ 、n型不純物濃度 $2.0 \times 10^{15}\text{cm}^{-3}$ ）3と、その上面側に形成されたショットキー電極（Ti/Ni）81と、n型基板1の他の一面（図では下面）に形成されたオーム性の電極11と、を有している。ショットキー電極（Ti/Ni）81の両側の n^- -SiC層3には、p型導電領域が形成されてJTE領域83を形成している。ここで、JTE領域83の外側に、例えば図5A、図5Bのいずれかに示すSMR（空間変調構造）85（この場合には、85a、85b、85cの3つのp型導電層であって、例えば、 $Ls1/Lw1 - Ls2/Lw2 - Ls3/Lw3$ が、 $5/10 - 10/10 - 15/10\mu\text{m}$ である）が設けられている。このようなSMR（空間変調構造）を設けることで、ショットキーダイオードの逆方向耐圧のドーズ量依存性を抑制し、安定したダイオードの特性を得ることができる。その他、アバランシェ・フォトダイオードなどに応用することができる。もちろん、SiC JFET、IGBT、バイポーラトランジスタなどにこのようなJTE+空間変調構造を設けても良い。

10

20

【0065】

上記の実施の形態において、添付図面に図示されている構成等については、これらに限定されるものではなく、本発明の効果を発揮する範囲内で適宜変更することが可能である。その他、本発明の目的の範囲を逸脱しない限りにおいて適宜変更して実施することが可能である。例えば、上記実施の形態では、メサ型の構造を例にしたが、プレーナ構造の半導体素子であっても良い。

30

【0066】

また、上記の実施の形態では、SiCの半導体素子に適用した例を示したが、空間変調構造を設けることによる表面の電界集中の抑制に関しては、その他の高耐圧半導体素子等に適用することも可能である。

【産業上の利用可能性】

【0067】

本発明は、高耐圧のSiC半導体素子に利用可能である。GaNなどの半導体素子にも利用可能である。

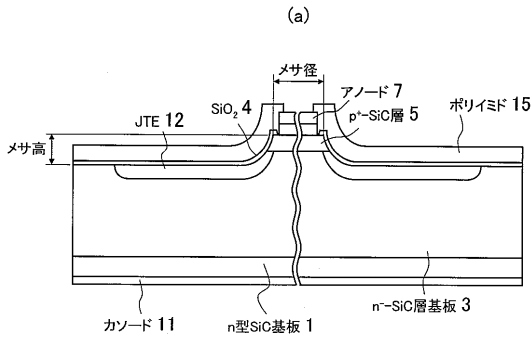
【符号の説明】

【0068】

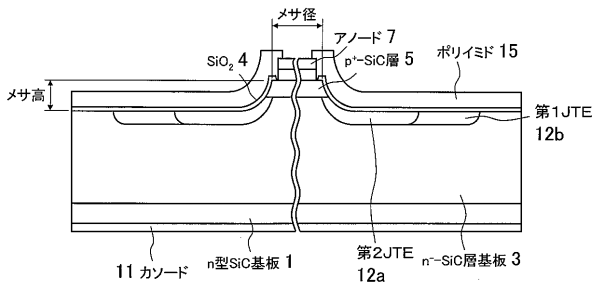
1...4H-SiCのn型基板、3... n^- -SiC層（耐圧維持層）、5... p^+ -SiC層、7...アノード電極、11...カソード電極、12...従来のJTE（接合終端）領域、13...第1のJTE領域、13a...第2のJTE領域、15...ポリイミド、21...SMR（空間変調構造）、21a、21b、21c...p型不純物領域、73...ソース電極、75...絶縁膜、77...ゲート電極、81...ショットキー電極。

40

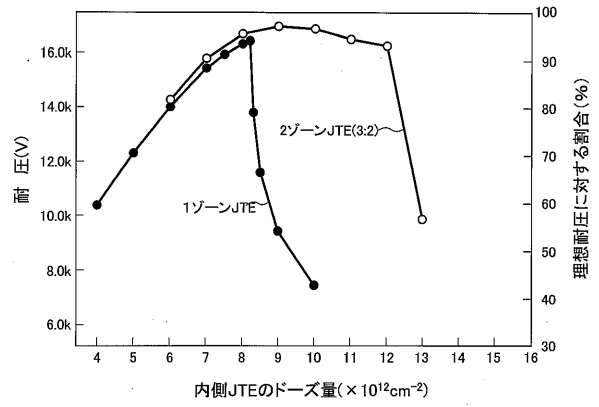
【 図 1 】



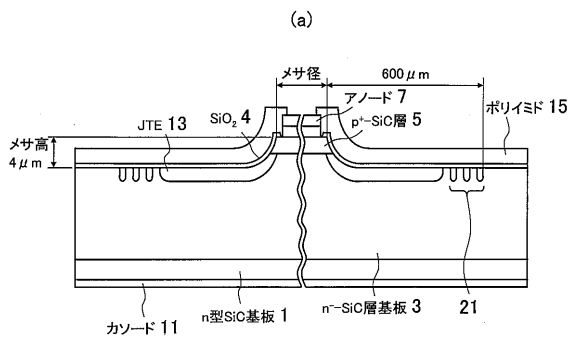
(b)



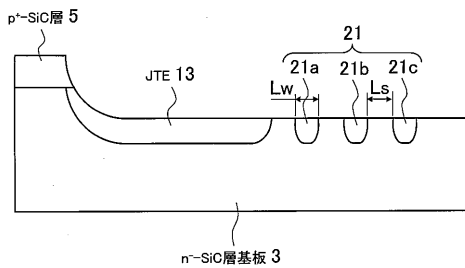
【 図 2 】



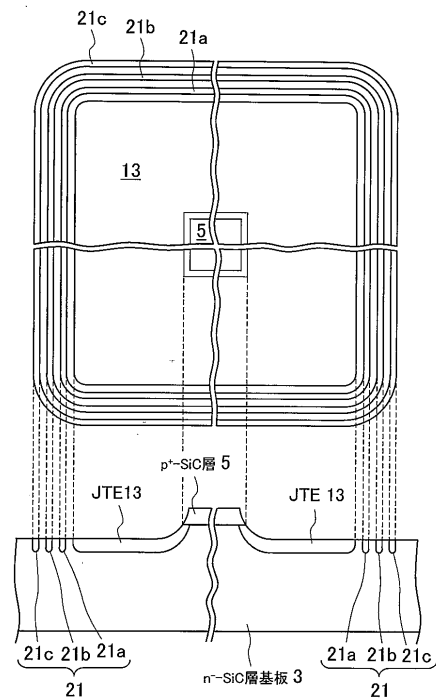
【 図 3 】



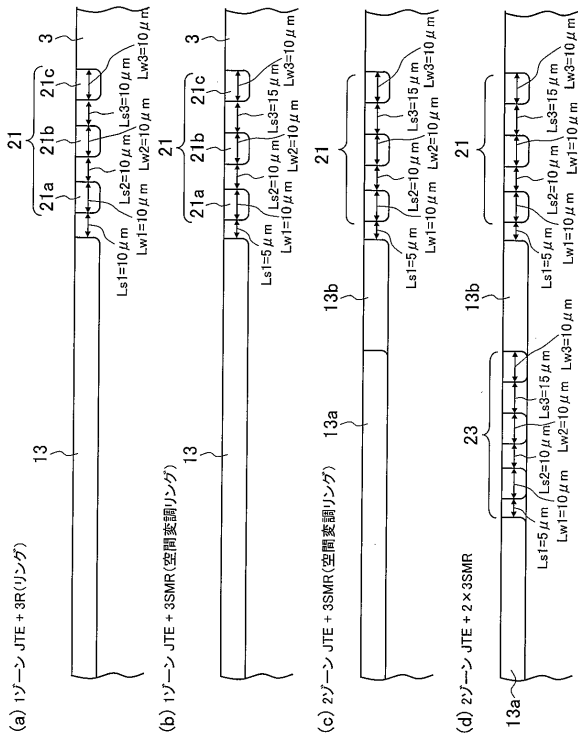
(b)



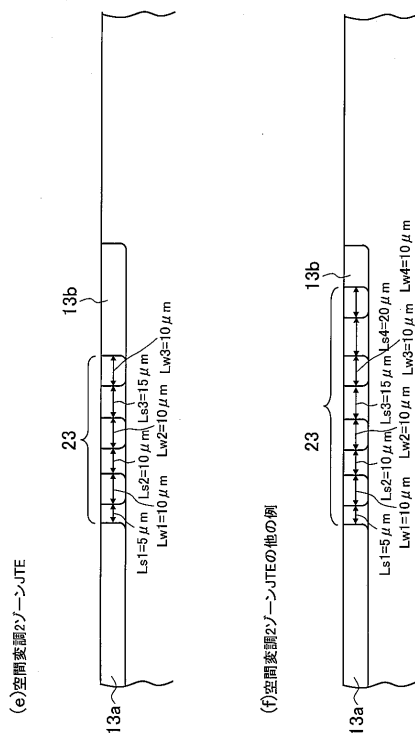
【 図 4 】



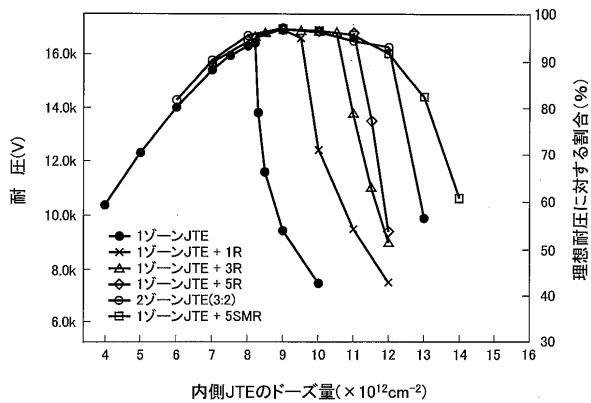
【図 5 A】



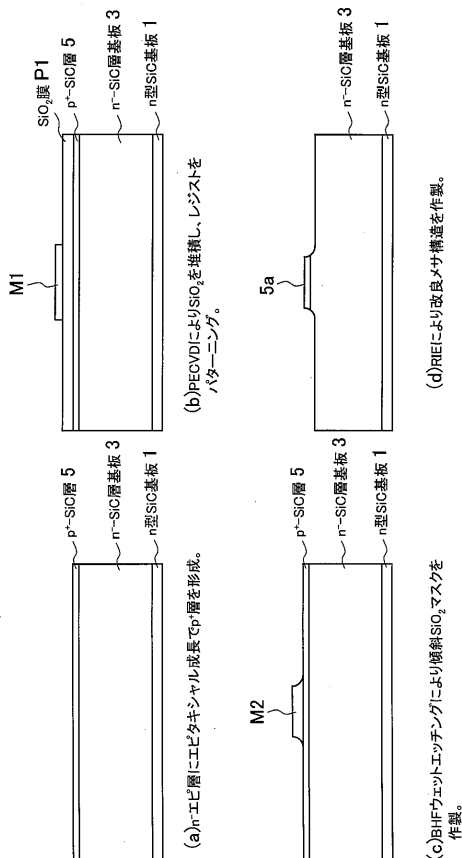
【図 5 B】



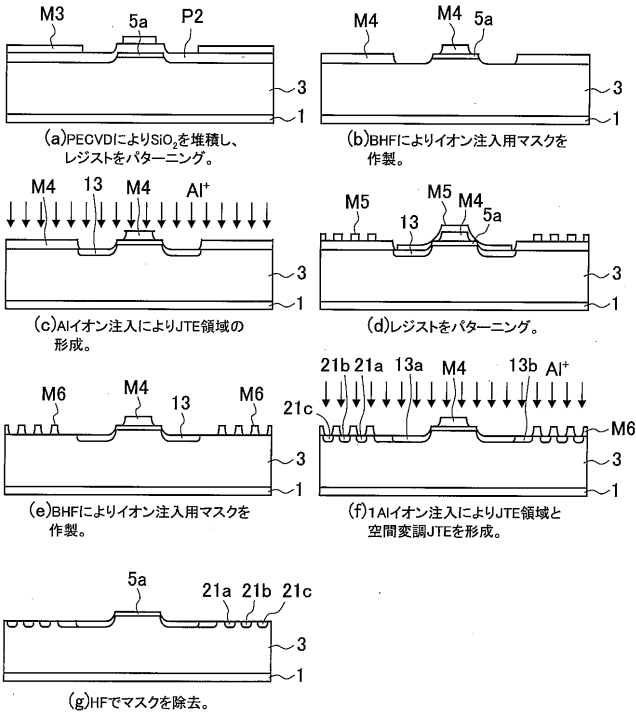
【図 6】



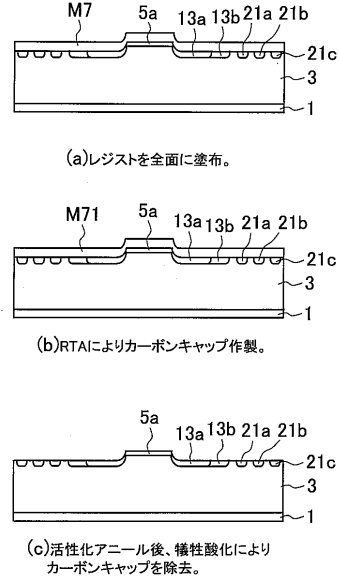
【図 7】



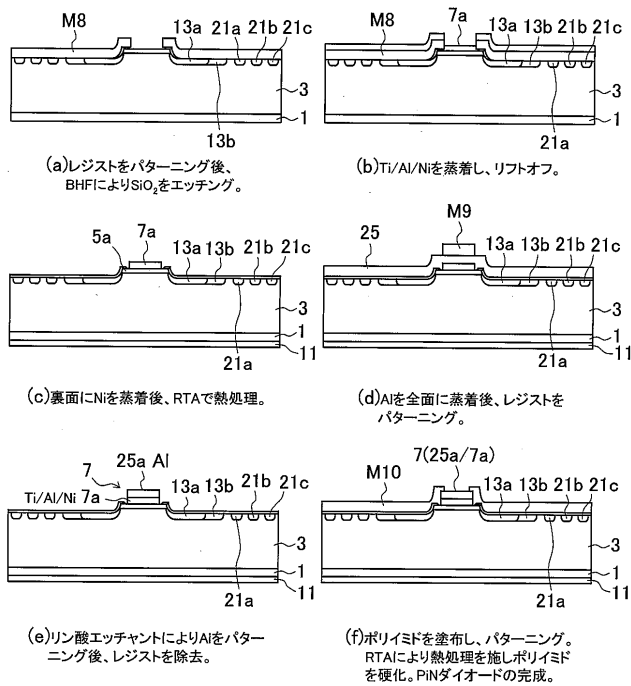
【図 8】



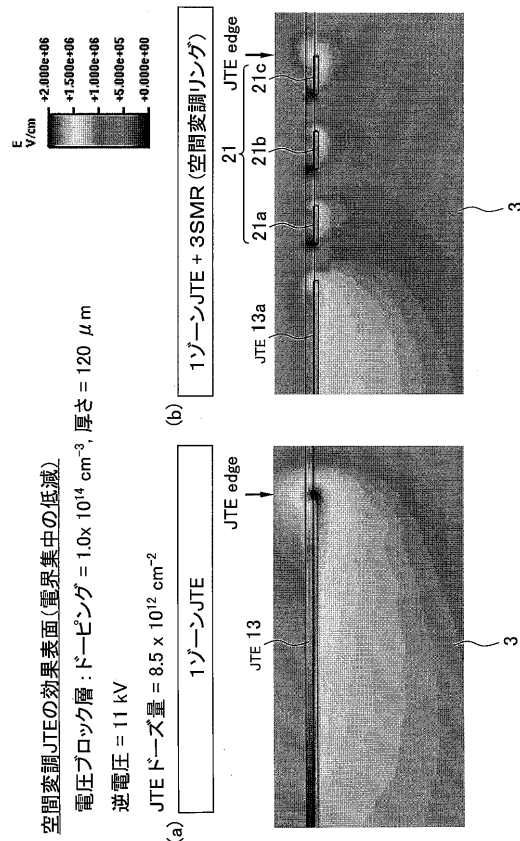
【図 9】



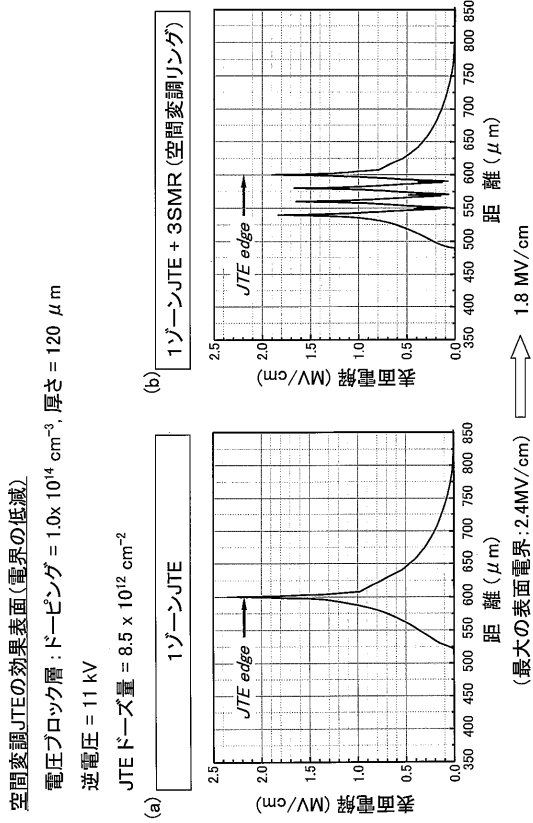
【図 10】



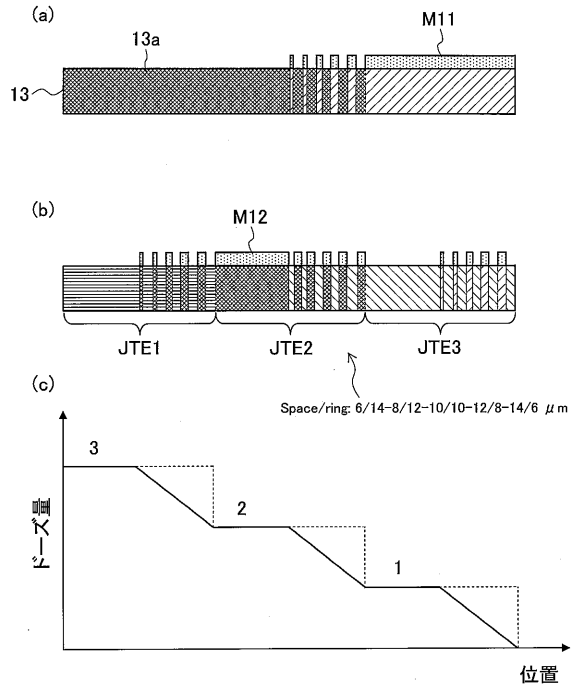
【図 11】



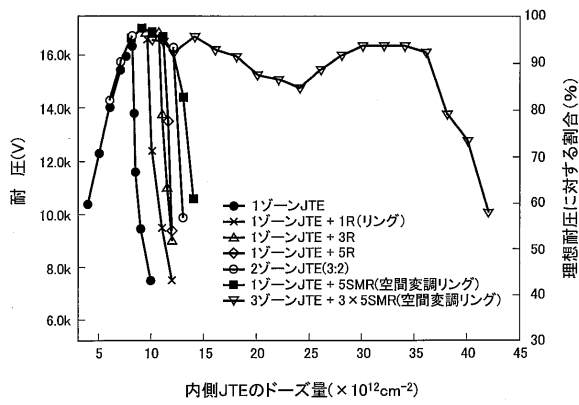
【図 1 2】



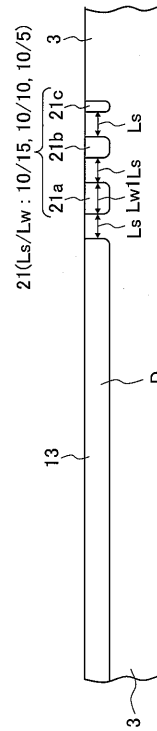
【図 1 3】



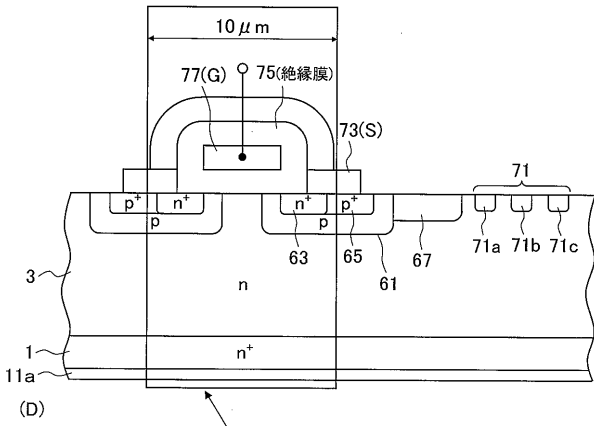
【図 1 4】



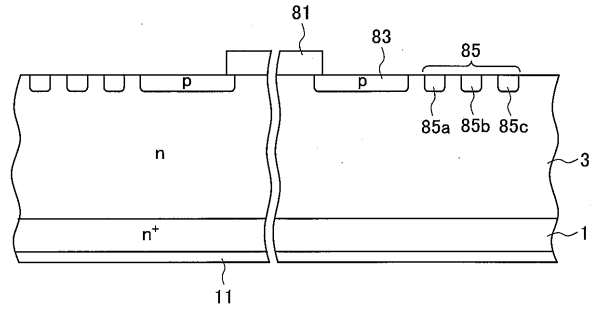
【図 1 5】



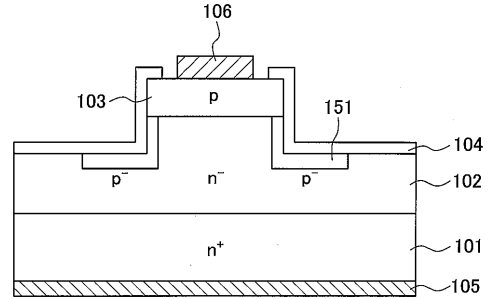
【 図 1 6 】



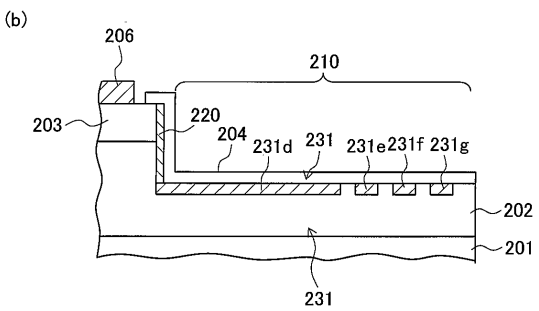
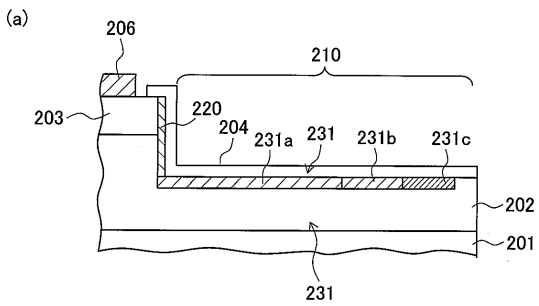
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/872 (2006.01)	H 0 1 L 29/48	E
H 0 1 L 29/47 (2006.01)	H 0 1 L 29/48	D
H 0 1 L 29/12 (2006.01)	H 0 1 L 29/06	3 0 1 G
	H 0 1 L 29/78	6 5 2 T

(72)発明者 馮 滄

京都府京都市西京区京都大学桂 国立大学法人京都大学大学院工学研究科内

Fターム(参考) 4M104 AA03 CC03 FF32 GG03 GG09 GG18 HH18