

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-3056  
(P2014-3056A)

(43) 公開日 平成26年1月9日(2014.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H O 1 L 21/205 (2006.01)</b>	H O 1 L 21/205	4 K O 3 O
<b>C 2 3 C 16/34 (2006.01)</b>	C 2 3 C 16/34	5 F O 4 5

審査請求 未請求 請求項の数 11 O L (全 9 頁)

(21) 出願番号 (22) 出願日	特願2012-135627 (P2012-135627) 平成24年6月15日 (2012.6.15)	(71) 出願人 304021277 国立大学法人 名古屋工業大学 愛知県名古屋市昭和区御器所町字木市29番 (72) 発明者 江川 孝志 愛知県名古屋市昭和区御器所町字木市29番 国立大学法人名古屋工業大学内
		Fターム(参考) 4K030 AA11 AA13 AA17 AA18 BA02 BA08 BA11 BA38 BB12 CA04 CA17 FA10 JA01 LA14 5F045 AA04 AB14 AB17 AC08 AC12 AD12 AD13 AD14 AD15 AE25 AF03 BB11 BB12 BB13 CA07 CA11 DA53 DA54 EE12

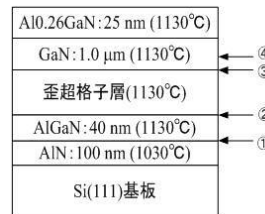
(54) 【発明の名称】 半導体積層構造およびこれを用いた半導体素子

(57) 【要約】

【課題】 Si等の基板の上にバッファ層および歪超格子層を設け、さらにGaN系のデバイス層を設けた半導体積層構造の反りを低減する。

【解決手段】 Si等の基板の上に  $Al_xGa_{1-x}N$  からなるバッファ層、  $Al_xGa_{1-x}N$  からなる歪超格子層または  $Al_xGa_{1-x}N$  からなる組成傾斜層、さらに  $Al_xGa_{1-x}N$  からなるデバイス層を順次設けた半導体積層構造であって、  $In_yGa_{1-y}N$  からなる層を前記バッファ層、歪超格子層、組成傾斜層、デバイス層のいずれかの層内あるいは層間に設ける。より好ましくは当該歪超格子層または当該組成傾斜層と当該デバイス層との間に  $In_yGa_{1-y}N$  からなる層を設ける。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

基板上に  $Al_xGa_{1-x}N$  からなるバッファ層、 $Al_xGa_{1-x}N$  からなる歪超格子層または  $Al_xGa_{1-x}N$  からなる組成傾斜層、さらに  $Al_xGa_{1-x}N$  からなるデバイス層を順次設けた半導体積層構造であって、室温  $\sim 1200$  における前記基板の熱膨張係数が前記  $Al_xGa_{1-x}N$  のいずれの層の熱膨張係数より小さく、 $In_yGa_{1-y}N$  からなる層を前記バッファ層、歪超格子層、組成傾斜層、デバイス層のいずれかの層内あるいは層間に設けた半導体積層構造。

## 【請求項 2】

前記バッファ層、歪超格子層、組成傾斜層、およびデバイス層の各々のヤング率よりも前記  $In_yGa_{1-y}N$  からなる層が小さいヤング率を有する請求項 1 に記載の半導体積層構造。

10

## 【請求項 3】

$In_yGa_{1-y}N$  からなる層を前記歪超格子層または前記組成傾斜層と前記デバイス層との間に設けた請求項 1 または 2 に記載の半導体積層構造。

## 【請求項 4】

前記基板が Si 基板である請求項 1  $\sim$  3 のいずれかに記載の半導体積層構造。

## 【請求項 5】

前記  $In_yGa_{1-y}N$  からなる層が、 $0.05 < y < 0.20$ 、層の厚みが  $5 \sim 50$  nm である請求項 1  $\sim$  4 のいずれかに記載の半導体積層構造。

20

## 【請求項 6】

前記  $Al_xGa_{1-x}N$  からなるバッファ層が  $x < 0.2$  の 1 層または 2 層からなり、厚みの合計が  $30 \sim 500$  nm である請求項 1  $\sim$  5 のいずれかに記載の半導体積層構造。

## 【請求項 7】

前記  $Al_xGa_{1-x}N$  からなる歪超格子層が  $AlN/GaN$ 、 $Al_xGa_{1-x}N$  ( $0 < x < 1$ ) /  $AlN$ 、 $Al_xGa_{1-x}N$  ( $0 < x < 1$ ) /  $GaN$  のいずれかの組み合わせを交互に繰り返した層であり、各層の厚みが  $1 \sim 30$  nm で合計積層数が 200 以下である請求項 1  $\sim$  6 のいずれかに記載の半導体積層構造。

## 【請求項 8】

前記  $Al_xGa_{1-x}N$  からなる組成傾斜層が膜成長方向に連続または不連続に  $x$  ( $0 < x < 1$ ) が減少し、膜厚の合計が  $0.2 \sim 6.0$   $\mu m$  である請求項 1  $\sim$  6 のいずれかに記載の半導体積層構造。

30

## 【請求項 9】

前記  $Al_xGa_{1-x}N$  からなるデバイス層が厚み  $0.5 \sim 7.0$   $\mu m$  の  $GaN$  からなる層を含む請求項 1  $\sim$  8 のいずれかに半導体積層構造。

## 【請求項 10】

請求項 1  $\sim$  9 のいずれかに記載の半導体積層構造を用いた半導体素子。

## 【請求項 11】

前記半導体素子が HEMT 素子である請求項 10 に記載の半導体素子。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、電界効果トランジスタ (FET)、発光ダイオード (LED) 等の半導体素子に用いられる半導体積層構造であって、特に反りおよびクラックの発生を抑制した、結晶品質の優れた Si 基板を用いた半導体積層構造およびこれを用いた半導体素子に関するものである。

## 【背景技術】

## 【0002】

窒化物半導体は、電界効果トランジスタ等の電子デバイス、あるいは、可視光領域から紫

50

外光領域の短波長帯における受発光デバイスの活性材料として、近年盛んに研究開発が行われている。

【0003】

一般的に、前記窒化物半導体は、サファイア、SiC又はSi等からなる基板上に形成される。特に、Si単結晶基板（以下、「Si基板」という）は、面積が低価格で入手でき、結晶性及び放熱性に優れ、さらに、へき開やエッチングが容易で、プロセス技術が成熟しているといった多くの利点を具えている。

【0004】

しかし、前記窒化物半導体とSi基板とでは、格子定数や熱膨張係数が大きく異なるため、Si基板上に窒化物半導体を成長させた場合、成長した窒化物半導体は、ウェーハとして反る、あるいはクラックやピット（点状欠陥）が発生するという問題があった。特に反りが大きいと、デバイス加工としてプロセスが困難となり、また素子として耐圧が低いなど大きな課題となっている。

10

【0005】

上記問題を解決するための手段としては、前記Si基板と窒化物半導体層との間にバッファ層を形成することで、反りあるいはクラックを抑制する技術が知られている。例えば、特許文献1では、Si基板の上に、窒化物半導体からなり、組成的に勾配を付けた $Al_xGa_{1-x}N$ 等からなる転移層（バッファ層）を形成し、該転移層の上に窒化ガリウムを形成してなる半導体材料が開示されている。

【0006】

また、特許文献2では、Si基板上に、高Al含有層と、低Al含有層とを交互に複数層積層してなるAlN系超格子複合層を形成し、該AlN系超格子複合バッファ層上に窒化物半導体層を形成してなる窒化物半導体素子が開示されている。

20

【0007】

しかしながら、特許文献1及び2に記載の半導体材料では、いずれも前記窒化物半導体層に発生する反りあるいはクラックの抑制については十分でなかった。

【0008】

一方、特許文献3および4では、反りの少ない半導体積層基板を得るため、2インチ径で $330\mu m$ 厚のサファイア基板上に、 $30nm$ 厚のGaNバッファ層を設けた後、GaN層とGaの一部をInで置換したInGaN層からなる中間層を設け、さらにAlGaN系の膜を $20\sim 30nm$ の厚みで形成した半導体積層構造の反りが $10\sim 25nm$ であることが開示されている。

30

【0009】

しかし、特許文献3および4で用いたサファイア基板のヤング率はSi基板のヤング率の2～3倍であり、相対的に反りが小さくなること、また、基板の径を2インチから4インチへと大きくすれば反りは4倍程度大きくなることが予想され、さらに歪緩和のための中間層上のAlGaNの膜厚が小さく、中間層の歪緩和効果が十分には確認されていない。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特表2004-524250号公報

【特許文献2】特開2007-67077号公報

【特許文献3】特開2008-211246号公報

【特許文献4】特開2007-60140号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明の課題は、Si基板上にバッファ層および歪超格子層を設け、さらにGaN系のデバイス層を設けた半導体積層構造であって、反りを低減した半導体積層構造およびこれを用いた半導体素子を提供することにある。

50

## 【課題を解決するための手段】

## 【0012】

本発明者らは、前記半導体積層構造に  $In_xGa_{1-x}N$  からなる層を挿入することにより、上記課題が解決しうることを見出した。すなわち、本発明によれば、以下の半導体積層構造およびこれを用いた半導体素子が提供される。

## 【0013】

[1] 基板上に  $Al_xGa_{1-x}N$  からなるバッファ層、 $Al_xGa_{1-x}N$  からなる歪超格子層または  $Al_xGa_{1-x}N$  からなる組成傾斜層、さらに  $Al_xGa_{1-x}N$  からなるデバイス層を順次設けた半導体積層構造であって、室温  $\sim 1200$  における前記基板の熱膨張係数が前記  $Al_xGa_{1-x}N$  のいずれの層の熱膨張係数より小さく、 $In_yGa_{1-y}N$  からなる層を前記バッファ層、歪超格子層、組成傾斜層、デバイス層のいずれかの層内あるいは層間に設けた半導体積層構造。

10

## 【0014】

[2] 前記バッファ層、歪超格子層、組成傾斜層、およびデバイス層の各々のヤング率よりも前記  $In_yGa_{1-y}N$  からなる層が小さいヤング率を有する、前記 [1] に記載の半導体積層構造。

## 【0015】

[3] 前記  $In_yGa_{1-y}N$  からなる層を前記歪超格子層または前記組成傾斜層と前記デバイス層との間に設けた前記 [1] または [2] に記載の半導体積層構造。

20

## 【0016】

[4] 前記基板が  $Si$  基板である前記 [1]  $\sim$  [3] のいずれかに記載の半導体積層構造。

## 【0017】

[5] 前記  $In_yGa_{1-y}N$  からなる層が、 $0.05 < y < 0.20$ 、当該層の厚みが  $5 \sim 50$  nm である前記 [1]  $\sim$  [4] のいずれかに記載の半導体積層構造。

## 【0018】

[6] 前記  $Al_xGa_{1-x}N$  からなるバッファ層が  $X = 0.2$  の 1 層または 2 層からなり、厚みの合計が  $30 \sim 500$  nm である前記 [1]  $\sim$  [5] のいずれかに記載の半導体積層構造。

## 【0019】

[7] 前記  $Al_xGa_{1-x}N$  からなる歪超格子層が  $AlN/GaN$ 、 $Al_xGa_{1-x}N(0 < X < 1)/AlN$ 、 $Al_xGa_{1-x}N(0 < X < 1)/GaN$  のいずれかの組み合わせを交互に繰り返した層であり、各層の厚みが  $1 \sim 30$  nm で合計積層数が 200 以下である前記 [1]  $\sim$  [6] のいずれかに記載の半導体積層構造。

30

## 【0020】

[8] 前記  $Al_xGa_{1-x}N$  からなる組成傾斜層が膜成長方向に連続または不連続に  $X(0 < X < 1)$  が減少し、膜厚の合計が  $0.2 \sim 6.0$   $\mu m$  である前記 [1]  $\sim$  [6] のいずれかに記載の半導体積層構造。

## 【0021】

[9] 前記  $Al_xGa_{1-x}N$  からなるデバイス層が厚み  $0.5 \sim 7.0$   $\mu m$  の  $GaN$  からなる層を含む前記 [1]  $\sim$  [8] のいずれかに記載の半導体積層構造。

40

## 【0022】

[10] 前記 [1]  $\sim$  [9] のいずれかに記載の半導体積層構造を用いた半導体素子。

## 【0023】

[11] 前記半導体素子が HEMT 素子である前記 [10] に記載の半導体素子。

## 【図面の簡単な説明】

## 【0024】

【図1】本発明の半導体積層構造の概念図である。

【図2】本発明の半導体積層構造を有するウェーハの反り測定方向を示す図である。

【図3】本発明の半導体積層構造を有するウェーハの反り量を示す図である。

【図4】本発明の実施形態1の半導体積層構造の図である。

50

【図5】本発明の実施例5の反り量を示す図である。

【図6】本発明の実施例6の反り量を示す図である。

【発明を実施するための形態】

【0025】

以下、図面を参照しつつ本発明の実施の形態について説明する。本発明は、以下の実施形態に限定されるものではなく、発明の範囲を逸脱しない限りにおいて、変更、修正、改良を加え得るものである。

【0026】

図1は本発明の半導体積層構造の概念図である。なお、図示の都合上、図1における各層の厚みの比率は実際の比率を反映していない。

10

【0027】

図1に示す半導体積層構造1は、例示として、Si基板2の上に、バッファ層としてAlN層3およびAlGaN層4を形成し、次に歪超格子層5、さらにデバイス層としてGaN層6および $Al_xGa_{1-x}N$ 7を順次積層したものである。この半導体積層構造1は、基板上2に、バッファ層3・4、歪超格子層5およびデバイス層6・7を順次エピタキシャル成長させることにより形成されるので、当該半導体積層構造は半導体エピタキシャル基板と称する場合がある。

【0028】

本半導体積層構造に、たとえば、ソース電極、ゲート電極、およびドレイン電極を形成することにより、HEMT素子を形成することができる。

20

【0029】

基板は、その上に形成するバッファ層、歪超格子、デバイス層の組成や構造、あるいは各層の形成手法に応じて適宜に選択される。例えば、基板としては、シリコン、ゲルマニウム、サファイア、炭化ケイ素、酸化物( $ZnO$ 、 $LiAlO_2$ 、 $LiGaO_2$ 、 $MgAl_2O_4$ 、 $(LaSr)(AlTa)O_3$ 、 $NdGaO_3$ 、 $MgO$ など)、Si-Ge合金、周期律表の第3族-第5族化合物( $GaAs$ 、 $AlN$ 、 $GaN$ 、 $AlGaN$ 、 $AlInN$ )、ホウ化物( $ZrB_2$ など)、などを用いることができる。ただし、室温~1200における前記基板の熱膨張係数が基板上に形成する $Al_xGa_{1-x}N$ からなる膜の熱膨張係数より小さいことが好ましく、なかでもSi基板が品質およびコストの点で好ましい。基板の厚みには特段の材質上の制限はないが、取り扱いの便宜上、数百 $\mu m$ ~数mmの厚みのものが好適である。

30

【0030】

バッファ層は、その上に形成する歪超格子、デバイス層の組成や構造、あるいは各層の形成手法に応じて、様々な第3族窒化物半導体からなる単一層または複数層から形成される。本発明ではバッファ層は $Al_xGa_{1-x}N$ からなり、 $X=0.2$ の1層または2層からなり、合計の厚みとして30~500nmが好ましい。例えばMOCVD法やMBE法などの公知の成膜手法にて形成され、歪や転位密度ができるだけ少ない構造とすることが好ましい。後に形成される膜の品質に影響するため、転位密度は $1 \times 10^{11} / cm^3$ 以下に形成することが好ましい。

【0031】

バッファ層の次に歪超格子層が形成される。歪超格子層は $Al_xGa_{1-x}N$ からなり、 $AlN/GaN$ 、 $Al_xGa_{1-x}N$  ( $0 < X < 1$ ) /  $AlN$ 、 $Al_xGa_{1-x}N$  ( $0 < X < 1$ ) /  $GaN$ のいずれかの組み合わせを交互に繰り返して形成された層であり、各層の厚みが1~30nmで合計積層数が200以下で形成される。歪超格子層も例えばMOCVD法やMBE法などの公知の成膜手法にて形成される。

40

【0032】

なお、歪超格子層の代わりに膜成長方向に連続または不連続に組成が変化する組成傾斜層でもよい。この場合、その組成は $Al_xGa_{1-x}N$  ( $0 < X < 1$ )において、膜成長方向にXが小さくなることが好ましく、また膜厚は0.2~6.0 $\mu m$ が好ましい。なお、組成傾斜層も例えばMOCVD法やMBE法などの公知の成膜手法にて形成される。

50

## 【0033】

前記歪格子層または組成傾斜層に引続きデバイス層を形成することが可能であるが、反りを低減するため、 $In_yGa_{1-y}N$ からなる層をバッファ層、歪超格子層（または組成傾斜層）、デバイス層のいずれかの層内、あるいはそれらの層間に設けることが好ましい。この場合、歪超格子層あるいは組成傾斜層とデバイス層との間に挿入することが特に好ましく、さらに $0.05 < y < 0.20$ 、層の厚みが $5 \sim 50 \text{ nm}$ であることが好ましい。そして、 $In_yGa_{1-y}N$ からなる層のヤング率が、バッファ層、歪超格子層、組成傾斜層、およびデバイス層の各々のヤング率よりも小さいことが反りを小さくするために好ましい。 $In_yGa_{1-y}N$ からなる層も例えばMOCVD法やMBE法などの公知の成膜手法にて形成される。

10

## 【0034】

デバイス層も $Al_xGa_{1-x}N$ なる組成であり、例えば本発明の半導体積層構造をHEMT素子に利用する場合は、 $GaN$ からなるチャネル層と $Al_xGa_{1-x}N$  ( $0 < x < 1$ )からなるバリア層からなる。チャネル層の厚みは $0.5 \sim 7.0 \mu\text{m}$ であることが好ましく、バリア層は $10 \sim 100 \text{ nm}$ であることが好ましい。チャネル層とバリア層の界面近傍に電子供給層が形成される。このデバイス層も例えばMOCVD法やMBE法などの公知の成膜手法にて形成される。

## 【実施例】

## 【0035】

(実施例1~4:  $InGaN$ 層挿入位置変更、および比較例)

20

本実施例においては、上述の実施形態に係る半導体積層構造を作成してウェーハの反りを測定した。まず、4インチ径の厚み $525 \mu\text{m}$ の(111)面シリコン単結晶を用い、これを所定のMOCVD装置の反応管内に設置した。MOCVD装置は、キャリアガスあるいは反応ガスとして、少なくとも $H_2$ 、 $N_2$ 、TMG(トリメチルガリウム)、TMA(トリメチルアルミニウム)、TMI(トリメチルインジウム)、および $NH_3$ が、反応管内に供給可能とされている。キャリアガスとして水素を流量 $20 \text{ SLM}$ 及び窒素を流量 $10 \text{ SLM}$ で流しながら、反応管内の圧力を $100 \text{ Torr}$ に保ちつつ、基板を $1210$ まで昇温した後、10分間保持し、基板のサーマルクリーニングを実施した。

## 【0036】

その後、基板温度を $1030$ に保ちつつ、TMAとそのキャリアガスである水素を供給するとともに、 $NH_3$ とそのキャリアガスである水素とを供給することにより、バッファ層として厚み $100 \text{ nm}$ の $AlN$ 層を最初に形成した。供給反応ガスのモル比、すなわち、第5族ガス/第3族ガス( $NH_3/TMA$ )の比は $5600$ とし、反応管内の圧力は $100 \text{ Torr}$ とした。

30

## 【0037】

その後基板温度を $800$ に下げて、供給する反応ガスモル比(第5族ガス/第3族ガス)を $10,000$ とし、厚み $10 \text{ nm}$ の $In_{0.18}Ga_{0.82}N$ なる層を形成した。そして基板温度を $1130$ にし、供給する反応ガスモル比(第5族ガス/第3族ガス)を $4,000$ にして厚み $40 \text{ nm}$ の $Al_{0.3}Ga_{0.7}N$ を形成した。以上により、 $AlN$ 層、 $In_{0.18}Ga_{0.82}N$ 層、および $Al_{0.3}Ga_{0.7}N$ からなるバッファ層を形成した。

40

## 【0038】

次に、基板温度を $1130$ に維持したまま、歪超格子層を形成した。バッファ層同様に供給ガスとしてTMA、TMG、および $NH_3$ の供給量を調整して、 $AlN$ と $Al_{0.26}Ga_{0.74}N$ をそれぞれ $5 \text{ nm}$ 、 $20 \text{ nm}$ の厚みで交互に50層づつ、計100層形成した。

## 【0039】

さらに、基板温度を $1130$ 維持したまま、圧力を $100 \text{ Torr}$ 、供給する反応ガスモル比(第5族ガス/第3族ガス)が $2800$ となるように供給して、チャネル層として厚さ $1.0 \mu\text{m}$ の $GaN$ 層を形成した。

50

## 【0040】

チャンネル層としてのGa<sub>0.26</sub>N<sub>0.74</sub>層の形成後、基板温度を1130℃維持したまま、供給する反応ガスモル比（第5族ガス/第3族ガス）を歪超格子層と同じように供給して、Al<sub>0.26</sub>Ga<sub>0.74</sub>Nなるパリア層を形成した。以上により、半導体積層構造（実施例1）を得た。

## 【0041】

上記実施例1と同様に、厚さ10nmのIn<sub>0.18</sub>Ga<sub>0.82</sub>Nなる層を、Al<sub>0.3</sub>Ga<sub>0.7</sub>Nなるバッファ層と歪超格子層の間に挿入した半導体積層構造（実施例2）、歪超格子層とGa<sub>0.5</sub>N<sub>0.5</sub>チャンネル層との間に挿入した半導体積層構造（実施例3）、およびGa<sub>0.5</sub>N<sub>0.5</sub>チャンネル層を0.5μmづつ2分割し、その間に挿入した半導体積層構造（実施例4）、およびIn<sub>0.18</sub>Ga<sub>0.82</sub>N層が挿入されていない半導体積層構造（比較例）を試作した。なお、実施例2～4のIn<sub>0.18</sub>Ga<sub>0.82</sub>N層の形成条件は実施例1と同じである。実施例1～4および比較例の反りを図2および3に示すように測定した。その結果を表1に示す。

10

## 【0042】

## 【表1】

	InGa <sub>0.26</sub> N層挿入位置(図4参照)	反り量(μm)	
		オリフラ(OF)に平行方向	オリフラ(OF)に垂直方向
実施例1	①	6.3	5.9
実施例2	②	5.9	5.4
実施例3	③	4.7	3.8
実施例4	④	5.2	5.9
比較例	挿入なし	8.6	7.7

20

## 【0043】

表1より、InGa<sub>0.26</sub>N層が挿入されていない比較例より、挿入された実施例1～4の反り量が小さい。なかでも歪超格子層とGa<sub>0.5</sub>N<sub>0.5</sub>チャンネル層との間に挿入した半導体積層構造（実施例3）の反り量が特に小さい。

## 【0044】

上記反り量が最も小さい実施例3と同じ位置にInGa<sub>0.26</sub>N層を挿入した場合の、InGa<sub>0.26</sub>Nの組成と膜厚を変えて反り量を調査した。

## 【0045】

(実施例5: In<sub>0.18</sub>Ga<sub>0.82</sub>N)

In<sub>0.18</sub>Ga<sub>0.82</sub>N層の厚みを5～25nmとして反り量を調べた。その結果を図5に示す。In<sub>0.18</sub>Ga<sub>0.82</sub>N層の厚みが5～20nmでは反り量が小さく、厚み10nmで特に反り量が小さい

30

## 【0046】

(実施例6: In<sub>0.09</sub>Ga<sub>0.91</sub>N)

供給する反応ガスモル比（第5族ガス/第3族ガス）を15,000とし、In<sub>0.09</sub>Ga<sub>0.91</sub>N層の厚みを5～50nmとして反り量を調べた。その結果を図6に示す。In<sub>0.09</sub>Ga<sub>0.91</sub>N層の厚みが20～50nmでは反り量が小さく、厚み40nmで特に反り量が小さい

40

## 【0047】

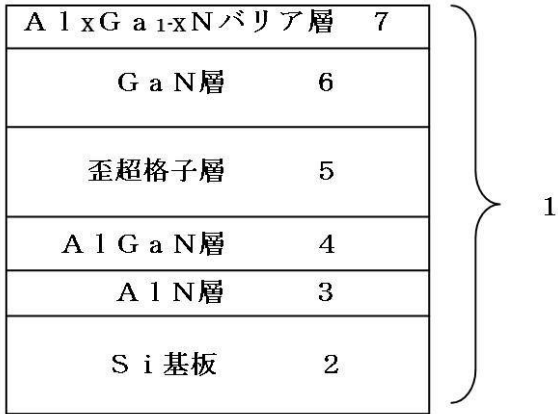
以上の結果より、100nm未満のInGa<sub>0.26</sub>N層を1層挿入して反り量が低減できることが分かった。InGa<sub>0.26</sub>NはGa<sub>0.5</sub>NあるいはAl<sub>0.5</sub>Nよりヤング率が小さいため、反り量が小さくなったものと推測する。

## 【産業上の利用可能性】

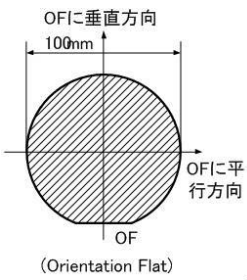
## 【0048】

電界効果トランジスタ(FET)、発光ダイオード(LED)等の半導体素子に用いられる。

【 図 1 】



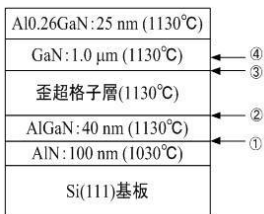
【 図 2 】



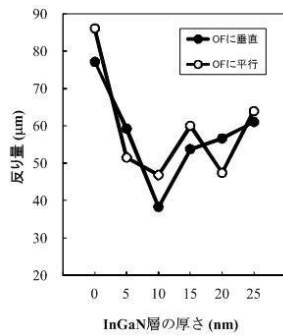
【 図 3 】



【 図 4 】



【 図 5 】





【 図 6 】

