

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5532640号
(P5532640)

(45) 発行日 平成26年6月25日(2014.6.25)

(24) 登録日 平成26年5月9日(2014.5.9)

(51) Int. Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 H
HO3K 3/0233 (2006.01) HO3K 3/023 D

請求項の数 1 (全 11 頁)

(21) 出願番号	特願2009-66246 (P2009-66246)	(73) 特許権者	304028726
(22) 出願日	平成21年3月18日 (2009.3.18)		国立大学法人 大分大学
(65) 公開番号	特開2010-220435 (P2010-220435A)		大分県大分市大字巨野原700番地
(43) 公開日	平成22年9月30日 (2010.9.30)	(74) 代理人	100080089
審査請求日	平成24年3月16日 (2012.3.16)		弁理士 牛木 護
		(72) 発明者	佐藤 輝被 大分市城南北町20班
		審査官	松本 泰典
		(56) 参考文献	特開2006-311728 (JP, A)) 特開平05-102800 (JP, A)

最終頁に続く

(54) 【発明の名称】 ヒステリシス制御装置

(57) 【特許請求の範囲】

【請求項1】

抵抗(21)とキャパシタ(24)の直列回路で構成し、被制御物の検出電圧(v_1)に応じてその傾きが変化する電圧信号(v_+)を生成する波形生成手段と、

指令電圧(v_2)を設定する指令電圧設定手段(12)と、

反転入力端子から入力した波形生成手段(21, 24)からの電圧信号(v_+)と、非反転入力端子から入力したしきい値生成手段からの電圧信号(v_+)とを比較して、高レベルまたは低レベルの信号を出力する比較手段(25)とを備え、

前記しきい値生成手段は、前記比較手段(25)の出力と前記指令電圧設定手段(12)との間に接続して、前記比較手段の出力に応じた異なるレベルの第1しきい値または第2しきい値の電圧信号(v_+)を生成するヒステリシス制御装置において、

前記被制御物は、スイッチング素子(43, 44)のスイッチング動作により負荷(48)に直流出力電圧を供給する電源装置(41)であり、

前記被制御物の検出電圧(v_1)は、前記電源装置(41)の出力電圧(v_0)を検出したものであり、

前記比較手段(25)からの出力信号を前記スイッチング素子(43, 44)の駆動信号として供給する駆動手段(45)を備え、

前記しきい値生成手段は、第1の抵抗(22)と前記第2の抵抗(23)の直列回路で構成され、前記第1の抵抗(22)と前記第2の抵抗(23)との接続点が前記比較手段(25)の非反転入力端子に接続され、

10

20

前記比較手段(25)からの出力を微分した信号を、前記しきい値生成手段(22, 23)からの電圧信号(v_+)として前記比較手段(25)の非反転入力端子に供給する微分手段を設け、

前記微分手段は、前記比較手段(25)の出力側に接続したキャパシタ(31)とそのキャパシタ(31)に接続した前記第1の抵抗(22)との直列回路で構成したことを特徴とするヒステリシス制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PWM(パルス幅変調)発生器を必要とする電子機器や電源装置などに適用されるヒステリシス制御装置に関する。

10

【背景技術】

【0002】

従来、スイッチング制御により電源装置の出力電圧を安定化するフィードバック制御装置として、例えば本願出願人が提案した特許文献1には、負荷電流の急激な変動に対する応答速度の高速化に 대응するために、ヒステリシス特性を有する比較手段を組み込んだヒステリシス制御装置が開示されている。また別の特許文献2には、電源装置における出力電圧の変化を検出し、この検出電圧をヒステリシス特性を有する比較回路に入力して基準電圧と比較し、当該比較回路からの比較結果に基づき、スイッチング制御回路へのフィードバック信号を生成させるヒステリシス制御装置が提案されている。

20

【0003】

ここで、従来のヒステリシス制御装置101の回路例を図8に示す。同図において、11は例えば電源装置(図示せず)の出力電圧を分圧して得た検出電圧 v_1 を生成する第1の電源であり、また12は基準電圧としての指令電圧 v_2 を生成する第2の電源である。これらの電源11, 12の他端は何れも接地される。ヒステリシス制御装置101は、抵抗21, 22, 23と、キャパシタ(コンデンサ)24と、ヒステリシス特性を有する比較手段25とにより構成され、比較手段25の出力端子と第1の電源11の一端との間に、抵抗21とキャパシタ24の直列回路が接続され、第2の電源12の一端と比較手段25の出力端子との間に、別な抵抗22, 23の直列回路が接続されると共に、抵抗21とキャパシタ24の接続点が比較手段25の反転入力端子に接続され、さらに抵抗22, 23の接続点が比較手段25の非反転入力端子に接続される。そして、接地ラインを基準として出力端子26にパルス状のPWM信号 v_{PWM} が出力される。なお、図8には示していないが、当該PWM信号 v_{PWM} は電源装置の駆動手段に供給され、この駆動手段から電源装置のスイッチング素子に対し、出力電圧の変動に応じたパルス導通幅を有する駆動信号が与えられることで、当該出力電圧の安定化が図られるようになっている。

30

【0004】

図9は、前記ヒステリシス制御装置101における各部の動作波形を示している。同図において、 v_{PWM} は比較手段25の出力端子に発生するPWM信号の電圧であり、 v_+ は比較手段25の非反転入力端子における電圧であり、さらに v_- は比較手段25の反転入力端子における電圧である。

40

【0005】

比較手段25は周知のように、その非反転入力端子の電圧 v_+ が反転入力端子の電圧 v_- を上回ると、出力端子の電圧 v_{PWM} がL(低)レベルからH(高)レベルに切り替わり、非反転入力端子の電圧 v_+ が反転入力端子の電圧 v_- を下回ると、出力端子の電圧 v_{PWM} がHレベルからLレベルに切り替わる。ここでは特に、抵抗22, 23の直列回路が第2の電源12と比較手段25の出力端子との間に接続している関係で、比較手段25の出力端子の電圧 v_{PWM} がHレベルの場合に、抵抗22, 23の接続点ひいては比較手段25の非反転入力端子における電圧 v_+ は一定の第1しきい値となり、比較手段25の出力端子の電圧 v_{PWM} がLレベルの場合に、比較手段25の非反転入力端子における電圧 v_+ が前記第1しきい値よりも低い一定の第2しきい値となる。

50

【 0 0 0 6 】

一方、比較手段 2 5 の反転入力端子における電圧 v_{-} は、比較手段 2 5 の出力端子の電圧 v_{PWM} が H レベルの場合に、抵抗 2 1 を通してキャパシタ 2 4 が充電され、時間 t の経過と共に上昇する。この電圧 v_{-} が比較手段 2 5 の非反転入力端子における第 1 しきい値の電圧 v_{+} に達すると、比較手段 2 5 の出力端子の電圧 v_{PWM} が H レベルから L レベルに転じる。比較手段 2 5 の出力端子の電圧 v_{PWM} が L レベルになると、キャパシタ 2 4 からの電荷は抵抗 2 1 を通して放電され、比較手段 2 5 の反転入力端子における電圧 v_{-} は時間 t の経過と共に下降する。この電圧 v_{-} が比較手段 2 5 の非反転入力端子における第 2 しきい値の電圧 v_{+} に達すると、比較手段 2 5 の出力端子の電圧 v_{PWM} が L レベルから再び H レベルに転じる。こうした動作を繰り返すことにより、比較手段 2 5 の反転入力端子における電圧 v_{-} は三角波状に変化すると共に、電源装置の出力電圧すなわち検出電圧 v_1 の変動に応じてそのパルス導通幅が増減する PWM 信号 v_{PWM} が、ヒステリシス制御装置 1 0 1 の出力端子 2 6 に生成される。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 0 8 - 2 8 3 8 0 2 号公報

【 特許文献 2 】 特開 2 0 0 4 - 6 4 9 9 4 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

20

【 0 0 0 8 】

上記ヒステリシス制御装置 1 0 1 をスイッチング電源装置に組み込んだ場合、出力電圧の変動に対する応答性を損なわずに、スイッチング素子のスイッチング周波数を高くするには、前記第 1 しきい値と第 2 しきい値との差であるヒステリシス電圧幅を小さくしなければならない。しかし、指令電圧 v_2 の電圧値や抵抗 2 2, 2 3 の抵抗値を変えるなどして、ヒステリシス電圧幅が小さくなるように意図的に調整すると、今度はスイッチングノイズなどの影響を受けやすくなって、装置としてノイズに弱くなる欠点を有していた。

【 0 0 0 9 】

そこで本発明は上記問題点に鑑み、ノイズに対して強く、応答性を損なわずに高周波数化に対応することができ、被制御物の小型化および軽量化を可能にするヒステリシス制御装置を提供することを、その目的とする。

30

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明のヒステリシス制御装置は、上記目的を達成するためになされたものであり、その特徴は次に示すとおりである。

【 0 0 1 1 】

抵抗 (2 1) とキャパシタ (2 4) の直列回路で構成し、被制御物の検出電圧 (v_1) に応じてその傾きが変わる電圧信号 (v_{-}) を生成する波形生成手段と、指令電圧 (v_2) を設定する指令電圧設定手段 (1 2) と、反転入力端子から入力した波形生成手段 (2 1, 2 4) からの電圧信号 (v_{-}) と、非反転入力端子から入力したしきい値生成手段からの電圧信号 (v_{+}) とを比較して、高レベルまたは低レベルの信号を出力する比較手段 (2 5) とを備え、前記しきい値生成手段は、前記比較手段 (2 5) の出力と前記指令電圧設定手段 (1 2) との間に接続して、前記比較手段の出力に応じた異なるレベルの第 1 しきい値または第 2 しきい値の電圧信号 (v_{+}) を生成するヒステリシス制御装置において、前記被制御物は、スイッチング素子 (4 3, 4 4) のスイッチング動作により負荷 (4 8) に直流出力電圧を供給する電源装置 (4 1) であり、前記被制御物の検出電圧 (v_1) は、前記電源装置 (4 1) の出力電圧 (v_o) を検出したものであり、前記比較手段 (2 5) からの出力信号を前記スイッチング素子 (4 3, 4 4) の駆動信号として供給する駆動手段 (4 5) を備え、前記しきい値生成手段は、第 1 の抵抗 (2 2) と前記第 2 の抵抗 (2 3) の直列回路で構成され、前記第 1 の抵抗 (2 2) と前記第 2 の抵抗 (2 3) との接続点が前記比較手段 (2 5) の非反転入力端子に

40

50

接続され、前記比較手段(25)からの出力を微分した信号を、前記しきい値生成手段(22, 23)からの電圧信号(v_+)として前記比較手段(25)の非反転入力端子に供給する微分手段を設け、前記微分手段は、前記比較手段(25)の出力側に接続したキャパシタ(31)とそのキャパシタ(31)に接続した前記第1の抵抗(22)との直列回路で構成したことを特徴とする。

【発明の効果】

【0012】

本発明は上記の各手段により、次に示す効果を得ることが可能となる。

【0013】

比較手段からの出力が高レベルまたは低レベルに切換わった直後は、ヒステリシス制御装置の被制御物である電源装置からスイッチングノイズが発生するが、このときには本発明の微分手段によって、第1しきい値と第2しきい値との電圧差が大きくなり、その後はこの電圧差が次第に小さくなって、ヒステリシス電圧幅が時間的に変化する。こうすることで、ノイズに対して強く、応答性を損なわずに高周波数化に対応することができ、被制御物の小型化および軽量化を可能にするヒステリシス制御装置を提供できる。

【0014】

またこれは、既存のヒステリシス制御装置において、第1の抵抗と第2の抵抗の直列回路で構成されるしきい値生成手段に対して、キャパシタを1つ追加するだけで達成できる。

【0015】

さらに、スイッチング素子を有する電源装置を被制御物とした場合、この電源装置の出力電圧に応じたパルス導通幅の出力信号を比較手段で生成して、これをスイッチング素子の駆動信号として供給することが可能になる。これにより、電源装置として良好な応答特性とノイズ特性を維持しつつ、出力電圧の安定化を図ることが可能になる。

【図面の簡単な説明】

【0016】

【図1】本発明の一実施例を示すヒステリシス制御装置の回路図である。

【図2】図1のヒステリシス制御装置を組み込んだ電源装置の回路図である。

【図3】図1に示す実施例の動作を説明するための波形図である。

【図4】図2に示す回路構成において、出力電圧の負荷特性を示す実験結果のグラフである。

【図5】図2に示す回路構成において、出力電圧のライン特性を示す実験結果のグラフである。

【図6】図2に示す回路構成において、ヒステリシス制御装置における伝達関数のボード線図を示すグラフである。

【図7】図2に示す回路構成において、出力電圧の過渡応答を示すグラフである。

【図8】従来例におけるヒステリシス制御装置の回路図である。

【図9】図8に示す実施例の動作を説明するための波形図である。

【発明を実施するための形態】

【0017】

本発明の実施上好ましい構成は、抵抗21とキャパシタ24の直列回路で構成し、被制御物の検出電圧 v_1 に応じてその傾きが変化するような電圧信号 v_1 を生成する波形生成手段21, 24と、指令電圧 v_2 を設定する指令電圧設定手段12と、反転入力端子から入力した波形生成手段(21, 24)からの電圧信号(v_1)と、非反転入力端子から入力したしきい値生成手段からの電圧信号(v_+)とを比較して、高レベルまたは低レベルの信号を出力する比較手段25とを備え、しきい値生成手段22, 23は、前記比較手段25の出力と前記指令電圧設定手段12との間に接続して、比較手段25の出力に応じた異なるレベルの第1しきい値または第2しきい値の電圧信号 v_+ を生成するヒステリシス制御装置1において、被制御物は、スイッチング素子43, 44のスイッチング動作により負荷48に直流出力電圧を供給する電源装置41であり、前記被制御物の検出電圧は電源装置

10

20

30

40

50

4 1 の出力電圧 v_o を検出したものであり、前記比較手段 2 5 からの出力信号をスイッチング素子 4 3 , 4 4 の駆動信号として供給する駆動手段 4 5 を備えており、しきい値生成手段は、第 1 の抵抗 2 2 と第 2 の抵抗 2 3 の直列回路で構成され、第 1 の抵抗 2 2 と第 2 の抵抗 2 3 との接続点が比較手段 2 5 の非反転入力端子に接続され、前記比較手段 2 5 からの出力を微分した信号を、前記しきい値生成手段 2 2 , 2 3 からの電圧信号 v_+ として比較手段 2 5 の第 2 の入力に供給する微分手段 2 2 , 3 1 を設け、前記微分手段は、前記比較手段 2 5 の出力側に接続したキャパシタ 3 1 とそのキャパシタ 3 1 に接続した前記第 1 の抵抗 2 2 との直列回路で構成したものである。

【実施例 1】

【0018】

以下、添付図面を参照して、本発明におけるヒステリシス制御装置の好適な実施例について説明する。図 1 は、本発明で提案するヒステリシス制御装置 1 の回路図を示すもので、従来のヒステリシス制御装置 101 と異なる点は、抵抗 2 2 , 2 3 の直列回路に、ヒステリシス電圧幅可変手段としてのキャパシタ 3 1 が直列接続され、キャパシタ 3 1 と抵抗 2 2 , 2 3 からなる直列回路が、コンパレータである比較手段 2 5 の出力端子と第 2 の電源 1 2 の一端との間に接続されていることにある。このキャパシタ 3 1 は、前記抵抗 2 2 , 2 3 と共に、比較手段 2 5 からの出力を微分した電圧 v_+ を、比較手段 2 5 の非反転入力端子に供給する微分手段として設けられる。それ以外の構成は、従来の図 8 で示した回路図と共通している。

【0019】

図 2 は、上記ヒステリシス制御装置 1 が制御対象とする被制御物として、電源装置 4 1 を適用した場合の回路図を示している。勿論、本発明のヒステリシス制御装置 1 は、電源装置 4 1 以外の各種電子機器に PWM 発生器として組み込んで構わない。

【0020】

同図において、4 2 は電源装置 4 1 の直流入力電源、4 3 , 4 4 は電源装置 4 1 の両端間に接続するスイッチング素子の直列回路で、ここでは例として何れも MOS 型 FET が用いられている。当該スイッチング素子 4 3 , 4 4 には、駆動手段 4 5 からのパルス駆動信号が交互に与えられ、お互いのスイッチング素子 4 3 , 4 4 が相補的にオン、オフするようにスイッチング動作される。さらにスイッチング素子 4 4 の両端間には、インダクタ 4 6 と平滑コンデンサ 4 7 との直列回路が接続され、平滑コンデンサ 4 7 の両端間に負荷 4 8 が接続される。これにより、一方のスイッチング素子 4 3 がオン、他方のスイッチング素子 4 4 がオフの期間中は、入力電源 4 2 からの入力電圧 V_i がスイッチング素子 4 3 からインダクタ 4 6 を通して平滑コンデンサ 4 7 および負荷 4 8 に印加され、インダクタ 4 6 にエネルギーが蓄えられると共に、スイッチング素子 4 3 がオフ、スイッチング素子 4 4 がオンの期間中になると、インダクタ 4 6 の両端間に生じる起電圧が平滑コンデンサ 4 7 および負荷 4 8 に印加され、結果的に入力電圧 V_i よりも低い出力電圧 v_o を平滑コンデンサ 4 7 の両端間に生成することができる。

【0021】

なお、図 2 に示す電源装置 4 1 は、トランスが存在しない非絶縁型の降圧コンバータであるが、例えば昇圧コンバータ若しくは昇降圧コンバータであってもよく、また入力側と出力側とを絶縁するトランスを介在させた絶縁型のコンバータであってもよい。ここでは少なくとも一乃至複数のスイッチング素子 4 3 , 4 4 を有し、そのスイッチング素子 4 3 , 4 4 のスイッチング動作により所望の出力電圧 v_o が取り出せるものであれば、どのような電源装置 4 1 であっても構わない。

【0022】

図 2 のヒステリシス制御装置 1 は、図 1 に示したものに抵抗 2 7 とキャパシタ 2 8 が追加されている。具体的には、前記抵抗 2 1 とキャパシタ 2 4 の直列回路にはキャパシタ 2 8 が直列に接続され、キャパシタ 2 8 の一端が比較手段 2 5 の出力端子に接続される。また、キャパシタ 2 4 の両端間には抵抗 2 7 が接続される。比較手段 2 5 の出力端子は駆動手段 4 5 の入力に接続され、この比較手段 2 5 の出力端子に発生する PWM 信号 v_{PWM}

10

20

30

40

50

と同じタイミングで、第1のパルス駆動信号が駆動手段45からスイッチング素子43のゲートに供給されると共に、PWM信号 v_{PWM} を反転したタイミングで、第2のパルス駆動信号が駆動手段45からスイッチング素子44のゲートに供給される。

【0023】

前記キャパシタ28は、駆動手段25の入力の直流成分をカットする直流カット手段として設けられている。また、抵抗21、キャパシタ24および抵抗27は、前記キャパシタ28からの出力を積分して、電源装置41の検出電圧に相当する出力電圧 v_O に重畳する積分手段である。

【0024】

次に、図3の波形図を参照しながら、上記回路の動作を説明する。図3において、 v_{PWM} は比較手段25の出力端子に発生するPWM信号の電圧であり、 v_+ は比較手段25の非反転入力端子における電圧であり、さらに v_- は比較手段25の反転入力端子における電圧である。

10

【0025】

比較手段25において、その非反転入力端子の電圧 v_+ が反転入力端子の電圧 v_- を上回ると、出力端子の電圧 v_{PWM} がLレベルからHレベルに切換わり、非反転入力端子の電圧 v_+ が反転入力端子の電圧 v_- を下回ると、出力端子の電圧 v_{PWM} がHレベルからLレベルに切換わる点は、従来の回路と同じである。特に本実施例では、比較手段25の出力端子と非反転入力端子との間に、キャパシタ31と抵抗22、23とによる微分手段が設けられている関係で、比較手段25の出力端子の電圧 v_{PWM} がLレベルからHレベルに切換わった直後に、比較手段25の非反転入力端子には従来よりも高い第1しきい値の電圧 v_+ が発生し、その後はこの第1しきい値の電圧 v_+ が時間の経過と共に指数関数的に減少すると共に、比較手段25の出力端子の電圧 v_{PWM} がHレベルからLレベルに切換わった直後に、比較手段25の非反転入力端子には従来よりも低い第2しきい値の電圧 v_+ が発生し、その後はこの第2しきい値の電圧 v_+ が時間の経過と共に指数関数的に増加する。

20

【0026】

つまり、比較手段25の出力端子の電圧 v_{PWM} がLレベルまたはLレベルに切換わった直後は、ヒステリシス制御装置1の被制御物である電源装置41のスイッチング素子43、44からスイッチングノイズが発生するが、このときには前記微分手段によって、比較手段25の非反転入力端子に発生する電圧 v_+ は、第1しきい値と第2しきい値との電圧差が大きくなり、その後はこの電圧差が次第に小さくなって、当該ヒステリシス電圧幅（電圧差）が一定ではなく時間的に変化するようになる。したがって、電源装置41の出力電圧 v_O にスイッチングノイズが重畳しても、このノイズが第1しきい値や第2しきい値に達することがなく、比較手段25の出力端子はノイズの影響を受けないPWM信号 v_{PWM} を生成できる。また、時間の経過と共に、比較手段25の非反転入力端子に発生する電圧 v_+ のヒステリシス電圧幅は小さくなり、スイッチング素子43、44のスイッチング周波数を高くしても、ヒステリシス制御装置1の応答性は損なわれない。

30

【0027】

結果的に、このような微分波形状の電圧 v_+ を、比較手段25の非反転入力端子に供給することで、ノイズに対して強く、応答性を損なわずに高周波数化に対応することができ、被制御物である電源装置41の小型化および軽量化を可能にするヒステリシス制御装置1を提供できる。

40

【0028】

またこれは、既存のヒステリシス制御装置において、抵抗22、23の直列回路で構成されるしきい値生成手段に対して、キャパシタ31を1つ追加するだけで達成できる。

【0029】

一方、比較手段25の反転入力端子における電圧 v_- は、比較手段25の出力端子の電圧 v_{PWM} がHレベルの場合に、抵抗21を通してキャパシタ24が充電され、時間 t の経過と共に上昇する。この電圧 v_- が比較手段25の非反転入力端子における第1しきい

50

値の電圧 v_+ に達すると、比較手段 25 の出力端子の電圧 v_{PWM} が H レベルから L レベルに転じる。比較手段 25 の出力端子の電圧 v_{PWM} が L レベルになると、キャパシタ 24 からの電荷は抵抗 21 を通して放電され、比較手段 25 の反転入力端子における電圧 v_- は時間 t の経過と共に下降する。この電圧 v_- が比較手段 25 の非反転入力端子における第 2 しきい値の電圧 v_+ に達すると、比較手段 25 の出力端子の電圧 v_{PWM} が L レベルから再び H レベルに転じる。こうした動作を繰り返すことにより、比較手段 25 の反転入力端子における電圧 v_- は三角波状に変化すると共に、電源装置 41 の出力電圧 v_o の変動に応じてそのパルス導通幅が増減する PWM 信号 v_{PWM} が、比較手段 25 から駆動手段 45 に供給される。

【0030】

10

なお、図 2 に示すヒステリシス制御装置 1 において、キャパシタ 28 と抵抗 21, 27 は積分補償回路となっており、電源装置 41 の出力電圧 v_o の定常偏差を小さく抑える効果がある。また、キャパシタ 24 と抵抗 21, 27 は微分補償回路となっており、電源装置 41 における過渡電圧の抑制に効果がある。

【0031】

波形生成手段としての抵抗 21 とキャパシタ 24 は、電源装置 41 の検出電圧に相当する出力電圧 v_o が低いほど、比較手段 25 の反転入力端子に供給する電圧 v_- が第 1 しきい値の電圧 v_+ に達するまでの時間が長くなり、逆に電源装置 41 の出力電圧 v_o が高いほど、比較手段 25 の反転入力端子に供給する電圧 v_- が第 1 しきい値の電圧 v_+ に達するまでの時間が短くなるように、三角波状の電圧 v_- を生成する。これにより、比較手段 25 の出力端子に発生する PWM 信号 v_{PWM} は、電源装置 41 の出力電圧 v_o の変動に応じてそのパルス導通幅が増減し、この PWM 信号 v_{PWM} に基づいて駆動手段 45 から各スイッチング素子 43, 44 にパルス駆動信号が供給される。

20

【0032】

つまり、スイッチング素子 43, 44 を有する電源装置 41 を、ヒステリシス制御装置 1 の被制御物とした場合、この電源装置 41 の出力電圧 v_o に応じたパルス導通幅を有する PWM 信号 v_{PWM} を比較手段 25 で生成して、これをスイッチング素子 43, 44 のパルス駆動信号として供給することができる。そのため、電源装置 41 として良好な応答特性とノイズ特性を維持しつつ、出力電圧 v_o の安定化を図ることが可能になる。

【0033】

30

図 4 および図 5 は、図 2 に示す回路構成において、出力電圧 v_o の負荷特性およびライン特性をそれぞれ示している。図 4 は負荷電流 I_o と出力電圧 v_o との相関関係を示し、図 5 は入力電圧 V_i と出力電圧 v_o との相関関係を示している。

【0034】

定常状態の解析において、出力電圧 v_o は第 2 の電源 12 の基準電圧 V_r と等しくなる ($V_o = V_r$)。ここでは実験での確認のために、5 V を 1.2 V - 10 A に変換する同期整流器付きの降圧コンバータが実装されている。スイッチング周波数は約 500 kHz である。図 4 および図 5 に示す実験結果は、解析したものとよく一致しており、良好なレギュレーションを達成できる。

【0035】

40

小信号の AC 解析から、制御回路であるヒステリシス制御装置 1 の伝達関数 $V_1(s) / V_o(s)$ は次のように示される。なお、ここでの V_1 は比較手段 25 の出力端子に発生する電圧である。

【0036】

【数 1】

$$\frac{V_1(s)}{V_o(s)} = \frac{V_{OH}}{V_i} \cdot \frac{sT_1}{1+sT_2}$$

【0037】

但し、抵抗 21 の抵抗値を R_1 とし、キャパシタ 24 の静電容量を C_1 とし、電圧 v_+

50

のヒステリシス電圧幅を V_{HYS} とすると、上記数 1 の時定数 T_1 , T_2 は次のように示される。

【 0 0 3 8 】

【 数 2 】

$$T_1=R_1C_1, T_2=R_1C_1V_{HYS}/V_i.$$

【 0 0 3 9 】

ここでは簡素化のために、キャパシタ 2 8 の静電容量 C_2 と、抵抗 2 7 の抵抗値 R_2 は、何れも無限大であると仮定する ($C_2 = \infty$, $R_2 = \infty$)。伝達関数 $V_1(s) / V_0(s)$ のボード線図を図 6 に示す。その結果から、本実施例における制御方法は、微分的な貢献の有ることがわかる。

10

【 0 0 4 0 】

図 7 は、出力電圧 v_0 の過渡応答を示している。10 A / μ s のスルーレートで、負荷電流 I_0 を 0 A から 10 A に変えている。同図において、(a) ~ (c) は出力電圧 v_0 の波形をそれぞれ示しており、また (d) は負荷電流 I_0 の波形を示している。時定数 T_1 を増加することで発振が排除され、キャパシタ 2 8 の静電容量 C_2 を増加させることで、沈降時間が短縮される。ここでは、優れた過渡応答性が達成される。

【 0 0 4 1 】

上記実施例から、電源装置 4 1 として高いスイッチング周波数で安定に動作する改良したバング - バング制御型 DC - DC コンバータが提案された。上記各実験によって、定常状態と動的な特性が分析および確認された。その結果、良好な負荷およびラインレギュレーションと優れた過渡応答性能を達成できる。

20

【 0 0 4 2 】

本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【 産業上の利用可能性 】

【 0 0 4 3 】

本発明のヒステリシス制御装置は、上述したようにノイズに対して強く、応答性を損なわずに高周波数化に対応することができ、被制御物の小型化および軽量化を可能にするものとなる。このため、スイッチング電源装置を利用した各種電子機器などに活用されるなど、産業上広く利用されるものである。

30

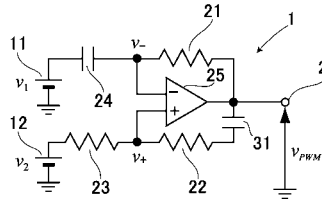
【 符号の説明 】

【 0 0 4 4 】

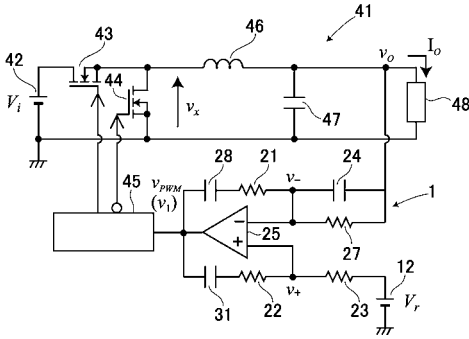
- 1 ヒステリシス制御装置
- 1 2 第 2 の電源 (指令電圧設定手段)
- 2 1 抵抗 (波形生成手段)
- 2 2 抵抗 (しきい値生成手段 , 微分手段)
- 2 3 抵抗 (しきい値生成手段)
- 2 4 キャパシタ (波形生成手段)
- 2 5 比較手段
- 3 1 キャパシタ (微分手段)
- 4 1 電源装置 (被制御物)
- 4 3 スwitching素子
- 4 4 スwitching素子
- 4 5 駆動手段
- 4 8 負荷

40

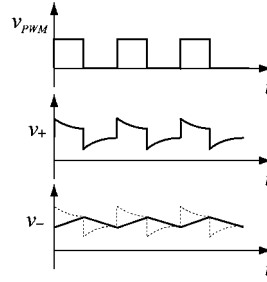
【図1】



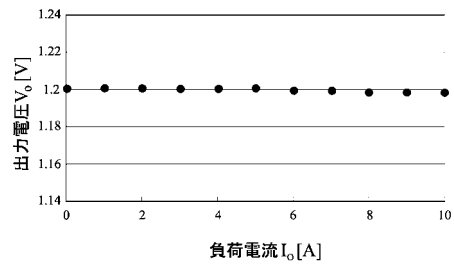
【図2】



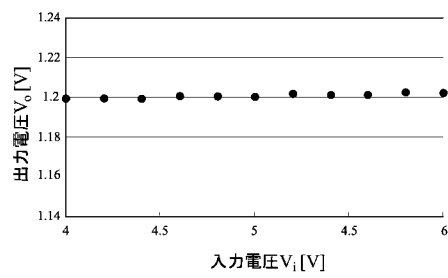
【図3】



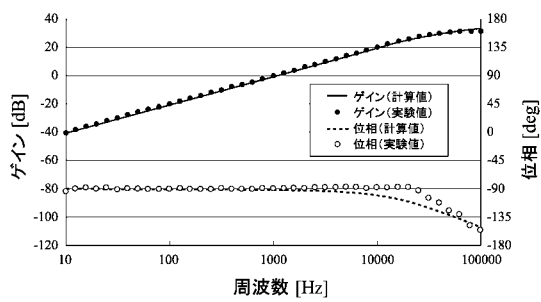
【図4】



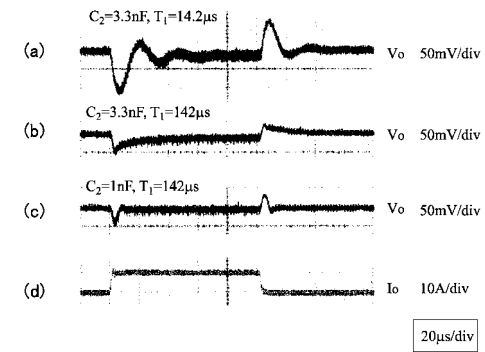
【図5】



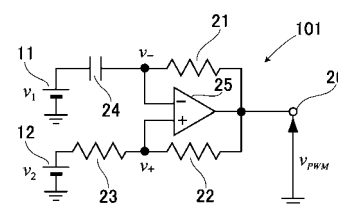
【図6】



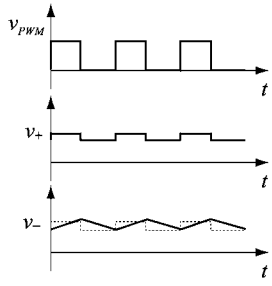
【図7】



【図8】



【 9 】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H 0 2 M 3 / 1 5 5

H 0 3 K 3 / 0 2 3 3