

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-22685
(P2014-22685A)

(43) 公開日 平成26年2月3日(2014. 2. 3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/205 (2006.01)	HO 1 L 21/205	4 K O 3 O
HO 1 L 33/32 (2010.01)	HO 1 L 33/00 1 8 6	5 F O 4 5
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5 F 1 O 2
HO 1 L 29/778 (2006.01)	C 2 3 C 16/34	5 F 1 4 1
HO 1 L 29/812 (2006.01)	HO 1 L 29/205	5 F 1 5 2

審査請求 未請求 請求項の数 20 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2012-162720 (P2012-162720)
(22) 出願日 平成24年7月23日 (2012. 7. 23)

(71) 出願人 304021277
国立大学法人 名古屋工業大学
愛知県名古屋市昭和区御器所町字木市29番
(72) 発明者 江川 孝志
愛知県名古屋市昭和区御器所町字木市29番 国立大学法人名古屋工業大学内
Fターム(参考) 4K030 AA11 AA13 AA17 AA18 BA02
BA08 BA38 BB02 BB12 CA04
CA12 DA03 FA10 LA14

最終頁に続く

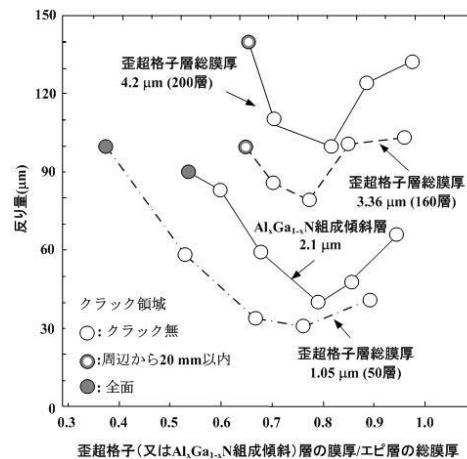
(54) 【発明の名称】 半導体積層構造およびこれを用いた半導体素子

(57) 【要約】

【課題】 Si 等の基板にいずれも AlGaIn 系半導体のバッファ層、歪超格子層あるいは組成傾斜層、半導体デバイス層を順次設けた半導体積層構造の反りを低減する。

【解決手段】 室温 ~ 1200 における前記基板の熱膨張係数が前記半導体層のいずれの熱膨張係数より小さく、歪超格子層の膜厚 (t_{SL})、チャネル層の膜厚 (t_{CH})、および半導体層の総厚 (t_{TOTAL}) との関係が、 $0.75 t_{SL} / t_{TOTAL} < 0.90$ 、または $0.75 t_{SL} / (t_{SL} + t_{CH}) < 0.90$ 、である半導体積層構造。さらに、組成傾斜層の膜厚 (t_{CG})、チャネル層の膜厚 (t_{CH})、および半導体層の総厚 (t_{TOTAL}) との関係が、 $0.75 t_{CG} / t_{TOTAL} < 0.90$ 、または $0.75 t_{CG} / (t_{CG} + t_{CH}) < 0.90$ 、である半導体積層構造。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

基板上にバッファ層、歪超格子層、チャネル層、およびバリア層なる AlGaIn 系半導体層を順次設けた半導体積層構造であって、室温 ~ 1200 における前記基板の熱膨張係数が前記半導体層のいずれの熱膨張係数より小さく、歪超格子層の膜厚 (t_{SL})、チャネル層の膜厚 (t_{CH})、および半導体層の総厚 (t_{TOTAL}) との関係が、 $0.75 \leq t_{SL} / t_{TOTAL} \leq 0.90$ 、または $0.75 \leq t_{SL} / (t_{SL} + t_{CH}) \leq 0.90$ である半導体積層構造。

【請求項 2】

前記歪超格子層が $Al_{x_1}Ga_{1-x_1}N$ と $Al_{x_2}Ga_{1-x_2}N$ の組み合わせを交互に繰り返した層であり、その合計の厚みが $1.0 \mu m \sim 6.0 \mu m$ である請求項 1 に記載の半導体積層構造。

10

【請求項 3】

前記歪超格子層の対組成が、 $0.9 \leq X_1 \leq 1.0$ 、 $X_2 + 0.65 \leq X_1 \leq X_2 + 0.75$ である請求項 2 に記載の半導体積層構造。

【請求項 4】

基板上にバッファ層、歪超格子層、および発光層なる AlGaIn 系半導体層を順次設けた半導体積層構造であって、室温 ~ 1200 における前記基板の熱膨張係数が前記半導体層のいずれの熱膨張係数より小さく、歪超格子層の膜厚 (t_{SL})、発光層の膜厚 (t_L)、および半導体層の総厚 (t_{TOTAL}) との関係が、 $0.75 \leq t_{SL} / t_{TOTAL} \leq 0.90$ 、または $0.75 \leq t_{SL} / (t_{SL} + t_L) \leq 0.90$ である半導体積層構造。

20

【請求項 5】

前記発光層が第 1 の導電型半導体層、活性層、および第 1 の導電型と反対の第 2 の導電型半導体層を順次積層してなる請求項 4 に記載の半導体積層構造。

【請求項 6】

前記歪超格子層が $Al_{x_1}Ga_{1-x_1}N$ と $Al_{x_2}Ga_{1-x_2}N$ の組み合わせを交互に繰り返した層であり、その合計の厚みが $1.0 \mu m \sim 6.0 \mu m$ である請求項 4 または 5 に記載の半導体積層構造。

【請求項 7】

前記歪超格子層の対組成が、 $0.9 \leq X_1 \leq 1.0$ 、 $X_2 + 0.65 \leq X_1 \leq X_2 + 0.75$ である請求項 6 に記載の半導体積層構造

30

【請求項 8】

前記歪超格子層の厚み (t_{SL}) と基板 (t_{SUB}) の厚みの比 (t_{SL} / t_{SUB}) が、 $0.001 \sim 0.014$ である請求項 1 ~ 7 のいずれかに記載の半導体積層構造。

【請求項 9】

基板上にバッファ層、組成傾斜層、チャネル層、およびバリア層なる AlGaIn 系半導体層を順次設けた半導体積層構造であって、室温 ~ 1200 における前記基板の熱膨張係数が前記 AlGaIn 系半導体層のいずれの熱膨張係数より小さく、組成傾斜層の Al 組成が膜成長方向に減少し、組成傾斜層の膜厚 (t_{CG})、チャネル層の膜厚 (t_{CH})、および半導体層の総厚 (t_{TOTAL}) との関係が、 $0.75 \leq t_{CG} / t_{TOTAL} \leq 0.90$ 、または $0.75 \leq t_{CG} / (t_{CG} + t_{CH}) \leq 0.90$ 、である半導体積層構造。

40

【請求項 10】

前記組成傾斜層の厚みが $0.7 \mu m \sim 2.5 \mu m$ である請求項 9 に記載の半導体積層構造。

【請求項 11】

前記組成傾斜層は $Al_{x_3}Ga_{1-x_3}N$ なる組成であり、膜厚 $10 nm \sim 100 nm$ 毎に X_3 が膜成長方向に階段状に減少する請求項 9 または 10 に記載の半導体積層構造。

【請求項 12】

基板上にバッファ層、組成傾斜層、および発光層なる AlGaIn 系半導体層を順次設けた

50

半導体積層構造であって、室温～1200における前記基板の熱膨張係数が前記半導体層のいずれの熱膨張係数より小さく、組成傾斜層の膜厚(t_{CG})、発光層の膜厚(t_{LE})、および半導体層の総厚(t_{TOTAL})との関係が、 $0.75 \leq t_{CG} / t_{TOTAL} \leq 0.90$ 、または $0.75 \leq t_{CG} / (t_{CG} + t_{LE}) \leq 0.90$ である半導体積層構造。

【請求項13】

前記発光層が第1の導電型半導体層、活性層、および第1の導電型と反対の第2の導電型半導体層を順次積層してなる請求項12に記載の半導体積層構造。

【請求項14】

前記組成傾斜層の厚みが $0.7 \mu\text{m} \sim 2.5 \mu\text{m}$ である請求項12または13に記載の半導体積層構造。 10

【請求項15】

前記組成傾斜層は $\text{Al}_{X3}\text{Ga}_{1-X3}\text{N}$ なる組成であり、膜厚 $10\text{nm} \sim 100\text{nm}$ 毎に $X3$ が膜成長方向に階段状に減少する請求項12～14のいずれかに記載の半導体積層構造。

【請求項16】

前記組成傾斜層の厚み(t_{CG})と基板(t_{SUB})の厚みの比(t_{CG} / t_{SUB})が、 $0.0007 \sim 0.0060$ である請求項9～15のいずれかに記載の半導体積層構造。

【請求項17】

前記チャンネル層が厚み $0.2 \mu\text{m} \sim 5.0 \mu\text{m}$ の $\text{Al}_{X4}\text{Ga}_{1-X4}\text{N}$ ($0 \leq X4 \leq 0.1$)からなる層である請求項1～3、8、9～11、および16のいずれかに記載の半導体積層構造。 20

【請求項18】

前記基板がSi基板である請求項1～17のいずれかに記載の半導体積層構造。

【請求項19】

請求項1～3、8、9～11、および16のいずれかに記載の半導体積層構造を用いたHEMT素子。

【請求項20】

請求項4～8、および12～16のいずれかに記載の半導体積層構造を用いた発光素子。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果トランジスタ(FET)、発光ダイオード(LED)等の半導体素子に用いられる半導体積層構造であって、特に反りおよびクラックの発生を抑制した、結晶品質の優れたSi基板を用いた半導体積層構造およびこれを用いた半導体素子に関するものである。

【背景技術】

【0002】

窒化物半導体は、電界効果トランジスタ等の電子デバイス、あるいは、可視光領域から紫外光領域の短波長帯における受発光デバイスの活性材料として、近年盛んに研究開発が行われている。

【0003】

一般的に、前記窒化物半導体は、サファイア、SiC又はSi等からなる基板上に形成される。特に、Si単結晶基板(以下、「Si基板」という)は、大面積が低価格で入手でき、結晶性及び放熱性に優れ、さらに、へき開やエッチングが容易で、プロセス技術が成熟しているといった多くの利点を具えている。

【0004】

10

20

30

40

50

しかし、前記窒化物半導体とSi基板とでは、格子定数や熱膨張係数が大きく異なるため、Si基板上に窒化物半導体を成長させた場合、成長した窒化物半導体は、ウェーハとして反る、あるいはクラックやピット（点状欠陥）が発生するという問題があった。特に反りが大きいと、デバイス加工としてプロセスが困難となり、また素子として耐圧が低いなど大きな課題となっている。

【0005】

上記問題を解決するための手段としては、前記Si基板と窒化物半導体層との間にバッファ層を形成することで、反りあるいはクラックを抑制する技術が知られている。例えば、特許文献1では、Si基板の上に、窒化物半導体からなり、組成的に勾配を付けたAl_xGa_{1-x}N等からなる転移層（バッファ層）を形成し、該転移層の上に窒化ガリウムを形成してなる半導体材料が開示されている。

10

【0006】

また、特許文献2では、Si基板上に、高Al含有層と、低Al含有層とを交互に複数層積層してなるAlN系超格子複合層を形成し、該AlN系超格子複合バッファ層上に窒化物半導体層を形成してなる窒化物半導体素子が開示されている。

【0007】

しかしながら、特許文献1及び2に記載の半導体材料では、いずれも前記窒化物半導体層に発生する反りあるいはクラックの抑制については十分でなかった。

【0008】

一方、特許文献3および4では、反りの少ない半導体積層基板を得るため、2インチ径で330μm厚のサファイア基板上に、30nm厚のGaNバッファ層を設けた後、GaN層とGaの一部をInで置換したInGaN層からなる中間層を設け、さらにAlGaN系の膜を20~30nmの厚みで形成した半導体積層構造の反りが10~25μmであることが開示されている。

20

【0009】

しかし、特許文献3および4で用いたサファイア基板のヤング率はSi基板のヤング率の2~3倍であり、相対的に反りが小さくなること、また、基板の径を2インチから4インチへと大きくすれば反りは4倍程度大きくなることが予想され、さらに歪緩和のための中間層上のAlGaNの膜厚が小さく、中間層の歪緩和効果が十分には確認されていない。

【先行技術文献】

30

【特許文献】

【0010】

【特許文献1】特表2004-524250号公報

【特許文献2】特開2007-67077号公報

【特許文献3】特開2008-211246号公報

【特許文献4】特開2007-60140号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明の課題は、Si基板上にバッファ層を設け、このバッファ層上に、歪超格子層あるいは組成傾斜層を設け、さらにGaN系のデバイス層を設けた半導体積層構造であって、反りを低減した半導体積層構造およびこれを用いた半導体素子を提供することにある。

40

【課題を解決するための手段】

【0012】

本発明者らは、前記半導体積層構造において、歪超格子層の膜厚と半導体層の総膜厚との関係、あるいは組成傾斜層の膜厚と半導体層の総膜厚とが特定の関係にあることが、上記課題が解決しうることを見出した。すなわち、本発明によれば、以下の半導体積層構造およびこれを用いた半導体素子が提供される。

【0013】

[1] 基板上にバッファ層、歪超格子層、チャンネル層、およびバリア層なるAlGaN系

50

半導体層を順次設けた半導体積層構造であって、室温～1200における前記基板の熱膨張係数が前記半導体層のいずれの熱膨張係数より小さく、歪超格子層の膜厚(t_{SL})、チャネル層の膜厚(t_{CH})、および半導体層の総厚(t_{TOTAL})との関係が、 $0.75 \leq t_{SL} / t_{TOTAL} \leq 0.90$ 、または $0.75 \leq t_{SL} / (t_{SL} + t_{CH}) \leq 0.90$ である半導体積層構造。

【0014】

[2] 前記歪超格子層が $Al_{x_1}Ga_{1-x_1}N$ と $Al_{x_2}Ga_{1-x_2}N$ の組み合わせを交互に繰り返した層であり、その合計の厚みが $1.0 \mu m \sim 6.0 \mu m$ である前記[1]に記載の半導体積層構造。

【0015】

[3] 前記歪超格子層の対組成が、 $0.9 \leq X_1 \leq 1.0$ 、 $X_2 + 0.65 \leq X_1 \leq X_2 + 0.75$ である前記[2]に記載の半導体積層構造。

【0016】

[4] 基板上にバッファ層、歪超格子層、および発光層なる $AlGaIn$ 系半導体層を順次設けた半導体積層構造であって、室温～1200における前記基板の熱膨張係数が前記半導体層のいずれの熱膨張係数より小さく、歪超格子層の膜厚(t_{SL})、発光層の膜厚(t_{LE})、および半導体層の総厚(t_{TOTAL})との関係が、 $0.75 \leq t_{SL} / t_{TOTAL} \leq 0.90$ 、または $0.75 \leq t_{SL} / (t_{SL} + t_{LE}) \leq 0.90$ である半導体積層構造。

【0017】

[5] 前記発光層が第1の導電型半導体層、活性層、および第1の導電型と反対の第2の導電型半導体層を順次積層してなる前記[4]に記載の半導体積層構造。

【0018】

[6] 前記歪超格子層が $Al_{x_1}Ga_{1-x_1}N$ と $Al_{x_2}Ga_{1-x_2}N$ の組み合わせを交互に繰り返した層であり、その合計の厚みが $1.0 \mu m \sim 6.0 \mu m$ である前記[4]または[5]に記載の半導体積層構造。

【0019】

[7] 前記歪超格子層の対組成が、 $0.9 \leq X_1 \leq 1.0$ 、 $X_2 + 0.65 \leq X_1 \leq X_2 + 0.75$ である前記[6]に記載の半導体積層構造

【0020】

[8] 前記歪超格子層の厚み(t_{SL})と基板(t_{SUB})の厚みの比(t_{SL} / t_{SUB})が、 $0.001 \sim 0.014$ である前記[1]～[7]のいずれかに記載の半導体積層構造。

【0021】

[9] 基板上にバッファ層、組成傾斜層、チャネル層、およびバリア層なる $AlGaIn$ 系半導体層を順次設けた半導体積層構造であって、室温～1200における前記基板の熱膨張係数が前記 $AlGaIn$ 系半導体層のいずれの熱膨張係数より小さく、組成傾斜層の Al 組成が膜成長方向に減少し、組成傾斜層の膜厚(t_{CG})、チャネル層の膜厚(t_{CH})、および半導体層の総厚(t_{TOTAL})との関係が、 $0.75 \leq t_{CG} / t_{TOTAL} \leq 0.90$ 、または $0.75 \leq t_{CG} / (t_{CG} + t_{CH}) \leq 0.90$ 、である半導体積層構造。

【0022】

[10] 前記組成傾斜層の厚みが $0.7 \mu m \sim 2.5 \mu m$ である前記[9]に記載の半導体積層構造。

【0023】

[11] 前記組成傾斜層は $Al_{x_3}Ga_{1-x_3}N$ なる組成であり、膜厚 $10 nm \sim 100 nm$ 毎に X_3 が膜成長方向に階段状に減少する前記[9]または[10]に記載の半導体積層構造。

【0024】

[12] 基板上にバッファ層、組成傾斜層、および発光層なる $AlGaIn$ 系半導体層を順

10

20

30

40

50

次設けた半導体積層構造であって、室温～1200における前記基板の熱膨張係数が前記半導体層のいずれの熱膨張係数より小さく、組成傾斜層の膜厚(t_{CG})、発光層の膜厚(t_{LE})、および半導体層の総厚(t_{TOTAL})との関係が、 $0.75 \leq t_{CG} / t_{TOTAL} \leq 0.90$ 、または $0.75 \leq t_{CG} / (t_{CG} + t_{LE}) \leq 0.90$ である半導体積層構造。

【0025】

[13] 前記発光層が第1の導電型半導体層、活性層、および第1の導電型と反対の第2の導電型半導体層を順次積層してなる前記[12]に記載の半導体積層構造。

【0026】

[14] 前記組成傾斜層の厚みが $0.7 \mu\text{m} \sim 2.5 \mu\text{m}$ である前記[12]または[13]に記載の半導体積層構造。 10

【0027】

[15] 前記組成傾斜層は $\text{Al}_{X3}\text{Ga}_{1-X3}\text{N}$ なる組成であり、膜厚 $10\text{nm} \sim 100\text{nm}$ 毎に $X3$ が膜成長方向に階段状に減少する前記[12]～[14]のいずれかに記載の半導体積層構造。

【0028】

[16] 前記組成傾斜層の厚み(t_{CG})と基板(t_{SUB})の厚みの比(t_{CG} / t_{SUB})が、 $0.0007 \sim 0.0060$ である前記[9]～[15]のいずれかに記載の半導体積層構造。

【0029】

[17] 前記チャネル層が厚み $0.2 \mu\text{m} \sim 5.0 \mu\text{m}$ の $\text{Al}_{X4}\text{Ga}_{1-X4}\text{N}$ ($0 \leq X4 \leq 0.1$)からなる層である前記[1]～[3]、[8]、[9]～[11]、および[16]のいずれかに記載の半導体積層構造。 20

【0030】

[18] 前記基板がSi基板である前記[1]～[17]のいずれかに記載の半導体積層構造。

【0031】

[19] 前記[1]～[3]、[8]、[9]～[11]、および[16]のいずれかに記載の半導体積層構造を用いたHEMT素子。 30

【0032】

[20] 前記[4]～[8]、および[12]～[16]のいずれかに記載の半導体積層構造を用いた発光素子。

【図面の簡単な説明】

【0033】

【図1】本発明実施例1の半導体積層構造の概念図である。

【図2】本発明実施例2の半導体積層構造の概念図である。

【図3】本発明の半導体積層構造を有するウェーハの反り量を示す図である。

【図4】本発明の実施例1および実施例2の反り量を示す図である。

【図5】本発明の実施例1および実施例2の反り量を示す図である。 40

【発明を実施するための形態】

【0034】

以下、図面を参照しつつ本発明の実施の形態について説明する。本発明は、以下の実施形態に限定されるものではなく、発明の範囲を逸脱しない限りにおいて、変更、修正、改良を加え得るものである。

【0035】

図1は本発明実施例1の半導体積層構造の概念図である。なお、図示の都合上、図1における各層の厚みの比率は実際の比率を反映していない。図1に示す半導体積層構造1は、Si基板2の上に、バッファ層としてAlN層3およびAlGaIn層4を形成し、次に歪超格子層5、さらにデバイス層としてGaN層6および $\text{Al}_{X1}\text{Ga}_{1-X1}\text{N}$ 層7を順次積層したものである。この半導体積層構造1は、基板上2に、バッファ層3および4、歪超 50

格子層 5、さらにデバイス層 6 および 7 を順次エピタキシャル成長させることにより形成されるので、当該半導体積層構造は半導体エピタキシャル基板（あるいは半導体エピ基板）と称する場合がある。

【0036】

本半導体積層構造に、たとえば、ソース電極、ゲート電極、およびドレイン電極を形成することにより、HEMT素子を形成することができる。

【0037】

基板は、その上に形成するバッファ層、歪超格子、デバイス層の組成や構造、あるいは各層の形成手法に応じて適宜に選択される。例えば、基板としては、シリコン、ゲルマニウム、サファイア、炭化ケイ素、酸化物(ZnO 、 $LiAlO_2$ 、 $LiGaO_2$ 、 $MgAl_2O_4$ 、 $(LaSr)(AlTa)O_3$ 、 $NdGaO_3$ 、 MgO など)、Si-Ge合金、周期律表の第3族-第5族化合物($GaAs$ 、 AlN 、 GaN 、 $AlGaN$ 、 $AlInN$)、ホウ化物(ZrB_2 など)、などを用いることができる。ただし、室温~1200における前記基板の熱膨張係数が基板上に形成する $Al_xGa_{1-x}N$ からなる膜の熱膨張係数より小さいことが好ましく、なかでもSi基板が品質およびコストの点で好ましく、Si基板の厚みとしては0.42~1.00mmが好適である。

10

【0038】

バッファ層は、その上に形成する歪超格子、デバイス層の組成や構造、あるいは各層の形成手法に応じて、様々な第3族窒化物半導体からなる単一層または複数層から形成される。本発明では、バッファ層は $Al_xGa_{1-x}N$ からなり、 $x=0.2$ の1層または2層からなり、合計の厚みとして30~500nmが好ましい。このバッファ層は、例えばMOCVD法やMBE法などの公知の成膜手法にて形成される。歪や転位密度ができるだけ少ない膜構造とすることが好ましく、後に形成される膜の品質に影響するため、転位密度は $1 \times 10^{11} / cm^3$ 以下に形成することが好ましい。

20

【0039】

バッファ層の次に歪超格子層が形成される。歪超格子層は一方の $Al_{x_1}Ga_{1-x_1}N$ と他方の $Al_{x_2}Ga_{1-x_2}N$ の組み合わせ(対)を交互に繰り返した層であり、一方の厚みが2nm~10nm、他方の厚みが5nm~50nmであり、この歪超格子層の対組成が、 $0.9 < x_1 < 1.0$ 、 $x_2 < 0.65 < x_1 < x_2 < 0.75$ 、そしてこの対を20~200周期繰り返すことが好ましい。歪超格子層の合計の厚みとしては、1.0~6.0μmが特に好ましい。上記対の組成差は、各歪超格子層の臨界膜厚の関係から選択される。すなわち、各歪超格子層の厚みを大きくする場合は対の組成差は大きくないことが好ましい。さらに、歪超格子層の厚み(t_{SL})と基板(t_{SUB})との厚みの比(t_{SL} / t_{SUB})が、0.001~0.014であることが好ましい。歪超格子層も例えばMOCVD法やMBE法などの公知の成膜手法にて形成される。

30

【0040】

なお、歪超格子層の代わりに膜成長方向に連続または不連続に組成が変化する組成傾斜層でもよい。組成傾斜層を用いた本発明実施例2の半導体積層構造の概念図を図2に示す。この組成傾斜層は $Al_{x_3}Ga_{1-x_3}N$ なる組成であり、膜厚10nm~100nm毎に x_3 が階段状に変化して膜成長方向に小さくなり、合計の膜厚は0.7μm~2.5μmが好ましく、1.5μm~2.5μmがより好ましい。そして、組成傾斜層の厚み(t_C)と基板(t_{SUB})の厚みの比(t_C / t_{SUB})が、0.0007~0.0060が好ましい。なお、組成傾斜層も例えばMOCVD法やMBE法などの公知の成膜手法にて形成される。

40

【0041】

前記歪格子層または組成傾斜層に引続きデバイス層を形成する。例えば本発明の半導体積層構造をHEMT素子に利用する場合は、このデバイス層はチャネル層が厚み0.2μm~5.0μmの $Al_{x_4}Ga_{1-x_4}N$ ($0 < x_4 < 0.1$)からなるチャネル層と $Al_{x_5}Ga_{1-x_5}N$ ($0 < x_5 < 1$)からなるバリア層からなる。ここで、チャネル層とバリア層との組成差は、 $x_4 < 0.2 < x_5 < x_4 < 0.4$ 、を満たすことが好ましい

50

。チャネル層はGa_{0.4}N_{0.6} (X₄ = 0)であることが特に好ましい。チャネル層の厚みは0.2 μm ~ 5.0 μmであることが好ましく、バリア層は10 ~ 100 nmであることが好ましい。チャネル層とバリア層の界面近傍に電子供給層が形成される。このデバイス層も例えばMOCVD法やMBE法などの公知の成膜手法にて形成される。

【0042】

上記のように、本発明の半導体積層構造は、基板上にバッファ層、歪超格子層、チャネル層、およびバリア層なるAlGa_{0.4}N系半導体層を順次設けた半導体積層構造であって、歪超格子層の膜厚(t_{SL})、チャネル層の膜厚(t_{CH})、および半導体層の総厚(t_{TOTAL})との関係が、 $0.75 \leq t_{SL} / t_{TOTAL} \leq 0.90$ 、または $0.75 \leq t_{SL} / (t_{SL} + t_{CH}) \leq 0.90$ 、であることが好ましく、この関係により本半導体積層構造の反りを小さくすることができる。そして、本半導体積層構造にソース、ゲート、およびドレインの電極を設けて、HEMT素子を作製することができる。

10

【0043】

また同様に、本発明の半導体積層構造は、基板上にバッファ層、組成傾斜層、チャネル層、およびバリア層なるAlGa_{0.4}N系半導体層を順次設けた半導体積層構造であって、組成傾斜層のAl組成が膜成長方向に減少し、組成傾斜層の膜厚(t_{CG})、チャネル層の膜厚(t_{CH})、および半導体層の総厚(t_{TOTAL})との関係が、 $0.75 \leq t_{CG} / t_{TOTAL} \leq 0.90$ 、または $0.75 \leq t_{CG} / (t_{CG} + t_{CH}) \leq 0.90$ 、であることが好ましく、この関係により本半導体積層構造の反りを小さくすることができる。そして本半導体積層構造にソース、ゲート、およびドレインの電極を設けて、HEMT素子を作製することができる。

20

【0044】

一方、本発明の半導体積層構造において、基板上にバッファ層、歪超格子層あるいは組成傾斜層を設けた後、チャネル層とバリア層との代わりに、発光層を設けて、反りの小さい発光素子用の半導体積層構造を作製することができる。この場合、発光層は第1の導電型半導体層、活性層、および第1の導電型と反対の第2の導電型半導体層からなる。例えば、膜厚0.1 μm ~ 1.0 μmのn型半導体層、膜厚2 nm ~ 20 nmの活性層、および膜厚0.1 μm ~ 1.0 μmのp型半導体層を順次形成する。そして、好適にはn型半導体層およびp型半導体層としてGa_{0.4}N、活性層としてInGa_{0.4}Nを用いることができる。この後、発光層上にカソード電極およびアノード電極を設ける、あるいは一方の電極を基板の他方の面(積層膜とは反対)に形成して発光素子を作製することができる。

30

【実施例】

【0045】

(実施例1：歪超格子層を用いた半導体積層構造)

本実施例においては、上述の実施形態に係る半導体積層構造を作製してウェーハの反りを測定した。まず、4インチ径の厚み525 μmの(111)面シリコン(Si)単結晶を用い、これを所定のMOCVD装置の反応管内に設置した。MOCVD装置は、キャリアガスあるいは反応ガスとして、少なくともH₂、N₂、TMG(トリメチルガリウム)、TMA(トリメチルアルミニウム)、およびNH₃が、反応管内に供給可能とされている。キャリアガスとして水素を流量20 SLM及び窒素を流量10 SLMで流しながら、反応管内の圧力を100 Torrに保ちつつ、基板を1210 °Cまで昇温した後、10分間保持し、基板のサーマルクリーニングを実施した。

40

【0046】

その後、基板温度を下げて1030 °Cに保ちつつ、TMAとそのキャリアガスである水素を供給するとともに、NH₃とそのキャリアガスである水素とを供給することにより、バッファ層として膜厚100 nmのAlN層を最初に形成した。供給反応ガスのモル比、すなわち、第5族ガス/第3族ガス(NH₃/TMA)の比は5600とし、反応管内の圧力は100 Torrとした。

【0047】

そして基板温度を1130 °Cにし、供給する反応ガスモル比(第5族ガス/第3族ガス)

50

を 4,000 にして膜厚 40 nm の $Al_{0.3}Ga_{0.7}N$ を形成した。以上により、 AlN 層および $Al_{0.3}Ga_{0.7}N$ からなるバッファ層を形成した。

【0048】

次に、基板温度を 1130 に維持したまま、歪超格子層を形成した。バッファ層同様に供給ガスとして TMA、TMG、および NH_3 の供給量を調整して、 AlN と $Al_{0.26}Ga_{0.74}N$ をそれぞれ 6 nm、15 nm の膜厚で交互に積層し、この一対を 50 周期、160 周期、200 周期の 3 種類を形成した。

【0049】

さらに、基板温度を 1130 に維持したまま、圧力を 100 Torr、供給する反応ガスモル比（第 5 族ガス / 第 3 族ガス）が 2800 となるように供給して、チャンネル層として膜厚 0 ~ 2.13 μm （膜厚 6 種類）の GaN 層を形成した。

【0050】

チャンネル層としての GaN 層の形成後、基板温度を 1130 に維持したまま、供給する反応ガスモル比（第 5 族ガス / 第 3 族ガス）を歪超格子層と同じように供給して、 $Al_{0.26}Ga_{0.74}N$ なるバリア層を膜厚 25 nm 形成した。以上により、半導体積層構造（実施例 1）を得た。

【0051】

上記のように、歪超格子層の合計膜厚（周期数）およびチャンネル層の膜厚をそれぞれ変えて、半導体積層構造の反り量を測定した。その結果を表 1 に示す。半導体積層構造の反り量の測定は図 3 のように行い、基板のオリフラ方向とこれに直角方向の平均とした。

【0052】

【表 1】

実施例 1	歪超格子層の総膜厚 (μm)	GaN 層の膜厚 (μm)	エピ層の総膜厚 (μm)	反り量 (μm)
1-1	1.05	0	1.22	42.3
1-2	1.05	0.21	1.43	31.8
1-3	1.05	0.43	1.65	33.0
1-4	1.05	0.85	2.07	58.7
1-5	1.05	1.70	2.92	107.6
1-6	3.36	0	3.53	103.3
1-7	3.36	0.43	3.96	99.5
1-8	3.36	0.85	4.38	79.0
1-9	3.36	1.28	4.81	85.7
1-10	3.36	1.70	5.23	94.4
1-11	4.20	0	4.37	132.8
1-12	4.20	0.43	4.80	123.7
1-13	4.20	0.85	5.22	98.1
1-14	4.20	1.70	6.07	110.2
1-15	4.20	2.13	6.50	137.8

【0053】

（実施例 2：組成傾斜層を用いた半導体積層構造）

本実施例においては、実施例 1 の歪超格子層に代えて、組成傾斜層を形成した。組成傾斜層として $Al_xGa_{1-x}N$ なる層は、基板温度を 1130 に維持し、圧力を 100 Torr、供給する反応ガスモル比（第 5 族ガス / 第 3 族ガス）を 5600 から 2800 へと階段状に減少させながら、 Al 組成比の x を 1 から 0 へと減少させ、膜厚 2.1 μm の組成傾斜層を形成した。膜厚 50 nm 毎の階段状に Al 組成を減少させた。またこの組成傾斜層下地のバッファ層として AlN 層 140 nm を基板温度 1130 で形成し、チャンネル層として GaN 層を膜厚 0 ~ 1.7 μm の 6 種類を形成すること以外は、基板含めて実施例 1 と同様の膜形成条件で半導体積層構造を形成した。

【0054】

上記のように、チャンネル層の膜厚を変えて半導体積層構造の反り量を測定した。その結果を表 2 に示す。

【0055】

10

20

30

40

【表 2】

実施例 2	Al _{0.3} Ga _{0.7} N 組成傾斜層の総膜厚 (μm)	GaN 層の厚さ (μm)	エピ層の総膜厚 (μm)	反り量 (μm)
2-1	2.10	0	2.27	65.2
2-2	2.10	0.21	2.48	48.0
2-3	2.10	0.43	2.70	38.9
2-4	2.10	0.85	3.12	58.6
2-5	2.10	1.28	3.55	83.1
2-6	2.10	1.70	3.97	90.2

【0056】

表 1 および表 2 の結果に基づき、歪超格子層の膜厚 (t_{SL}) の半導体層の総厚 (t_{TOTAL}) に対する比、および、組成傾斜層の膜厚 (t_{CG}) の半導体層の総厚 (t_{TOTAL}) に対する比と反り量との関係を図 4 に示す。

10

【0057】

表 1 および表 2 の結果に基づき、歪超格子層の膜厚 (t_{SL}) の、歪超格子層の膜厚 (t_{SL}) とチャネル層 (t_{CH}) の膜厚との合計に対する比、および組成傾斜層の膜厚 (t_{CG}) の、組成傾斜層の膜厚 (t_{CG}) とチャネル層 (t_{CH}) の膜厚との合計に対する比を求め、これらの比と反り量との関係を図 5 に示す。

【0058】

図 4 より、 $0.75 \frac{t_{SL}}{t_{TOTAL}} = 0.90$ 、 $0.75 \frac{t_{CG}}{t_{TOTAL}} = 0.90$ の場合に反り量が小さくなることが分かる。一方、図 5 より、 $0.75 \frac{t_{SL}}{(t_{SL} + t_{CH})} = 0.90$ 、 $0.75 \frac{t_{CG}}{(t_{CG} + t_{CH})} = 0.90$ の場合に反り量が小さくなることが分かる。すなわち、歪超格子層あるいは組成傾斜層がその上に形成するデバイス層に対して相対的に膜厚が大きいと反りが小さいことが分かる。

20

【0059】

次に、表 1 に記載の実施例 1-12、1-13、および 1-14 の半導体エピタキシャル基板を用いて HEMT 素子を試作し、ストレス印加前後でのしきい値電圧の変化を調べた。作製した素子寸法は、ゲート長が $1.5 \mu\text{m}$ 、ゲート幅が $200 \mu\text{m}$ 、ソースドレイン間隔が $9.5 \mu\text{m}$ 、ゲートドレイン間隔が $4.0 \mu\text{m}$ である。ゲート電極には Pb(40nm)/Ti(20nm)/Au(60nm) を用いた。ソース電極およびドレイン電極には Ti(15nm)/Al(80nm)/Ni(12nm)/Au(40nm) を用いた。ストレスの印加条件は、ソースゲート電極間に -10V の一定電圧を印加し、ソースドレイン間には 5V から 40V の電圧を 5V ステップで印加し各状態を 600 秒間保持し、ストレスを印加した。ストレス印加前後でのしきい値電圧 (V_{th}) および相互コンダクタンス (g_m) の変化を表 3 に示す。各しきい値電圧および相互コンダクタンスの値はそれぞれ 5 個の素子の平均値を示す。

30

【0060】

【表 3】

実施例 3	ストレス印加前 (V)	ストレス印加後 (V)	しきい値電圧の変化量 (V)	ストレス印加前 (mS/mm)	ストレス印加後 (mS/mm)	g_m の変化量 (S/mm)
実施例 1-12 のエピ基板	-2.23	-2.00	+0.23	52	20	-32
実施例 1-13 のエピ基板	-1.66	-1.66	0	59	60	+1
実施例 1-14 のエピ基板	-1.63	-1.86	-0.23	61	10	-51

40

【0061】

反り量の大きい実施例 1-12 と実施例 1-14 のエピタキシャル基板では、ストレス印加前後でしきい値電圧および相互コンダクタンスが変動する。一方、反り量が他の実施例より小さな実施例 1-13 のエピタキシャル基板では、ストレス印加前後でのしきい値電圧および相互コンダクタンスの変化はない。

【0062】

なお、実施例 2 の膜厚 $2.1 \mu\text{m}$ の組成傾斜層の代わりに膜厚 $1.1 \mu\text{m}$ の組成傾斜層と

50

した場合の半導体積層構造の反り量は、図4および図5における歪超格子層の反り量の曲線と近似しており、総膜厚1.05 μmの歪超格子層の場合の反り量に対して±10 μm以下の差異であった。

【0063】

実施例1および実施例2では、4インチ径の厚み525 μmの(111)面Si単結晶を基板に用いたが、同じ4インチ径で厚みを900 μmの(111)面Si単結晶を基板とし、歪超格子層を用いた半導体積層構造の反りを調べた。厚み525 μmのSi単結晶基板に比べて相対的に反りは小さくなったが、歪超格子層の膜厚の半導体層の総厚(t_{TOTAL})に対する比、さらに、歪超格子層の膜厚の、歪超格子層の膜厚とチャンネル層の膜厚との合計に対する比、が実施例1と同様の関係であると反りが小さく、したがって歪超格子層の膜厚の基板の厚みに対する比も実施例1と同様に0.001~0.014であるとよいことが分かった。

10

【産業上の利用可能性】

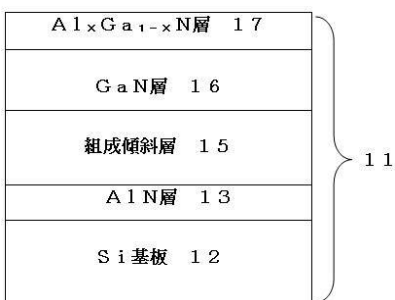
【0064】

本発明の半導体積層構造は、電界効果トランジスタ(FET、HEMT)あるいは発光素子等の半導体素子に用いられる。

【図1】



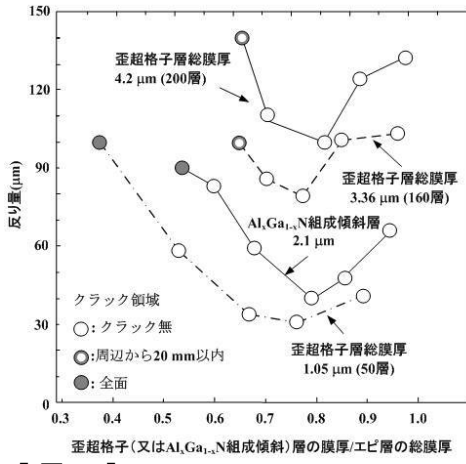
【図2】



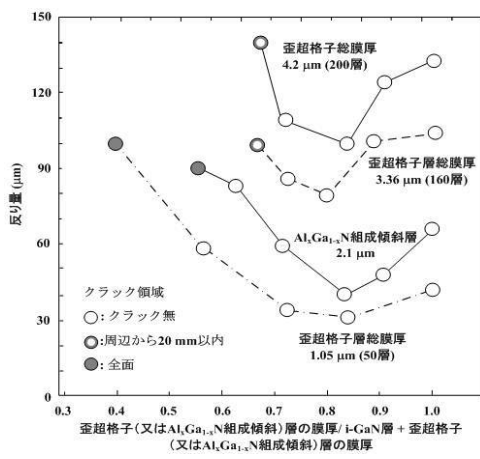
【図3】



【 図 4 】



【 図 5 】



フロントページの続き

(51)Int.Cl.		F I	テーマコード(参考)
C 2 3 C 16/34 (2006.01)		H 0 1 L 21/20	
H 0 1 L 29/205 (2006.01)			
H 0 1 L 21/20 (2006.01)			

Fターム(参考) 5F045 AA04 AB09 AB14 AB17 AC08 AC12 AC15 AD14 AD15 AE25
 AF02 AF03 AF04 AF05 AF06 AF07 AF09 BB11 BB13 CA07
 CA09 DA52 DA53 DA54 DA58 EB15
 5F102 GB01 GC01 GD01 GJ02 GJ03 GJ04 GJ05 GJ10 GK04 GK08
 GL04 GM04 GQ01 HC01
 5F141 AA40 CA33 CA40 CA60
 5F152 LL05 LL09 LN03 LN05 LN12 LN15 MM05 MM10 MM18 NN03
 NN04 NN05 NN07 NN09 NN12 NN13 NN19 NN27 NP09 NQ09