

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02010/137660

発行日 平成24年11月15日 (2012.11.15)

(43) 国際公開日 平成22年12月2日 (2010.12.2)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03M 1/08 (2006.01)</b>	H03M 1/08 A	5J022
<b>H03M 1/14 (2006.01)</b>	H03M 1/14 B	

審査請求 未請求 予備審査請求 未請求 (全 32 頁)

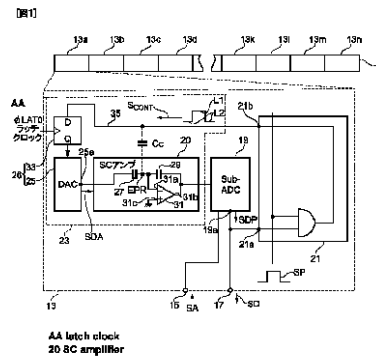
出願番号 特願2011-516058 (P2011-516058)	(71) 出願人 304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836
(21) 国際出願番号 PCT/JP2010/059022	
(22) 国際出願日 平成22年5月27日 (2010.5.27)	
(31) 優先権主張番号 特願2009-128155 (P2009-128155)	(74) 代理人 100088155 弁理士 長谷川 芳樹
(32) 優先日 平成21年5月27日 (2009.5.27)	(74) 代理人 100108257 弁理士 近藤 伊知良
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100124800 弁理士 諏澤 勇司
	(72) 発明者 川人 祥二 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学電子工学研究所内
	Fターム(参考) 5J022 AA16 BA02 BA06 CA07 CE08 CF02 CF10

最終頁に続く

(54) 【発明の名称】 A/D変換集積回路

(57) 【要約】

デジタル信号を伝える導体からの容量結合によるノイズの伝搬を低減可能な複数のA/D変換器を含むA/D変換集積回路を提供する。A/D変換器13では、入力15は、A/D変換されるべきアナログ信号SAを受ける。出力17は、該アナログ信号SAを表す所定ビット数のデジタル信号SDの少なくとも一部分を提供する。サブA/D変換回路19は、アナログ信号SAを受けてデジタル信号SDのうちの一又は複数のビット値を表す信号SDPを生成すると共に、信号SDPを出力17に提供する。制御回路21の入力21aは、サブA/D変換回路19の出力19aに接続されており、また信号SDPに応じた制御信号SCONTを提供する。この制御信号SCONTは、電圧レベルL1から電圧レベルL2への遷移と、電圧レベルL2から電圧レベルL1への遷移とを含む波形を有する。



## 【特許請求の範囲】

## 【請求項 1】

複数の A / D 変換器を含む A / D 変換集積回路であって、  
各 A / D 変換器は、  
A / D 変換されるべきアナログ信号を受ける入力と、  
該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、

前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表すサブデジタル信号を生成すると共に、該サブデジタル信号を前記出力に提供するサブ A / D 変換回路と、

前記サブ A / D 変換回路の出力に接続され、前記サブデジタル信号を変調した R T Z 信号を発生する R T Z 波形発生回路と、

D / A 変換回路と、

複数のキャパシタ、スイッチ素子及び演算増幅回路からなり、少なくとも前記キャパシタの 1 つが前記演算増幅回路の仮想接地端子に前記スイッチ素子を介して接続されてなるスイッチキャパシタ増幅回路と、

前記 R T Z 信号をデジタル信号にエンコードした信号を保持する記憶回路を備え、前記記憶回路の出力を前記 D / A 変換回路に出力する R T Z 信号受信回路と、  
を備えた A / D 変換集積回路。

## 【請求項 2】

前記 R T Z 波形発生回路の前記 R T Z 信号は、前記演算増幅回路の仮想接地端子に接続される前記スイッチ素子の状態が変化しない期間において、第 1 の電圧レベルから第 2 の電圧レベルへの遷移と前記第 2 の電圧レベルから前記第 1 の電圧レベルへの遷移とが同数の遷移数を含む波形からなる、請求項 1 に記載された A / D 変換集積回路。

## 【請求項 3】

前記 R T Z 波形発生回路の前記 R T Z 信号は、前記演算増幅回路の仮想接地端子が仮想接地状態にある期間において、第 1 の電圧レベルから第 2 の電圧レベルへの遷移と前記第 2 の電圧レベルから前記第 1 の電圧レベルへの遷移とが同数の遷移数を含む波形からなる、請求項 1 または請求項 2 に記載された A / D 変換集積回路。

## 【請求項 4】

前記 R T Z 波形発生回路の前記 R T Z 信号は、サブ A / D 変換回路の出力を前記 D / A 変換回路に戻す巡回動作モードと、前記演算増幅回路が演算処理を行う演算処理モードからなる巡回 A / D 変換動作において、前記巡回動作モードの期間に、第 1 の電圧レベルから第 2 の電圧レベルへの遷移と前記第 2 の電圧レベルから前記第 1 の電圧レベルへの遷移とが同数の遷移数を含む波形からなる、請求項 1、請求項 2、及び請求項 3 のいずれか一項に記載された A / D 変換集積回路。

## 【請求項 5】

複数の A / D 変換器を含む A / D 変換集積回路であって、  
各 A / D 変換器は、  
A / D 変換されるべきアナログ信号を受ける入力と、  
該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、

前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表す信号を生成すると共に、該信号を前記出力に提供するサブ A / D 変換回路と、

前記サブ A / D 変換回路の出力に接続され、前記信号に応じた第 1 の制御信号を提供する制御回路と、

D / A 変換器、第 1 のキャパシタ、第 2 のキャパシタ及び演算増幅回路を有する信号処理回路と、

を備え、

前記 D / A 変換器は、前記制御回路からの前記第 1 の制御信号をラッチする記憶回路と

10

20

30

40

50

、該記憶回路の格納値に応じたアナログ出力値を提供する出力を含む D / A 変換回路とを含み、

前記信号処理回路は信号処理及び信号保持の少なくともいずれか一方を行い、前記信号処理では、前記 D / A 変換回路の前記出力と前記演算増幅回路の入力との間に前記第 1 のキャパシタを接続すると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第 2 のキャパシタを接続し、前記信号保持では前記第 1 のキャパシタが前記演算増幅回路の前記入力から切り離されると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第 2 のキャパシタを接続され、

前記第 1 の制御信号は、第 1 の電圧レベルから第 2 の電圧レベルへの遷移の数と前記第 2 の電圧レベルから前記第 1 の電圧レベルへの遷移の数とが同数である波形を有する、A / D 変換集積回路。

10

【請求項 6】

複数の A / D 変換器を含む A / D 変換集積回路であって、

各 A / D 変換器は、

A / D 変換されるべきアナログ信号を受ける入力と、

該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、

前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表す信号を生成すると共に、該信号を前記出力に提供するサブ A / D 変換回路と、

前記サブ A / D 変換回路の出力に接続され、前記信号に応じた第 1 の制御信号を提供する制御回路と、

20

D / A 変換器、第 1 のキャパシタ、第 2 のキャパシタ及び演算増幅回路を有する信号処理回路と、

を備え、

前記 D / A 変換器は、前記制御回路からの前記第 1 の制御信号をラッチする記憶回路と、該記憶回路の格納値に応じたアナログ出力値を提供する出力を含む D / A 変換回路とを含み、

前記信号処理回路は、前記 D / A 変換回路の前記出力と前記演算増幅回路の入力との間に前記第 1 のキャパシタを接続すると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第 2 のキャパシタを接続して信号処理を行い、

30

前記第 1 の制御信号は、前記第 1 及び第 2 のキャパシタが接続される前記演算増幅回路の入力が直流的にも交流的にも高インピーダンス状態である期間において第 1 の電圧レベルから第 2 の電圧レベルへの遷移と前記第 2 の電圧レベルから前記第 1 の電圧レベルへの遷移とが同数の遷移数を含む波形を有する、A / D 変換集積回路。

【請求項 7】

前記第 1 の制御信号は、前記 D / A 変換器の前記記憶回路と前記制御回路とを接続する導体を伝播し、

前記導体は、前記演算増幅回路の前記入力に前記信号処理の際に接続される導体領域と寄生キャパシタを介して容量的に結合されている、請求項 5 又は請求項 6 に記載された A / D 変換集積回路。

40

【請求項 8】

前記制御回路は、前記信号に応じた第 2 の制御信号を提供し、

前記記憶回路は、前記第 2 の制御信号をラッチし、

前記第 2 の制御信号は、第 3 の電圧レベルから第 4 の電圧レベルへの遷移と、前記第 4 の電圧レベルから前記第 3 の電圧レベルへの遷移とを含む波形を有し、

前記第 1 の制御信号の前記波形における前記第 2 の電圧レベルの持続時間は、前記第 2 の制御信号の前記波形における前記第 4 の電圧レベルの持続時間と異なる、請求項 5 ~ 請求項 7 のいずれか一項に記載された A / D 変換集積回路。

【請求項 9】

前記制御回路は、前記信号に応じた第 3 の制御信号を提供し、

50

前記記憶回路は、前記第 3 の制御信号をラッチし、

前記第 3 の制御信号は、第 5 の電圧レベルから第 6 の電圧レベルへの遷移と、前記第 6 の電圧レベルから前記第 5 の電圧レベルへの遷移とを含む波形を有し、

前記第 3 の制御信号の前記波形における前記遷移の間隔は、前記第 1 の制御信号の前記波形における前記遷移の間隔と異なり、

前記第 3 の制御信号の前記波形における前記遷移の間隔は、前記第 2 の制御信号の前記波形における前記遷移の間隔と異なる、請求項 8 に記載された A / D 変換集積回路。

【請求項 10】

前記制御回路は、前記信号に応じた第 4 の制御信号を提供し、

前記記憶回路は、前記第 4 の制御信号をラッチし、

前記第 4 の制御信号は、一定の電圧レベルの波形を有する、請求項 8 に記載された A / D 変換集積回路。

【請求項 11】

前記記憶回路は、第 1 のラッチ信号に応じて動作する第 1 のラッチ回路と、第 2 のラッチ信号に応じて動作する第 2 のラッチ回路とを含み、

前記第 1 のラッチ信号のラッチタイミングは前記第 2 のラッチ信号のラッチタイミングと異なる、請求項 8 ~ 請求項 10 のいずれか一項に記載された A / D 変換集積回路。

【請求項 12】

前記信号処理によって生成された演算値を前記信号処理回路の出力を介して前記信号処理回路の入力に帰還する帰還経路を更に備え、

前記 A / D 変換器は、巡回 A / D 変換を行う、請求項 5 ~ 請求項 11 のいずれか一項に記載された A / D 変換集積回路。

【請求項 13】

前記信号処理回路は、前記アナログ信号を受ける入力と、第 3 のキャパシタとを含み、

前記信号処理において、前記第 3 のキャパシタは、前記信号処理回路の入力と前記演算増幅回路の前記入力との間に接続される、請求項 5 ~ 請求項 11 のいずれか一項に記載された A / D 変換集積回路。

【請求項 14】

前記信号処理回路は、前記制御回路からの第 5 の制御信号をラッチする別の記憶回路と、該別の記憶回路の格納値に応じた出力値を提供する出力を有する別の D / A 変換回路とを含み、

前記第 5 の制御信号は、第 7 の電圧レベルから第 8 の電圧レベルへの遷移と、前記第 7 の電圧レベルから前記第 8 の電圧レベルへの遷移とを含む波形を有する、請求項 13 に記載された A / D 変換集積回路。

【請求項 15】

センサ素子を含むセンサ回路のセンサアレイを備え、

前記 A / D 変換器は、前記センサアレイのカラムに配置され、

前記アナログ信号は前記センサアレイによって提供される、請求項 5 ~ 請求項 14 のいずれか一項に記載された A / D 変換集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の A / D 変換器を含む A / D 変換集積回路に関する。

【背景技術】

【0002】

特許文献 1 には、冗長なデジタル / アナログ変換素子を用いてデジタル / アナログ変換を行うデジタル / アナログ変換回路が記載されている。特許文献 1 の背景技術によれば、デジタル / アナログ変換回路は、デルタ・シグマ型のアナログデジタル変換器に使用される。デジタル / アナログ変換回路の出力波形には R T Z 波形又は N R T Z 波形が用いられる。

10

20

30

40

50

## 【 0 0 0 3 】

特許文献 2 には、オーディオ信号（1 ビットのデジタル信号）をアナログ信号に変換する D / A コンバータが記載されている。特許文献 2 の背景技術によれば、D / A コンバータの出力に R T Z 波形が用いられる。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 8 - 9 2 1 3 4 号公報

【 特許文献 2 】 特開 2 0 0 4 - 1 2 8 6 3 7 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 5 】

複数のキャパシタと演算増幅回路とを用いて信号処理を行うアナログ回路とデジタル回路とを含む回路では、演算増幅回路の入力が、アナログ回路の他のノードに該キャパシタを介して電氣的に接続されることがある。このとき、演算増幅回路の入力と等電位の導体、即ち、演算増幅回路の入力及び該入力に接続されるキャパシタの一端を含む導体領域にアナログ回路の他のノードとの直流的に接続されない場合、この導体領域は非常に高いインピーダンスを有する。しかしながら、アナログ回路の他の導体と、例えばデジタル信号が伝搬する導体線との容量的な結合が形成される可能性がある。このカップリングを十分に低くするために、高インピーダンスの導体領域をデジタル信号線から物理的に離すことが良い。ところが、A / D 変換器のようなデジタル導体線とアナログ導体線が混在する回路では、物理的な距離をとる分離は望めない場合も多い。また、多数の A / D 変換器が配列されるような用途ではなおさらである。

## 【 0 0 0 6 】

本発明は、デジタル信号を伝える導体からの、容量結合によるノイズの伝搬を低減可能な複数の A / D 変換器を含む A / D 変換集積回路を提供することを目的とする。

## 【 課題を解決するための手段 】

## 【 0 0 0 7 】

本発明の一側面は、所定の幅に配列された複数の A / D 変換器を含む A / D 変換集積回路に係る。この A / D 変換集積回路における各 A / D 変換器は、( a ) A / D 変換されるべきアナログ信号を受け入れる入力と、( b ) 該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、( c ) 前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表すサブデジタル信号を生成すると共に、該サブデジタル信号を前記出力に提供するサブ A / D 変換回路と、( d ) 前記サブ A / D 変換回路の出力に接続され、前記サブデジタル信号を変調した R T Z 信号を発生する R T Z 波形発生回路と、( e ) D / A 変換回路と、( f ) 複数のキャパシタ、スイッチ素子及び演算増幅回路からなり、少なくとも前記キャパシタの 1 つが前記演算増幅回路の仮想接地端子に前記スイッチ素子を介して接続されてなるスイッチキャパシタ増幅回路と、( g ) 前記 R T Z 信号をデジタル信号にエンコードした信号を保持する記憶回路を含み、前記記憶回路の出力を前記 D / A 変換回路に出力する R T Z 信号受信回路とを備える。

## 【 0 0 0 8 】

この A / D 変換集積回路によれば、D / A 変換回路はサブ A / D 変換回路の直前の値により制御される。このための制御信号を D / A 変換回路に提供するために、この A / D 変換集積回路では R T Z 波形発生回路がサブ A / D 変換回路の出力からのサブデジタル信号を変調して R T Z 信号を生成すると共に、この R T Z 信号を信号線に提供する。そして、R T Z 信号受信回路が、この R T Z 信号を信号線から受けると共に、受けた信号をデジタル信号に変換して D / A 変換回路のための制御信号を生成する。一方、スイッチキャパシタ増幅回路は当該 A / D 変換されるべきアナログ信号を処理する。R T Z 信号は信号線を伝搬しており、この信号線はスイッチキャパシタ増幅回路内のノードと寄生キャパシタを介して結合している。これ故に、この処理の際に、スイッチキャパシタ増幅回路内のノ-

10

20

30

40

50

ドが、寄生キャパシタを介して信号線から攪乱を受けることがある。このRTZ信号の遷移数はゼロ又は偶数回である。スイッチキャパシタ増幅回路内のノードがRTZ信号の最初の遷移によりノイズを受けるとき、該ノードはRTZ信号の二回目の遷移によるノイズも受ける。上記ノードへの二回目のノイズは、一回目の逆方向の遷移であり且つほぼ同じ大きさである。結果として残留するノイズは2つのノイズの打ち消しにより非常に小さい。

#### 【0009】

本発明に係るA/D変換集積回路では、前記RTZ波形発生回路は、前記演算増幅回路の仮想接地端子に接続される前記スイッチ素子の状態が変化しない期間において、第1の電圧レベルから第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数を含む波形からなるRTZ信号を発生することが好ましい。また、本発明に係るA/D変換集積回路では、前記RTZ波形発生回路は、前記演算増幅回路の仮想接地端子が仮想接地状態にある期間において、第1の電圧レベルから第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数を含む波形からなるRTZ信号を発生することが好ましい。さらに、本発明に係るA/D変換集積回路では、前記RTZ波形発生回路は、サブA/D変換回路の出力を前記D/A変換回路に戻す巡回動作モードと、前記演算増幅回路が演算処理を行う演算処理モードからなるサイクリック巡回A/D変換動作において、少なくとも前記巡回動作モード期間の間、第1の電圧レベルから第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数を含む波形からなるRTZ信号を発生

10

20

#### 【0010】

本発明の一側面は、所定の幅に配列された複数のA/D変換器を含むA/D変換集積回路に係る。このA/D変換集積回路における各A/D変換器は、(a) A/D変換されるべきアナログ信号を受け取る入力と、(b) 該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、(c) 前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表す信号を生成すると共に、該信号を前記出力に提供するサブA/D変換回路と、(d) 前記サブA/D変換回路の出力に接続され、前記信号に応じた第1の制御信号を提供する制御回路と、(e) D/A変換器、第1のキャパシタ、第2のキャパシタ及び演算増幅回路を有する信号処理回路とを備える。前記D/A変換器は、前記制御回路からの前記第1の制御信号をラッチする記憶回路と、該記憶回路の格納値に応じたアナログ出力値を提供する出力を含むD/A変換回路とを含み、前記信号処理回路は信号処理及び信号保持の少なくともいずれか一方を行い、前記信号処理では、前記D/A変換回路の前記出力と前記演算増幅回路の入力との間に前記第1のキャパシタを接続すると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第2のキャパシタを接続し、前記信号保持では前記第1のキャパシタが前記演算増幅回路の前記入力から切り離されると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第2のキャパシタを接続され、前記第1の制御信号は、第1の電圧レベルから第2の電圧レベルへの遷移の数と前記第2の電圧レベルから前記第1の電圧レベルへの遷移の数とが同数である波形を有する。

30

40

#### 【0011】

本発明の一側面は、所定の幅に配列された複数のA/D変換器を含むA/D変換集積回路に係る。このA/D変換集積回路における各A/D変換器は、(a) A/D変換されるべきアナログ信号を受け取る入力と、(b) 該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、(c) 前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表す信号を生成すると共に、該信号を前記出力に提供するサブA/D変換回路と、(d) 前記サブA/D変換回路の出力に接続され、前記信号に応じた第1の制御信号を提供する制御回路と、(e) D/A変換器、第1のキャパシタ、第2のキャパシタ及び演算増幅回路を有する信号処理回路とを備える。前記D/A変換器は、前記制御回路からの前記第1の制御信号をラッチする記憶回路と、該記憶回路

50

の格納値に応じたアナログ出力値を提供する出力を含むD/A変換回路とを含み、前記信号処理回路は、前記D/A変換回路の前記出力と前記演算増幅回路の入力との間に前記第1のキャパシタを接続すると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第2のキャパシタを接続して信号処理を行い、前記第1の制御信号は、前記第1及び第2のキャパシタが接続される前記演算増幅回路の入力が直流的にも交流的にも高インピーダンス状態である期間において第1の電圧レベルから第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数を含む波形を有する。

【0012】

このA/D変換集積回路によれば、信号処理回路における信号処理では、D/A変換回路の出力と演算増幅回路の入力との間に第1のキャパシタが接続されると共に演算増幅回路の出力と演算増幅回路の入力との間に第2のキャパシタが接続される。これ故に、演算増幅回路の入力は第1及び第2のキャパシタを介して信号処理回路の他のノードと接続される。従って、演算増幅回路の第1の入力に等電位の導体部は、高インピーダンスを示すノードとなる。

10

【0013】

D/A変換器の動作は制御回路によって制御される。このために、第1の制御信号が制御回路からD/A変換器に与えられる。第1の制御信号は、第1の電圧レベルから第2の電圧レベルへの遷移と、第2の電圧レベルから第1の電圧レベルへの遷移とを含む波形を有する。これ故に、第1の制御信号によってノードに加えられるノイズは、互いに逆向きの2回の遷移に基づく。これ故に、ノイズを受けるノードが高インピーダンスであるとき、互いに逆向きの2回の遷移に基づくノイズは結果的にキャンセルされる。

20

【0014】

D/A変換回路は、第1の制御信号をラッチする記憶回路と、該記憶回路の格納値に応じた出力値を提供する出力とを含むので、第1及び第2のキャパシタが接続される演算増幅回路の入力が直流的にも高インピーダンス状態もある期間において、第1の電圧レベルから第2の電圧レベルへの遷移の数と第2の電圧レベルから第1の電圧レベルへの遷移の数とが同数である波形の制御信号によってD/A変換器の動作が可能となる。

【0015】

本発明に係るA/D変換集積回路では、前記第1の制御信号は、前記D/A変換器の前記記憶回路と前記制御回路とを接続する導体を伝播し、前記導体は、前記演算増幅回路の前記第1の入力に前記信号処理の際に接続される導体領域に寄生キャパシタを介して容量的に結合されている。

30

【0016】

このA/D変換集積回路によれば、ノイズを受けるノードが高インピーダンスであるとき、寄生キャパシタを介したこのノードへの容量的な結合の大きさに関係なく、互いに逆向きの2回の遷移に基づくノイズは結果的にキャンセルされる。

【0017】

本発明に係るA/D変換集積回路では、前記制御回路は、前記信号に応じた第2の制御信号を提供し、前記記憶回路は、前記第2の制御信号をラッチし、前記第2の制御信号は、第3の電圧レベルから第4の電圧レベルへの遷移と、前記第4の電圧レベルから前記第3の電圧レベルへの遷移とを含む波形を有し、前記第1の制御信号の前記波形における前記第2の電圧レベルの持続時間は、前記第2の制御信号の前記波形における前記第4の電圧レベルの持続時間と異なる。

40

【0018】

このA/D変換集積回路によれば、第1の制御信号に加えて第2の制御信号を用いることによって2値以上のD/A変換を行うことができる。

【0019】

本発明に係るA/D変換集積回路では、前記制御回路は、前記信号に応じた第3の制御信号を提供し、前記記憶回路は、前記第3の制御信号をラッチし、前記第3の制御信号は

50

、第5の電圧レベルから第6の電圧レベルへの遷移と、前記第6の電圧レベルから前記第5の電圧レベルへの遷移とを含む波形を有し、前記第3の制御信号の前記波形における前記遷移の間隔は、前記第1の制御信号の前記波形における前記遷移の間隔と異なる。

【0020】

このA/D変換集積回路によれば、第1の制御信号に加えて第2の制御信号を用いることによって3値以上のD/A変換を行うことができる。

【0021】

本発明に係るA/D変換集積回路では、前記制御回路は、前記信号に応じた第4の制御信号を提供し、前記記憶回路は、前記第3の制御信号をラッチし、前記第4の制御信号は、一定の電圧レベルの波形を有する。

10

【0022】

このA/D変換集積回路によれば、制御信号の一つとして、一定の値を有するものを用いることができる。

【0023】

本発明に係るA/D変換集積回路では、前記記憶回路は、第1のラッチ信号に応じて動作する第1のラッチ回路と、第2のラッチ信号に応じて動作する第2のラッチ回路とを含み、前記第1のラッチ信号のラッチタイミングは前記第2のラッチ信号のラッチタイミングと異なることができる。

【0024】

このA/D変換集積回路によれば、複数の制御信号をそれぞれ複数のラッチ回路を用いてその値を取り込む際に、各制御信号の最初の遷移からそれぞれ異なるタイミングのラッチ信号を用いることにより電圧レベルの違いを判別できる。

20

【0025】

本発明に係るA/D変換集積回路は、前記信号処理回路の出力を介して前記信号処理によって生成された演算値を前記信号処理回路の入力に帰還する帰還経路を更に備えることができる。前記A/D変換器は、巡回A/D変換を行う。

【0026】

このA/D変換集積回路では、サブA/D変換回路はA/D変換器の出力の近くに配置される。制御信号のための導体線は、A/D変換器の出力側から入力側に向けて延在する。

30

【0027】

本発明に係るA/D変換集積回路では、前記信号処理回路は、前記アナログ信号を受け入る入力と、第3のキャパシタとを含み、前記信号処理において、前記第3のキャパシタは、前記信号処理回路の前記入力と前記演算増幅回路の前記第1の入力との間に接続される。

【0028】

このA/D変換集積回路では、サブA/D変換回路はA/D変換器の入力の近くに配置される。制御信号のための導体線は、A/D変換器の入力側から出力側に向けて延在する。

【0029】

本発明に係るA/D変換集積回路では、前記信号処理回路は、前記制御回路からの第5の制御信号をラッチする別の記憶回路と、該別の記憶回路の格納値に応じた出力値を提供する出力を有する別のD/A変換回路とを含み、前記第5の制御信号は、第7の電圧レベルから第8の電圧レベルへの遷移と、前記第7の電圧レベルから前記第8の電圧レベルへの遷移とを含む波形を有する。

40

【0030】

このA/D変換集積回路によれば、2個以上のD/A変換回路を用いて、4以上のD/A変換値を提供することができ、これらのD/A変換回路の制御のための制御信号によるデジタルノイズを低減できる。

【0031】

50



本発明に係る A / D 変換集積回路は、センサ素子を含むセンサ回路のセンサアレイを備えることができる。前記 A / D 変換器は、前記センサアレイのカラムに配置され、前記アナログ信号は前記センサアレイによって提供される。

【 0 0 3 2 】

この A / D 変換集積回路によれば、センサアレイからのアナログ信号を A / D 変換器を用いてデジタル値に変換できる。なお、複数の A / D 変換器は所定の幅に配列されることができ、この所定の幅はセンサアレイの一辺の長さに対応することができる。

【 0 0 3 3 】

本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

10

【発明の効果】

【 0 0 3 4 】

以上説明したように、本発明によれば、デジタル信号を伝える導体からの、容量結合によるノイズの伝搬を低減可能な複数の A / D 変換器を含む A / D 変換集積回路を提供することを目的とする。

【図面の簡単な説明】

【 0 0 3 5 】

【図 1】図 1 は、本実施の形態に係る A / D 変換集積回路を概略的に示す図面である。

【図 2】図 2 は、A / D 変換器とは異なる A / D 変換器の構成を概略的に示す図面である。

20

【図 3】図 3 は、本実施の形態に係る A / D 変換器を概略的に示す図面である。

【図 4】図 4 は、RTZ 波形発生回路の一回路例を示す図面である。

【図 5】図 5 は、RTZ 信号受信回路の一回路例を示す図面である。

【図 6】図 6 は、サブ A / D 変換回路の出力値 ( 0 、 1 、 2 ) 、デジタル信号 (  $D_0$  、  $D_1$  ) 、ラッチ信号 (  $B_0$  、  $B_1$  ) 、及び制御信号  $D_0$  、  $D_1$  、  $D_2$  の対応の一覧を示す図面である。

【図 7】図 7 は、上記の A / D 変換器を適用する例としてイメージセンサを示す図面である。

【図 8】図 8 は、本実施の形態に係る A / D 変換器の動作のためのタイミングを示す図面である。

30

【図 9】図 9 は、巡回型の A / D 変換器の構成を概略的に示す図面である。

【図 10】図 10 は、図 9 に示される巡回型 A / D 変換器の動作を示すタイミングチャートである。

【図 11】図 11 は、2 値の信号 S D A を提供する D / A 変換回路を制御するための制御信号の波形を示す図面である。

【図 12】図 12 は、2 値の信号 S D A を提供する D / A 変換回路を制御するための制御信号の波形を示す図面である。

【図 13】図 13 は、巡回型 A / D 変換器の内部の増幅回路において仮想接地点と寄生キャパシタ  $C_c$  でカップリングが生じたときに発生する誤差のシミュレーションの結果を示すグラフである。

40

【図 14】図 14 は、別の A / D 変換器の構成を概略的に示す図面である。

【発明を実施するための形態】

【 0 0 3 6 】

本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続き、添付図面を参照しながら、本発明の A / D 変換集積回路に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

【 0 0 3 7 】

図 1 は、本実施の形態に係る A / D 変換集積回路を概略的に示す図面である。A / D 変換集積回路 11 は、複数の A / D 変換器 13 a ~ 13 n を含む。A / D 変換器 13 a ~ 1

50

3 nの配列は、所定の幅に合わせて配置されていても良い。代表的なA/D変換器13 aについて、A/D変換器(符号「13」として参照する)の構成が示されている。A/D変換器13は、入力15と、出力17と、サブA/D変換回路19と、制御回路21と、信号処理回路23とを備える。入力15は、A/D変換されるべきアナログ信号SAを受ける。出力17は、該アナログ信号SAを表す所定ビット数のデジタル信号SDの少なくとも一部分(例えばサブデジタル信号)を提供する。サブA/D変換回路19は、アナログ信号SAを受けてデジタル信号SDのうちの一又は複数のビット値を表す信号SDPを生成すると共に、信号SDPを出力17に提供する。制御回路21の入力21 aは、サブA/D変換回路19の出力19 aに接続されており、また信号SDPに応じた第1の制御信号SCONTを提供する。第1の制御信号SCONTは、第1の電圧レベルL1から第2の電圧レベルL2への遷移と、第2の電圧レベルL2から第1の電圧レベルL1への遷移とを含む波形を有する。この波形は、例えば信号SDPとパルス信号SPを受ける論理積ゲートにより生成される。この例では、制御信号SCONTのパルス幅は信号SPによって規定される。この例に限られず、制御信号SCONTは、マルチプレクサによっても生成可能であり、マルチプレクサは、いくつかのパルス幅を有する信号SPを受けて、これにより信号SDPの値を有する制御信号SCONTのパルス幅を規定できる。

10

20

30

40

50

**【0038】**

信号処理回路23では、D/A変換回路25及び記憶回路33はD/A変換器26を構成する。D/A変換器26は、制御回路21の出力21 bに接続されている。信号処理回路23は、第1のキャパシタ27、第2のキャパシタ29及び演算増幅回路31を有する。D/A変換器26は、記憶回路33及びD/A変換回路25を含む。記憶回路33は、制御回路21からの第1の制御信号SCONTを信号LAT0に応答してラッチする。D/A変換回路25は、この記憶回路33の格納値に応じたアナログ出力値SDAを提供する。信号処理回路23は、スイッチキャパシタ(switched-capacitor)増幅回路20の入力と演算増幅回路31の第1の入力(例えば反転入力)31 aとの間に第1のキャパシタ27を接続すると共に演算増幅回路31の出力(例えば非反転出力)31 bと第1の入力(例えば反転入力)31 aとの間に第2のキャパシタ29を接続して、信号処理を行う。第1及び第2のキャパシタ27、29ならびに演算増幅回路31の接続は、SCアンプを構成する。この接続において、入力31 aは仮想接地であり、仮想接地端子と呼ぶことができる。このSCアンプでは、演算増幅回路31の第2の入力(例えば非反転入力)31 cは接地線に接続されている。この信号処理の結果として、演算増幅回路31の出力(例えば非反転出力)31 bには演算値が生成される。この演算値は、当該信号処理回路23の出力に提供される。また、信号処理回路23は、演算増幅回路31の出力31 bと第1の入力(例えば反転入力)31 aとの間に第2のキャパシタ29を接続すると共に第1のキャパシタ27を演算増幅回路31から切り離して、第2のキャパシタ29に電圧を保持する信号保持の処理を行う。このように、A/D変換器13では、演算増幅回路31の入力(例えば入力31 a)にキャパシタ27及び29の少なくともいずれか一方が接続される動作モードでは、演算増幅回路31の入力31 aに接続されるノード(導体領域)のインピーダンスは十分に低くない。これ故に、ノイズに対して敏感である。信号処理回路23はアナログ信号の処理を行うので、上記のノードへのノイズはA/D変換の精度の向上の妨げとなる。

**【0039】**

既に説明したように、A/D変換器13 a~13 nが配列される時、あるA/D変換器の両側には別のA/D変換器が位置しており、A/D変換器は密に配列されている。これ故に、A/D変換器13 a~13 nの各々は小さいサイズ(幅)にレイアウトされる。A/D変換器の構成素子の配置及び配線が高密度で設けられている。また、SCアンプにおいては、演算増幅回路31の第1の入力31 a、第1のキャパシタ27の一端、及び第2のキャパシタ29の一端が互いに接続されて、導電領域EPRを構成している。あるいは、別の例では、SCアンプにおいては、演算増幅回路31の出力31 bと第1の入力31 aとの間に第2のキャパシタ29が接続されると共に第1のキャパシタ27が演算増幅

回路 31 から切り離されて、導電領域 EPR を構成することもある。信号処理中において、導電領域 EPR は等電位である。第 1 の制御信号  $S_{CONT}$  は、D/A 変換器 26 の記憶回路 33 と制御回路 21 とを接続する導体 35 上を伝播する。上記の制限されたレイアウトでは、導体 35 は、導電領域 EPR の近くを通過する。

【0040】

この A/D 変換集積回路 11 によれば、信号処理回路 23 における信号処理では、SC アンプを構成する接続が用いられる。これ故に、演算増幅回路 31 の第 1 の入力 31a は、寄生キャパシタを介して信号処理回路 23 に接続される他の導電体（例えば導体 35）と結合される。従って、演算増幅回路 31 の第 1 の入力 31a と等電位の導電領域 EPR は高いインピーダンスを示す。

10

【0041】

D/A 変換回路 25 の動作は制御回路 21 によって制御される。このために、第 1 の制御信号  $S_{CONT}$  が制御回路 21 から D/A 変換回路 25 に与えられる。第 1 の制御信号  $S_{CONT}$  の波形は、第 1 及び第 2 の電圧レベル  $L_1$ 、 $L_2$  の間の 2 回の遷移を含むので、第 1 の制御信号  $S_{CONT}$  が他の導電体（例えば導体 EPR）与えるノイズは、互いに逆向きの 2 回の遷移に基づく。これ故に、ノイズを受ける他の導電体（例えば導体 EPR）が高インピーダンスであるとき、互いに逆向きの 2 回の遷移（或いは互いに逆向きでありゼロ回以上の同数の遷移）に基づくノイズは結果的にキャンセルされる。第 1 及び第 2 のキャパシタ 27、29 が接続される演算増幅回路 31 の入力が例えば直流的及び交流的に高インピーダンス状態である期間において第 1 の電圧レベル  $L_1$  から第 2 の電圧レベル  $L_2$  への遷移と第 2 の電圧レベル  $L_2$  から第 1 の電圧レベル  $L_1$  への遷移とが同数の遷移数を含む波形を、第 1 の制御信号  $S_{CONT}$  が有する。

20

【0042】

D/A 変換器 26 は、第 1 の制御信号  $S_{CONT}$  をラッチする記憶回路 33 を含むと共に、D/A 変換回路 25 の出力 25a は、記憶回路 33 の格納値に応じた出力値を提供するので、D/A 変換回路 25 は、2 回の遷移を有する波形の制御信号  $S_{CONT}$  によって動作可能である。

【0043】

A/D 変換集積回路 11 では、第 1 の制御信号  $S_{CONT}$  は導体 35 を伝播し、導体 35 は、演算増幅回路 31 の第 1 の入力 31a に信号処理の際に接続される導電領域 EPR に寄生キャパシタ  $C_c$  を介して容量的に結合されている。しかしながら、この A/D 変換集積回路 11 によれば、寄生キャパシタ  $C_c$  を介した容量的な結合の大きさに関係なく（実際の回路では、寄生キャパシタ  $C_c$  の具体的な大きさを見積もることは難しい）、ノイズを受けるノードが高インピーダンスであるとき、互いに逆向きの 2 回の遷移に基づくノイズは結果的にキャンセルされる。

30

【0044】

図 2 は、A/D 変換器 13 とは異なる A/D 変換器の構成を概略的に示す図面である。A/D 変換器 41 では、D/A 変換回路 43 を制御する信号  $V_{CONV}$  は、導体 44 を介してサブ A/D 変換回路 45 から提供される。この信号  $V_{CONV}$  は、第 1 の電圧レベル  $L_1$  から第 2 の電圧レベル  $L_2$  への単一の遷移、或いは第 2 の電圧レベル  $L_2$  から第 1 の電圧レベル  $L_1$  への単一の遷移を有する。SC アンプ内において、ノイズを受ける導電体 EPR が高インピーダンスであるとき、単一の遷移に基づくノイズはキャンセルされない。

40

【0045】

図 3 は、本実施の形態に係る A/D 変換器を概略的に示す図面である。A/D 変換器 14 は、図 1 に示された A/D 変換器 13a ~ 13n の配列における個々の A/D 変換器 13a ~ 13n に置き換えることができる。A/D 変換器 14 は、入力 15 と、出力 17 と、サブ A/D 変換回路 19 と、RTZ 波形発生回路 22 と、D/A 変換回路 25 と、スイッチキャパシタ増幅回路 20 と、RTZ 信号受信回路 18 とを含む。

【0046】

50

RTZ波形発生回路22は、サブA/D変換回路19の出力19aに接続された入力22aを有し、またサブA/D変換回路19の出力からの信号SDPを変調することによりリターンツーゼロ(RTZ)信号RTZを発生する。RTZ信号受信回路18は、RTZ波形発生回路22の出力22aからのリターンツーゼロ信号RTZを受ける入力18aを有しており、リターンツーゼロ信号RTZをエンコードしたデジタル信号を生成する。このデジタル信号はRTZ信号受信回路18内の記憶回路に格納される。この記憶回路の記憶値は、RTZ信号受信回路18の出力18bを介してD/A変換回路25に提供される。スイッチキャパシタ増幅回路20は、複数のキャパシタ27、29、スイッチ素子32a、32b、32c、32d、32e及び演算増幅回路31を含む。スイッチキャパシタ増幅回路20では、キャパシタ27、29のうちの少なくともキャパシタの1つ(本実施例では、キャパシタ27)が演算増幅回路31の仮想接地端子(例えば31a)にスイッチ素子(例えば32c)を介して接続されてなる。タイミング発生回路34はタイミング信号 $\phi_1$ 、 $\phi_2$ 、 $CDS_1$ 、 $CDS_2$ を生成し、スイッチ素子32a~32eは、これらのタイミング信号 $\phi_1$ 、 $\phi_2$ 、 $CDS_1$ 、 $CDS_2$ 、 $DAC$ によって制御される。信号処理回路24では、RTZ信号受信回路18は、RTZ波形発生回路22の出力22aからのリターンツーゼロ信号RTZからデジタル値をエンコードする。このエンコードされた信号は、D/A変換回路25を制御するために値を有しており、またRTZ信号受信回路18内の記憶回路に保持される。或いは、RTZ信号受信回路18内の記憶回路は、RTZ波形発生回路22の出力22aからのリターンツーゼロ信号RTZを格納してもよく、RTZ信号受信回路18は、記憶回路内の信号からデジタル値を生成する。この記憶回路の格納値に応じて、D/A変換回路25はアナログ出力値SDAを提供する。D/A変換回路25は、この記憶回路の格納値に応じたアナログ出力値SDAを提供する。第1及び第2のキャパシタ27、29ならびに演算増幅回路31の接続は、SCアンプを構成する。このSCアンプでは、演算増幅回路31の第2の入力(例えば非反転入力)31cは接地線に接続されている。

#### 【0047】

信号処理回路24は、スイッチキャパシタ増幅回路20の入力と演算増幅回路31の第1の入力(例えば反転入力)31aとの間に第1のキャパシタ27を接続すると共に演算増幅回路31の出力(例えば非反転出力)31bと第1の入力(例えば反転入力)31aとの間に第2のキャパシタ29を接続して、信号処理を行う。この信号処理の結果として、演算増幅回路31の出力31bには演算値が生成される。この演算値は、当該信号処理回路24の出力に提供される。例えば、この信号処理中、第1の入力(例えば反転入力)31aは、キャパシタ27、29の一端と接続されており、これらの接続ノードの電位に等電位の導体領域は、十分に低いインピーダンスでないときがある。演算増幅回路31の入力31aに接続される等電位の導電領域は、RTZ波形発生回路22の出力22bからRTZ信号受信回路18の入力18aへの配線導体36に寄生キャパシタ $C_c$ を介して結合される。配線導体36上の電位変化は寄生キャパシタ $C_c$ を介して等電位の導体に伝わる。しかしながら、配線導体36にはリターンツーゼロ信号RTZが伝搬し、リターンツーゼロ信号RTZは互いに逆向きの2回の遷移を有する。

#### 【0048】

このA/D変換回路14によれば、寄生キャパシタ $C_c$ を介した容量的な結合の大きさに関係なく(実際の回路では、寄生キャパシタ $C_c$ の具体的な大きさを見積もることは難しい)、ノイズを受けるノードが高いインピーダンスを示すときでさえも、互いに逆向きの2回の遷移に基づくノイズは結果的にキャンセルされる。

#### 【0049】

図4は、RTZ波形発生回路22の一回路例を示す図面である。RTZ波形発生回路22は、サブA/D変換回路19の出力からの信号SDP( $D_0$ 、 $D_1$ )を受ける。以下の説明から理解されるように、RTZ波形発生回路22は信号SDPを変調することによりリターンツーゼロ信号RTZを生成できる。RTZ波形発生回路22では、信号 $D_0$ 、 $D_1$ を複数の論理ゲート、例えばAND(論理積)ゲート61、62が受ける。本実施例で

10

20

30

40

50

は、ANDゲート61の入力61a、61bが信号 $D_0$ 、 $D_1$ を受け、ANDゲート62の入力62a、62bが信号 $D_0$ 、 $\_D_1$ を受ける。ここで、信号 $\_D_1$ は信号 $D_1$ の反転信号を示す。反転信号の生成のために、例えばANDゲート62の入力62bにはインバータ63が接続されることができる。ANDゲート64の入力64aはANDゲート61の出力61cからの論理積信号AND1を受け、ANDゲート64の入力64bは信号W2を受ける。ANDゲート65の入力65aはANDゲート62の出力62cからの論理積信号AND2を受け、ANDゲート65の入力65bは信号W1を受ける。排他的論理和(EXOR)ゲート66の入力66a、66bは、それぞれ、ANDゲート64、65の出力64c、65cからの論理積信号AND3、AND4を受ける。排他的論理和ゲート66はリターンツーゼロ信号RTZを生成する。ここで、信号W1、W2はイメージデータを生成するための信号であり、1.5bサブA/D変換回路から提供される。

10

#### 【0050】

図5は、RTZ信号受信回路18及びD/A変換回路25の一回路例を示す図面である。RTZ信号受信回路18は、RTZ波形発生回路22の出力22bからのリターンツーゼロ信号RTZを記憶すると共に、リターンツーゼロ信号RTZからデジタル値をエンコードする。RTZ信号受信回路18は、記憶回路71及びエンコーダ81を含む。図5の(a)部には、記憶回路71が示されている。記憶回路71は、一又は複数のビットを格納可能な格納回路を含むことができ、本実施例ではラッチ回路72、73を含む。リターンツーゼロ信号RTZは、ラッチ回路72、73の入力72a、73aに接続された配線導体36を介してラッチ回路72、73に提供される。ラッチ信号LAT1、LAT2は、それぞれ、ラッチ回路72、73のラッチ入力72b、73bに入力され、またラッチ回路72、73のラッチのタイミングを規定する。ラッチ回路72、73は、それぞれ、ラッチ信号LAT1、LAT2により規定される値 $B_0$ 、 $B_1$ を格納し、またこれらの格納値を出力72c、73cに提供する。

20

#### 【0051】

図5の(b)部には、エンコーダ81が示されている。エンコーダ81は、複数のANDゲートといった論理ゲートを含む。例えば、2ビットの信号 $B_0$ 、 $B_1$ をエンコードするためには、4個のANDゲートが必要であるが、本A/D変換回路14では各巡回毎に1.5ビットのA/D変換を行うので、3個のANDゲート82、83、84を用いるエンコードにより、制御信号 $D_0$ 、 $D_1$ 、 $D_2$ を生成する。信号DACは、D/A変換回路25に制御信号を提供するタイミングを規定する。ANDゲート82、83、84の入力82c、83c、84cが信号DACを受ける。ANDゲート82の入力82a、82bは、それぞれ、信号 $B_0$ 、 $B_1$ を受ける。ANDゲート83の入力83a、83bは、それぞれ、信号 $B_0$ 、 $\_B_1$ を受ける。ANDゲート83の入力84a、84bは、それぞれ、信号 $\_B_0$ 、 $\_B_1$ を受ける。信号 $B_0$ 、 $B_1$ の反転信号 $\_B_0$ 、 $\_B_1$ を生成するために、インバータ85が、必要な論理積ゲートの入力に用いられる。このエンコーダ81では、ANDゲート82、83、84の出力82d、83d、84dが、それぞれ、制御信号 $D_0$ 、 $D_1$ 、 $D_2$ を提供する。これらの制御信号 $D_0$ 、 $D_1$ 、 $D_2$ は、D/A変換回路25内の3つのスイッチ素子86a、86b、86cを制御する。サブA/D変換回路19の出力値(0、1、2)、デジタル信号( $D_0$ 、 $D_1$ )、ラッチ信号( $B_0$ 、 $B_1$ )、及び制御信号 $D_0$ 、 $D_1$ 、 $D_2$ の対応の一覧は図6に示される。

30

40

#### 【0052】

図7は、上記のA/D変換器を適用する例としてイメージセンサを示す図面である。図7を参照すると、CMOSイメージセンサ1では、センサアレイ2は、センサ素子を含むセンサ回路2aのアレイを含む。センサアレイ2の行に垂直シフトレジスタ3が接続されており、センサアレイ2の列にはA/D変換器アレイ4が接続されている。A/D変換器アレイ4は、イメージセンサのカラムにアレイ状に配列された複数のA/D変換器13を含む。A/D変換器アレイ4は、センサアレイ2の列の幅に合わせて配置される。これ故に、例えば列線毎にA/D変換器13を設ける回路構成では、A/D変換器13の数は列

50

線の数に等しい。個々の A / D 変換器 1 3 はセンサアレイ 2 内のセルサイズに合わせてレイアウトされる。C M O S イメージセンサ 1 では、センサアレイ 2 は C M O S イメージセンサのセンサ回路 2 a が行方向および列方向に配列されている。図 7 には、C M O S イメージセンサの画素 P I X E L が示されており、画素 P I X E L はセンサ回路 2 a の一例である。本実施の形態に係る A / D 変換器 1 3 の適用は、本明細書に記載された特定の構成に限定されることはない。

#### 【 0 0 5 3 】

以上説明したセンサ回路は、イメージセンサに限定されることなく、画素 P I X E L の他に半導体回路と一緒に集積可能な各種のセンサに適用することができる。適用可能なセンサとして、例えば距離センサ、磁気センサ、加速度センサ、圧力センサ等がある。

10

#### 【 0 0 5 4 】

引き続き図 7 を参照しながら、C M O S イメージセンサ 1 の構成を説明する。画素 P I X E L は、リセット状態における第 1 の信号 S 1 と光誘起信号出力における第 2 の信号 S 2 とを生成する。A / D 変換器 1 1 の入力 1 3 が画素 P I X E L に接続されている。A / D 変換器アレイ 4 には、データレジスタ 5 が接続されており、画素 P I X E L からの信号に対応する A / D 変換値がデータレジスタ 5 に格納される。データレジスタ 5 は、水平シフトレジスタ 6 からの信号に応答して、デジタル信号を冗長表現 - 非冗長表現変換回路 7 へ提供する。冗長表現 - 非冗長表現変換回路 7 は、画素 P I X E L からの信号に対応した N ビットのデジタルコードを生成する。

#### 【 0 0 5 5 】

画素 P I X E L は、フォトダイオード  $D_F$  が、イメージに関連する一画素分の光 ( O p t i c a l S i g n a l ) を受ける。選択トランジスタ  $M_S$  のゲートは、行方向に伸びる行選択線 S に接続されている。リセットトランジスタ  $M_R$  のゲートはリセット線 R に接続されている。転送トランジスタ  $M_T$  のゲートは、行方向に伸びる転送選択線に接続されている。フォトダイオード  $D_F$  の一端は転送トランジスタ  $M_T$  を介して浮遊拡散層 F D に接続されている。浮遊拡散層 F D は、リセットトランジスタ  $M_R$  を介してリセット電位線 R e s e t に接続されると共に、トランジスタ  $M_A$  のゲートに接続されている。トランジスタ  $M_A$  の一電流端子 (例えばソース) は、選択トランジスタ  $M_S$  を介して列線 8 に接続されている。トランジスタ  $M_A$  は、浮遊拡散層 F D の電荷量に応じて電位を選択トランジスタ  $M_S$  を介して列線に提供する。

20

30

#### 【 0 0 5 6 】

この構造の画素において、ノイズキャンセル動作は、以下のように行われる。まず、リセット制御信号 R をリセットトランジスタ  $M_R$  に提供し、浮遊拡散層 F D をリセットする。増幅トランジスタ  $M_A$  を介して、このリセットレベルを読み出す。画素 P I X E L は、浮遊拡散層 F D がリセット状態にあるとき第 1 の信号 S 1 を生成する。次いで、電荷転送制御信号 T X を転送トランジスタ  $M_T$  に供給し、フォトダイオード  $D_F$  から光誘起信号電荷を浮遊拡散層 F D に転送する。この後、トランジスタ  $M_A$  を介して、この信号レベルを読み出す。画素 P I X E L の浮遊拡散層 F D が光誘起電荷の蓄積状態にあるとき第 2 の信号 S 2 を生成する。第 2 の信号 S 2 には、光誘起電荷を示す信号に第 1 の信号 S 1 が重畳されている。このリセットレベルと信号レベルの差は、図 1 に示されるような A / D 変換器を用いて求められる。これによって、画素 P I X E L のトランジスタの特性ばらつきによる固定パターンノイズと、浮遊拡散層をリセットしたときに発生するリセットノイズといったノイズがキャンセルされる。

40

#### 【 0 0 5 7 】

図 8 は、本実施の形態に係る A / D 変換器の動作のためのタイミングを示す図面である。図 3 及び図 8 を参照しながら、A / D 変換器の動作を説明する。図 8 は、アナログ C D S 動作と最初の 3 サイクル C Y C 1、C Y C 2、C Y C 3 の A / D 変換動作を示す図面である。タイミング信号  $c_{D S 1}$  及び  $c_{D S 2}$  が共に「ハイ」である期間に、センサ回路 2 a からの信号 S 1 を受けて、信号 S 1 をキャパシタ 2 7 に格納する。次いで、タイミング信号  $c_{D S 1}$  が「ハイ」であり信号  $c_{D S 2}$  が「ロウ」である期間に、センサ回

50

路 2 a からの信号 S 2 を受けて、アナログ C D S 動作を信号処理回路 2 3 の S C アンプにおいて行って差分信号 ( S 1 - S 2 ) を演算増幅回路 3 1 の出力 3 1 b に生成する。サブ A / D 変換回路 1 9 はこの信号の A / D 変換信号 S D P を生成する。

【 0 0 5 8 】

最初のサイクルのサブ A / D 変換値は  $D_0 = 1$ 、 $D_1 = 1$  である。R T Z 波形発生回路 2 2 は、サブ A / D 変換回路 1 9 の出力からの信号 S D P (  $D_0$ 、 $D_1$  ) を受けて、信号 S D P からリターンツェロ信号 R T Z 1 を生成する。この信号 R T Z 1 は導体配線 3 6 を伝搬して R T Z 信号受信回路 1 8 に到達する。R T Z 信号受信回路 1 8 では、ラッチ信号 L A T 1、L A T 2 に応答して記憶回路 7 1 がデジタル値 (  $B_0$ 、 $B_1$  ) を格納する。

【 0 0 5 9 】

2 回目のサイクルのサブ A / D 変換値は  $D_0 = 1$ 、 $D_1 = 0$  である。R T Z 波形発生回路 2 2 は、サブ A / D 変換回路 1 9 の出力からの信号 S D P (  $D_0$ 、 $D_1$  ) を受けて、信号 S D P からリターンツェロ信号 R T Z 2 を生成する。この信号 R T Z 2 は導体配線 3 6 を伝搬して R T Z 信号受信回路 1 8 に到達する。R T Z 信号受信回路 1 8 では、ラッチ信号 L A T 1、L A T 2 に応答して記憶回路 7 1 がデジタル値 (  $B_0$ 、 $B_1$  ) を格納する。

【 0 0 6 0 】

3 回目のサイクルのサブ A / D 変換値は  $D_0 = 0$ 、 $D_1 = 0$  である。R T Z 波形発生回路 2 2 は、サブ A / D 変換回路 1 9 の出力からの信号 S D P (  $D_0$ 、 $D_1$  ) を受けて、信号 S D P からリターンツェロ信号 R T Z 3 を生成する。この信号 R T Z 3 は導体配線 3 6 を伝搬して R T Z 信号受信回路 1 8 に到達する。R T Z 信号受信回路 1 8 では、ラッチ信号 L A T 1、L A T 2 に応答して記憶回路 7 1 がデジタル値 (  $B_0$ 、 $B_1$  ) を格納する。

【 0 0 6 1 】

巡回 A / D 変換動作は、巡回動作モード及び演算処理モードを含む。巡回 A / D 変換動作のサイクル C Y C 1、C Y C 2、C Y C 3 の各々で、図 8 における信号 1 がハイであり信号 2 がロウである期間では、キャパシタ 2 7 は入力 1 5 からのアナログ信号又はスイッチ 3 2 a を介した帰還値を受ける ( 巡回動作モード )。キャパシタ 2 9 の一端及び他端はそれぞれ演算増幅回路 3 1 の入力 3 1 a 及び出力 3 1 b に接続され、キャパシタ 2 7 はスイッチ 3 2 c によって演算増幅回路 3 1 の入力 3 1 a から切り離されている。ここで、演算増幅回路 3 1 の入力 3 1 a が接続される導体のインピーダンスは高くなっている。キャパシタ 2 9 及び入力 3 1 a が接続されるノードは電位を保持している。

【 0 0 6 2 】

図 8 における信号 2 がハイであり信号 1 がロウである期間では、キャパシタ 2 7 及び 2 9 は演算増幅回路 3 1 の入力 3 1 a に接続される。この接続において、D / A 変換回路 2 5 からの信号 S D A をキャパシタ 2 7 に加えると S C アンプでは演算が行われる ( 演算処理モード )。キャパシタ 2 7 及び 2 9 は演算増幅回路 3 1 の入力 3 1 a に接続され、キャパシタ 2 9 の一端及び他端はそれぞれ演算増幅回路 3 1 の入力 3 1 a 及び出力 3 1 b に接続されている。ここでも、演算増幅回路 3 1 の入力 3 1 a が接続される導体のインピーダンスは高くなっている。キャパシタ 2 7、2 9 が接続されるノードは電位を保持している。これらの接続では、演算増幅回路 3 1 の仮想接地端子 ( ここでは入力 3 1 a ) が仮想接地状態にある。

【 0 0 6 3 】

本実施例では、巡回動作モードにおいて、サブ A / D 変換回路 1 9 から D / A 変換回路 2 5 へのリターンツェロ信号を送っている。必要な場合には、演算処理モードの初期にリターンツェロ信号を送ることができる。

【 0 0 6 4 】

リターンツェロ信号 R T Z 1 のハイ状態の期間の長さはリターンツェロ信号 R T Z 2 のハイ状態の期間長さとは異なり、同様に、リターンツェロ信号 R T Z 1 のハイ状態の期間の長さはリターンツェロ信号 R T Z 3 のハイ状態の期間長さ ( 長さゼロ ) と異なる

10

20

30

40

50

。このようなリターンツーゼロ信号  $RTZ1$ 、 $RTZ2$ 、 $RTZ3$  は導体配線 36 を伝搬して  $RTZ$  信号受信回路 18 に到達する。スイッチキャパシタ増幅回路 20 は当該  $A/D$  変換のためのアナログ信号を処理する。リターンツーゼロ信号  $RTZ$  は導体配線 36 を伝搬しており、この導体配線 36 がスイッチキャパシタ増幅回路 20 内のノードと寄生キャパシタ  $C_c$  を介して結合している。これ故に、この処理の際に、スイッチキャパシタ増幅回路 20 内のノードが、寄生キャパシタ  $C_c$  を介して導体配線 36 から攪乱を受けることがある。このノードのインピーダンスが十分に低くないとき、リターンツーゼロ信号  $RTZ1$ 、 $RTZ2$ 、 $RTZ3$  のデジタル遷移が寄生キャパシタ  $C_c$  を介して上記のノードにノイズとして伝搬する。しかしながら、リターンツーゼロ信号  $RTZ1$ 、 $RTZ2$ 、 $RTZ3$  のいずれもゼロ又は偶数回の遷移（第 1 の電圧値の  $L$  から第 2 の電圧値の  $H$  への遷移、及び第 2 の電圧値の  $H$  から第 1 の電圧値の  $L$  への遷移）を持つので、一回目の遷移のノイズは、二回目の遷移の逆極性のノイズにより実質的に打ち消される。したがって、上記ノードのインピーダンスが高いときでさえも、結果としての残留ノイズは非常に小さい。

10

20

30

40

50

#### 【0065】

図 9 は、巡回型の  $A/D$  変換器の構成を概略的に示す図面である。巡回型  $A/D$  変換では、総デジタルビット数よりも少ない一又は数ビットずつ  $A/D$  変換を行う。例えばアナログ信号の数ビット分の  $A/D$  変換を行うと共に、これらのビット値に対応する信号を演算増幅回路を用いて差し引き演算値を生成する。この演算値の  $A/D$  変換を行うと共に、変換済みのビット値に対応する信号を演算増幅回路を用いて差し引き、次の巡回動作のための演算値を生成する。これを所望のビット数のデジタル信号を得るまで繰り返す。巡回型の  $A/D$  変換器では、多くの場合、 $D/A$  変換回路 25 はサブ  $A/D$  変換回路 19 よりもセンサアレイ 2 に近い。信号処理回路 23 は、演算増幅回路 31 の出力 31b と演算増幅回路 31 の入力 31a との間に第 2 のキャパシタ 29 を接続すると共に第 1 のキャパシタ 27 を入力 31a から切り離す。第 1 のキャパシタ 27 は入力 15 又はスイッチ 51b を介してアナログ値を受け、第 2 のキャパシタ 29 は入力 31a におけるアナログ値（電位）の保持を行う。また、信号処理回路 23 は、この信号処理回路 23 の入力 23a 又は  $D/A$  変換回路 25 の出力 25a と演算増幅回路 31 の入力 31a との間に第 1 のキャパシタ 27 を接続すると共に演算増幅回路 31 の出力 31b と演算増幅回路 31 の入力 31a との間に第 2 のキャパシタ 29 を接続して信号処理を行う。入力 23a は、第 1 のキャパシタ 27 の一端にスイッチ 51a を介して接続される。また、巡回型の  $A/D$  変換器は、信号処理によって生成された演算値を演算増幅回路 31 の出力 31b から  $SC$  アンプの入力に帰還する帰還経路を含む。この帰還経路はスイッチ 51b を含む。この巡回型  $A/D$  変換器 13 では、サブ  $A/D$  変換回路 19 は  $A/D$  変換器 13 の出力の近くに配置される。制御信号のための導体 35 は、 $A/D$  変換器 13 の出力側から入力側に向けて延在する。

#### 【0066】

図 10 は、図 9 に示される巡回型  $A/D$  変換器の動作の動作を示すタイミングチャートである。図 9 に示された巡回型  $A/D$  変換器 13 では、一回の巡回動作において 1.5 ビットの  $A/D$  変換を行う。このために、 $D/A$  変換回路 25 は 3 値のアナログ値（例えば  $+V_R$ 、ゼロ、 $-V_R$ ）を提供する。このために、 $D/A$  変換回路 25 は、3 つのスイッチ 26a、26b、26c を含み、これらのスイッチ 26a、26b、26c は上記の制御信号に応答して動作する。3 つの基準信号（ $+V_R$ 、ゼロ、 $-V_R$ ）は、電圧源 30a、30b、30c によって提供される。3 値の  $D/A$  信号  $SDA$  を生成するために、サブ  $A/D$  変換回路 19 の出力値  $SDP$  が制御回路 21 に提供される。記憶回路 33 は、3 つの制御信号を格納するラッチ回路といった格納回路 33a、33b を有する。格納回路 33a、33b は、それぞれ、格納信号  $LAT1$ 、 $LAT2$  に応答して制御信号を格納すると共に格納値を保持する。制御回路 21 は、3 値の  $D/A$  信号  $SDA$  を生成するための制御信号  $SCONT1$ 、 $SCONT2$ 、 $SCONT3$  を生成する。

#### 【0067】

引き続き説明におけるスイッチ 51a、51b、51c、51d、51e はタイミング



生成器 50 によって提供される信号に应答する。巡回型 A/D 変換器 13 は、入力 15 を介してアナログ信号を受けるに先立って、リセット動作を行う。リセット動作では、信号 CDS2、2 に应答してスイッチ 51d、51e が閉じられる。

【0068】

次いで、巡回型 A/D 変換器 13a は、入力 15 を介してアナログ信号 SA を受ける。このとき、信号 CDS1 に应答してスイッチ 51a は閉じ、信号 1 に应答してスイッチ 51b、51c は閉じている。また、信号 CDS2 に应答してスイッチ 51d が開き、信号 2 に应答してスイッチ 51e が開く。

【0069】

アナログ信号 SA はキャパシタ 27 に格納される。このとき、D/A 変換回路 25 の出力はハイインピーダンス状態 (HiZ) である。また、演算増幅回路 31 の出力 31b はキャパシタ 29 を介して演算増幅回路 31 の入力 31a に接続されており、この接続において、SCアンプでは、入力 31a が接続される導体領域は十分に低いインピーダンスではない。アナログ信号 SA は、スイッチ 51b を介してサブ A/D 変換回路 19 に提供され、サブ A/D 変換回路 19 は 2 ビット分の部分 A/D 変換値 SDP を生成する。このために、サブ A/D 変換回路 19 は例えば 2 個のコンパレータを含み、個々のコンパレータにおける比較結果を A/D 変換値 SDP として提供する。2 個のコンパレータはそれぞれ参照値  $+V_R$ 、 $-V_R$  を受ける。

【0070】

アナログ信号の取り込みの後に、信号処理回路 23 は、信号 CDS1、CDS2 に应答してスイッチ 51a、51d を開くと共に、信号 1 に应答してスイッチ 51b、51c を開く。信号 2 に应答して、スイッチ 51e を閉じる。この接続により、信号処理回路 23 では、キャパシタ 27、29 及び演算増幅回路 31 によって SCアンプが構成される。このとき、導体領域 EPR は、演算増幅回路 31 の仮想接地端子に接続され、また高インピーダンスのノードであり、また導体 35 に寄生キャパシタ  $C_C$  を介して容量的に結合している。

【0071】

この接続において、制御回路 21 は、受けた A/D 変換値 SDP に応じた信号 (制御信号  $S_{CONT1}$ 、 $S_{CONT2}$ 、 $S_{CONT3}$  のいずれか) を生成する。この信号は導体 35 上を伝搬して記憶回路 33 に到達する。

【0072】

図 10 のタイミングチャートには、制御信号  $S_{CONT1}$ 、 $S_{CONT2}$ 、 $S_{CONT3}$  の全てが記載されているけれども、各巡回動作において生成される信号はこれらのうちのいずれか一つである。制御信号  $S_{CONT1}$ 、 $S_{CONT2}$ 、 $S_{CONT3}$  の送出の期間は、キャパシタ 27、29 及び演算増幅回路 31 によって SCアンプが構成されている期間内である。この期間に導体領域 EPR は交流的及び直流的に高インピーダンス状態におかれる。送出の期間の始期は、SCアンプの動作期間の始期の後であり、送出の期間の終期は、SCアンプの動作期間の終期の前である。信号が生成されるとき、制御信号  $S_{CONT1}$ 、 $S_{CONT2}$ 、 $S_{CONT3}$  のいずれも、巡回動作のタイミングにおける時刻  $t_1$  において第 1 の遷移  $T_1$  を起こす。制御信号  $S_{CONT1}$  は、最も長い持続期間を有し、時刻  $t_2$  において第 2 の遷移  $T_2$  を起こす。制御信号  $S_{CONT2}$  は、次に長い持続期間を有し、時刻  $t_3$  において第 2 の遷移  $T_2$  を起こす。制御信号  $S_{CONT3}$  は、最も短い持続期間を有し、時刻  $t_4$  において第 2 の遷移  $T_2$  を起こす。格納回路 33a のラッチタイミングは信号 LAT1 によって規定され、格納回路 33a の格納値は、時刻  $t_5$  において確定される。格納回路 33b のラッチタイミングは信号 LAT2 によって規定され、格納回路 33b の格納値は、時刻  $t_6$  において確定される。制御信号  $S_{CONT1}$  の第 2 の遷移  $T_2$  は、時刻  $t_5$  の前に位置し、制御信号  $S_{CONT2}$  の第 2 の遷移  $T_2$  は、時刻  $t_6$  の前に位置する。

【0073】

制御回路 21 が制御信号  $S_{CONT1}$  を提供したとき、格納回路 33a の格納値は、時

10

20

30

40

50

刻  $t_5$  において確定され、格納値は「1」である。格納回路 33b の格納値は、時刻  $t_6$  において確定され、格納値は「1」である。また、制御回路 21 が制御信号  $S_{CONT2}$  を提供したとき、格納回路 33a の格納値は、時刻  $t_5$  において確定され、格納値は「1」である。格納回路 33b の格納値は、時刻  $t_6$  において確定され、格納値は「0」である。さらに、制御回路 21 が制御信号  $S_{CONT3}$  を提供したとき、格納回路 33a の格納値は、時刻  $t_5$  において確定され、格納値は「0」である。格納回路 33b の格納値は、時刻  $t_6$  において確定され、格納値は「0」である。

#### 【0074】

格納回路 33a、33b の格納値は、例えばデコーダ回路 33c によって、スイッチ 26a ~ 26c の開閉を制御するためのスイッチ信号に変換される。スイッチ信号に応じてスイッチ 26a ~ 26c のいずれか一つが、信号 SDA をキャパシタ 27 の一端に結合される。信号 SDA の印加に应答して、最初の巡回動作による演算値が生成される。

10

#### 【0075】

この演算値は、サブ A/D 変換回路 19 によって、2 回目の信号 SDP として出力 17 に提供される。また、信号 SDP は制御回路 21 に提供されて、2 回目の巡回動作のための制御信号（制御信号  $S_{CONT1}$ 、 $S_{CONT2}$ 、 $S_{CONT3}$  のいずれか）が生成される。この制御信号は、導体 35 を伝搬した後に、記憶回路 33 に格納される。D/A 変換回路 25 は、記憶回路 33 の格納値に応じた信号 SDA をキャパシタ 27 の一端に提供する。所望のビット数のデジタル信号が得られるまで、巡回 A/D 変換の動作が繰り返される。巡回 A/D 変換の各々において、制御回路 21 から記憶回路 33 への制御信号は、いずれの場合も、2 回の遷移からなる波形を有するので、2 回の遷移に基づくノイズは結果的にキャンセルされる。この結果、SC アンプの導体領域 EPR へのノイズが低減される。

20

#### 【0076】

本実施の形態では、一回の巡回 A/D 変換において 3 値のデジタル値（1.5 ビット）を生成している。一回の巡回 A/D 変換において 2 値のデジタル値（1 ビット）を生成することもできる。この A/D 変換では、D/A 変換回路 25 は、2 つの信号 SDA を提供する。記憶回路 33 は一個の格納回路を含む。

#### 【0077】

図 11 は、2 値の信号 SDA を提供する D/A 変換回路を制御するための制御信号の波形を示す図面である。図 11 のタイミングチャートには、制御信号  $S_{CONT1}$ 、 $S_{CONT2}$  の全てが記載されているけれども、各巡回動作において生成される信号はこれらのうちのいずれか一つである。信号が生成されるとき、制御信号  $S_{CONT1}$ 、 $S_{CONT2}$  のいずれも、巡回動作のタイミングにおける時刻  $s_1$  において第 1 の遷移  $T_1$  を起こす。制御信号  $S_{CONT1}$  は、長い持続期間を有し、時刻  $s_2$  において第 2 の遷移  $T_2$  を起こす。制御信号  $S_{CONT2}$  は、短い持続期間を有し、時刻  $s_3$  において第 2 の遷移  $T_2$  を起こす。単一の格納回路の格納タイミングは、ラッチクロック信号によって規定され、この格納回路の格納値は、時刻  $s_4$  において確定される。制御信号  $S_{CONT1}$  の第 2 の遷移  $T_2$  は、時刻  $s_4$  の前に位置する。制御回路 21 が制御信号  $S_{CONT1}$  を提供したとき、格納回路の格納値は、時刻  $s_4$  において確定され、格納値は「1」であり、また制御回路 21 が制御信号  $S_{CONT2}$  を提供したとき、格納回路の格納値は、時刻  $s_4$  において確定され、格納値は「0」である。

30

40

#### 【0078】

図 12 は、2 値の信号 SDA を提供する D/A 変換回路を制御するための制御信号の波形を示す図面である。図 12 のタイミングチャートには、制御信号  $S_{CONT1}$ 、 $S_{CONT2}$  の全てが記載されているけれども、各巡回動作において生成される信号はこれらのうちのいずれか一つである。本実施例では、制御信号  $S_{CONT2}$  には遷移がなく、一定に値を有する信号である。遷移を有する信号が生成されるとき、制御信号  $S_{CONT1}$  は、巡回動作のタイミングにおける時刻  $u_1$  において第 1 の遷移  $T_1$  を起こす。制御信号  $S_{CONT1}$  は、時刻  $u_2$  において第 2 の遷移  $T_2$  を起こす。単一の格納回路の格納タイミ

50

ングは、ラッチクロック信号によって規定され、この格納回路の格納値は、時刻  $u_3$  において確定される。制御回路 21 が制御信号  $S_{CONT1}$  を提供したとき、格納回路の格納値は、時刻  $u_3$  において確定され、格納値は「1」であり、また制御回路 21 が制御信号  $S_{CONT2}$  を提供したとき、格納回路の格納値は、時刻  $u_3$  において確定され、格納値は「0」である。

#### 【0079】

これまでの実施例に示されるように、キャパシタ 27、29 が接続される演算増幅回路 31 の入力或いはキャパシタ 27、29 の少なくともいずれか一方が接続される演算増幅回路 31 の入力直線的に及び交流的に高インピーダンス状態である期間において、第 1 の電圧レベルから第 2 の電圧レベルへの遷移の数と第 2 の電圧レベルから第 1 の電圧レベルへの遷移の数とが同数である遷移を有する波形の制御信号によって D/A 変換器の動作が可能となる。また、D/A 変換回路を制御する制御信号の波形が、偶数回（ゼロ回を含む）の遷移を有するとき、遷移に起因するカップリングノイズが低減される。

10

#### 【0080】

発明者の見積もりによれば、寄生キャパシタを介した容量的な結合により、典型的な A/D 変換器では電圧振幅 3 ミリボルト (mV) 程度のノイズが導体領域 EPR に加わる。制御回路 21 から D/A 変換回路 25 への制御信号を例えば RTZ 符号化することによって、電圧振幅 3 ミリボルト程度のノイズと、電圧振幅 - 3 ミリボルト程度のノイズとの両方が電位領域 EPR に加わる。フルスケール電圧 1 ボルトの 12 ビット A/D 変換では、1 LEB が 0.25 ミリボルト (mV) であるので、ノイズレベル 3 mV は 12 LEB に相当する。ノイズレベル 3 mV は大きな値である。

20

#### 【0081】

図 13 は、巡回型 A/D 変換器の内部の増幅回路 (MDAC: Multiplying D/A converter) において、サブ A/D 変換回路内のコンパレータから D/A 変換回路への制御信号のための配線が演算増幅回路の反転入力 (仮想接地点) と寄生キャパシタ  $C_c$  でカップリングが生じたときに発生する誤差と、寄生キャパシタ  $C_c$  の値の関係をシミュレーションにより求めたものである。図 9 に示される信号処理回路 23 内のキャパシタ 27、29 は 1 ピコファラッドである。図 13 を参照すると、特性線 Da、Db、Dc、Dd が表されている。演算増幅回路 31 が全差動型の回路であるとき、及びシングルエンド型の回路であるときの各々に対して、シミュレーションによる誤差を掲載した。いずれの場合も、RTZ 符号化を用いることにより、ノイズの影響は大幅に精度が改善された。シングルエンド型の回路において、ノイズの影響は約 1/30 に低減された。全差動型の回路において、RTZ 符号化を用いることによって、カップリングノイズによる誤差の影響をほとんど受けることなく信号処理のための演算を行うことができる。

30

#### 【0082】

図 14 は、別の A/D 変換器の構成を概略的に示す図面である。この A/D 変換では、サブ A/D 変換回路 19 は、総デジタルビット数よりも少ない一又は数ビットの A/D 変換値を生成する。例えばアナログ信号の数ビット分の A/D 変換を行うと共に、これらのビット値に対応する信号を演算増幅回路を用いて差し引き、残差を示す演算値 SAR を生成する。この演算値 SAR は、ホールド回路 61 に保持される。この A/D 変換器 13 では、多くの場合、サブ A/D 変換回路 19 は D/A 変換回路 25 よりもセンサアレイ 2 の近くに位置する。この A/D 変換器 13 では、サブ A/D 変換回路 19 は A/D 変換器 13 の入力の近くに配置される。制御信号のための導体 (図 1 おける導体 35) は、A/D 変換器 13 の入力側から出力側に向けて延在する。

40

#### 【0083】

A/D 変換器 13 では、図 14 に示されるように、信号処理回路 23 は、D/A 変換器 26 と、キャパシタ 27、27a、27b と、演算増幅回路 31 とを含む。D/A 変換器 26 は、第 1 及び第 2 の D/A 変換部 28a、28b を含み、第 1 及び第 2 の /A 変換部 28a、28b の各々は、D/A 変換回路 25 及び記憶回路 33 を含む。第 1 及び第 2 の /A 変換部 28a、28b の各々には、D/A 値を提供するために、電圧源 30d、30

50

e に接続されている。

【 0 0 8 4 】

信号処理回路 2 3 が S C アンプを構成するときは、キャパシタ 2 7 の一端は、キャパシタ 2 9 の一端及び演算増幅回路 3 1 の第 1 の入力 3 1 a に接続されて、導体領域 E P R が形成される。或いは、別の例では、キャパシタ 2 7 の一端が演算増幅回路 3 1 の入力 3 1 a から切り離されると共にキャパシタ 2 9 の一端が演算増幅回路 3 1 の入力 3 1 a に接続されて、導体領域 E P R が形成される。

【 0 0 8 5 】

また、所望の動作を得るために、信号処理回路 2 3 は、タイミング生成器 6 0 によって制御される一又は複数のスイッチを含む。これらのスイッチは、例えば図 9 におけるスイッチ 5 1 a ~ 5 1 e と類似の位置に配置される。これらのスイッチを介して、キャパシタ 2 7 a、キャパシタ 2 7 b、キャパシタ 2 7、キャパシタ 2 9、及び演算増幅回路 3 1 が接続されることができる。信号処理回路 2 3 が S C アンプを構成するときは、キャパシタ 2 7 b の一端、キャパシタ 2 7 a の一端、キャパシタ 2 7 の一端、キャパシタ 2 9 の一端、及び演算増幅回路 3 1 の第 1 の入力 3 1 a が互いに接続されて、導体領域 E P R が形成される。このとき、第 1 の D / A 変換部 2 8 a の出力 2 4 a は、キャパシタ ( キャパシタンス : 2 C ) 2 7 a を介して、キャパシタ 2 7 の一端、キャパシタ 2 9 の一端、キャパシタ 2 7 b の一端及び演算増幅回路 3 1 の第 1 の入力 3 1 a に接続される。また、第 2 の D / A 変換部 2 8 b の出力 2 4 b は、キャパシタ ( キャパシタンス : C ) 2 7 b を介して、キャパシタ 2 7 の一端、キャパシタ 2 9 の一端、キャパシタ 2 7 a の一端及び演算増幅回路 3 1 の第 1 の入力 3 1 a に接続される。

【 0 0 8 6 】

この信号処理回路 2 3 においても、導体領域 E P R は、制御信号の伝搬経路である導体 3 5 に寄生キャパシタを介して容量的に結合される。

【 0 0 8 7 】

図 1 4 に示された A / D 変換器 1 3 の動作を説明する。信号  $R$  に応答してスイッチ 6 3 a を導通させて、セルアレイ 2 内のセンサ回路 2 a からの出力信号のリセットレベル信号 S 1 をキャパシタ 2 7 にサンプルする。その後、信号  $R$  に応答してスイッチ 6 3 a を非導通にして、センサ回路 2 a からの出力信号の信号レベル信号 S 2 をキャパシタ 2 7 に受けて、キャパシタ 2 7、2 9 及び演算増幅回路 3 1 を用いて信号処理を行う。このときの信号処理は差分信号 ( S 1 - S 2 ) の生成とその増幅である。この信号処理のための接続では、S C アンプが構成される。

【 0 0 8 8 】

このとき、サブ A / D 変換回路 2 1 は、2 ビットの A / D 変換でリセットレベル S 1 と信号レベル S 2 の差を A / D 変換値を生成して、その結果によって、4 値の D / A 変換器 2 6 を制御する。これにより、増幅された信号は以下の式で表される。

$$V O U T = 4 \times ( S 1 - S 2 ) - D \times ( V_{R 1} - V_{R 2} )$$

増幅の係数「4」は、キャパシタ 2 7 ( キャパシタンス : 4 C ) とキャパシタ 2 9 ( キャパシタンス : C ) との比率で規定される。S C アンプの出力及び (  $V_{R 1} - V_{R 2}$  ) が正值となるように  $V_{R 1}$ 、 $V_{R 2}$  を定める。

2 ビットで A / D 変換された値 D は以下のように規定される。

D、 入力アナログ値の範囲。

$$0 : ( S 1 - S 2 ) \quad ( V_{R 1} - V_{R 2} ) / 4 .$$

$$1 : ( V_{R 1} - V_{R 2} ) / 4 < ( S 1 - S 2 ) \quad ( V_{R 1} - V_{R 2} ) / 2 .$$

$$2 : ( V_{R 1} - V_{R 2} ) / 2 < ( S 1 - S 2 ) \quad 3 \times ( V_{R 1} - V_{R 2} ) / 4 .$$

$$3 : 3 \times ( V_{R 1} - V_{R 2} ) / 4 \quad ( S 1 - S 2 ) .$$

値 D は、2 ビット A / D 変換回路の出力に対して、0、1、2、3 の 4 値のいずれかとなり、演算値 V O U T が最も小さくなるような値を取る。換言すれば、演算値 V O U T がそのようになるように、A / D 変換器 1 3 が動作する。

【 0 0 8 9 】

10

20

30

40

50

制御回路 21 は、サブ A / D 変換回路 19 から 2 ビットの信号に応じて、第 1 及び第 2 の / A 変換部 28 a、28 b を制御するための制御信号  $S_{CONT}$  を生成する。

【0090】

制御信号  $S_{CONT}$  として、図 10 ~ 図 12 において接続された波形の制御信号  $S_{CONT1} \sim S_{CONT2}$  を使用できる。これらの制御信号の波形は 2 回の遷移  $T1$ 、 $T2$  を含むので、導体領域  $EPR$  へのデジタルノイズが低減される。制御信号  $S_{CONT}$  は記憶回路 33 内の格納回路 33 a、33 b に格納される。第 1 の / A 変換部 28 a における D / A 変換回路では、A / D 変換のビット位置に応じて重み付けされたキャパシタ 27 a に D / A 値  $V_{R1}$  又は  $V_{R2}$  を提供する。また、第 2 の / A 変換部 28 b における D / A 変換回路では、A / D 変換のビット位置に応じて重み付けされたキャパシタ 27 b に D / A 値  $V_{R1}$  又は  $V_{R2}$  を提供する。

10

【0091】

また、2 ビットの A / D 変換でリセットレベル  $S1$  と信号レベル  $S2$  の差の A / D 変換について説明する。第 1 及び第 2 の D / A 変換部 28 a、28 b における D / A 変換回路 25 のスイッチ 26 d、26 e に、信号 A、B、C、D が供給される。サブ A / D 変換回路 19 が信号レベル  $S2$  の A / D 変換を行う前では、 $A = C = 1$ 、 $B = D = 0$  と設定される。信号レベル  $S2$  の A / D 変換の後には、これらの信号  $A \sim D$  は、値 D に応じて以下のように設定される。

D : A、B、C、D。

0 : 1 1、0 0、1 1、0 0。

1 : 1 0、0 1、1 1、0 0。

2 : 1 1、0 0、1 0、0 1。

3 : 1 0、0 1、1 0、0 1。

このような動作により、信号処理回路 23 における出力値  $V_{OUT}$  が生成される。

20

【0092】

出力値  $V_{OUT}$  は、信号  $S_j$  に応答してスイッチ 61 a を導通させることによってホールキャパシタ  $C_s$  にサンプリングされ、ホールド（記憶）される。既に説明したように、この A / D 変換器も、センサレイ 2 の列毎に配置されており、信号読み出し時（水平転送時）に、j 番目の列線を読み場合は、信号  $H(j) = 1$  の時に、記憶された電荷が出力線  $L_{OUT}$  に流れだして読み出される。

30

【0093】

読み出されたアナログ残差信号  $SDR$  には、引き続き信号処理（例えば、下位ビットの A / D 変換の処理）が施される。

【0094】

図 1、図 9 及び図 14 に示すように、サブ A / D 変換回路が、センサレイ側及びデータレジスタ側のいずれに位置する形態についても、D / A 変換回路への制御信号に RTZ 伝送方式を適用することは有効である。デジタル制御信号の伝搬経路となる導体線に、増幅回路に仮想接地点が寄生キャパシタを介してカップリングするとき、カップリングノイズにより誤差を生じる。以上説明したように、RTZ 符号のような制御信号を使うことによって、カップリングノイズの影響を低減することができる。

40

【0095】

好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることが当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更に権利を請求する。

【産業上の利用可能性】

【0096】

以上説明したように、本実施の形態によれば、デジタル信号を伝える導体からの容量結合によるノイズの伝搬を低減可能な複数の A / D 変換器を含む A / D 変換集積回路を提供

50

することを目的とする。

【符号の説明】

【0097】

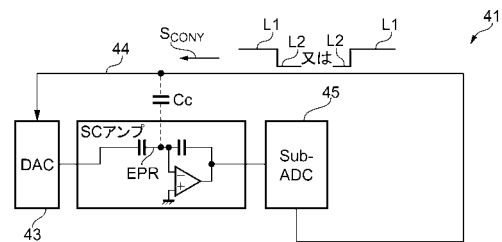
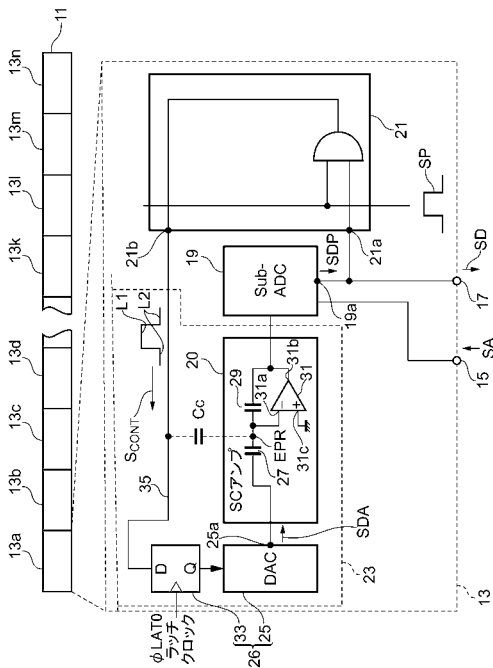
1 ... CMOSイメージセンサ、2 ... センサアレイ、2 a ... センサ回路、4 ... A / D変換器アレイ、PIXEL ... 画素、S 1 ... リセット状態における第1の信号、S 2 ... 光誘起信号出力における第2の信号、5 ... データレジスタ、6 ... 水平シフトレジスタ、7 ... 冗長表現 - 非冗長表現変換回路、11 ... A / D変換集積回路、13 a ~ 13 n ... A / D変換器、13、14 ... A / D変換器、15 ... A / D変換器の入力、17 ... A / D変換器の出力、18 ... RTZ信号受信回路、19 ... サブA / D変換回路、20 ... スイッチキャパシタ増幅回路、21 ... 制御回路、23 ... 信号処理回路、SA ... アナログ信号、SD ... デジタル信号、SCONT ... 制御信号、L 1、L 2 ... 電圧レベル、22 ... RTZ波形発生回路、25 ... D / A変換回路、26 ... D / A変換器、26 a、26 b、26 c ... スイッチ、27、29 ... キャパシタ、28 a、28 b ... D / A変換部、31 ... 演算増幅回路、32 a、32 b、32 c、32 d、32 e ... スイッチ素子、33 ... 記憶回路、LAT 0、LAT 1、LAT 2 ... ラッチ信号、1、2、CDS 1、CDS 2、DAC ... タイミング信号、EPR ... 導体領域、30 a、30 b、30 c、30 d、30 e ... 電圧源、33 ... 記憶回路、33 a、33 b ... 格納回路、33 c ... デコーダ回路、35 ... 導体、41 ... A / D変換器、43 ... D / A変換回路、45 ... サブA / D変換回路、51、51 b、51 c、51 d、51 e ... スイッチ、SDA ... D / A信号、SCONT 1、SCONT 2、SCONT 3 ... 制御信号、T 1、T 2 ... 制御信号の遷移、34、50、60 ... タイミング生成器、+V<sub>R</sub>、-V<sub>R</sub> ... 参照値、SAR ... 残差を示す演算値、63 a ... スイッチ、27 a、27 b ... キャパシタ。

10

20

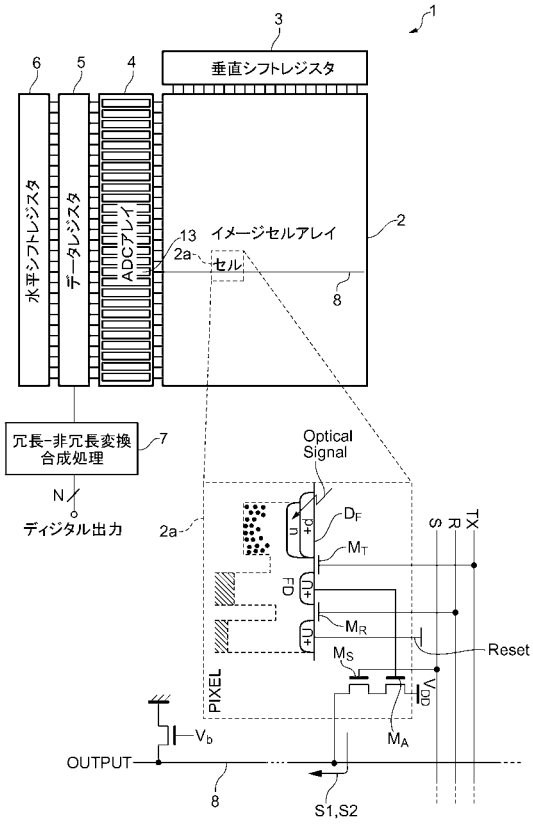
【図1】

【図2】

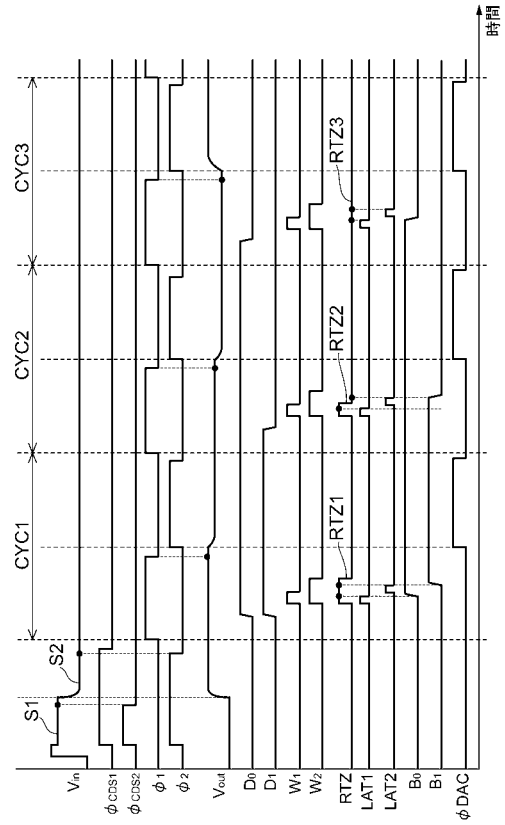




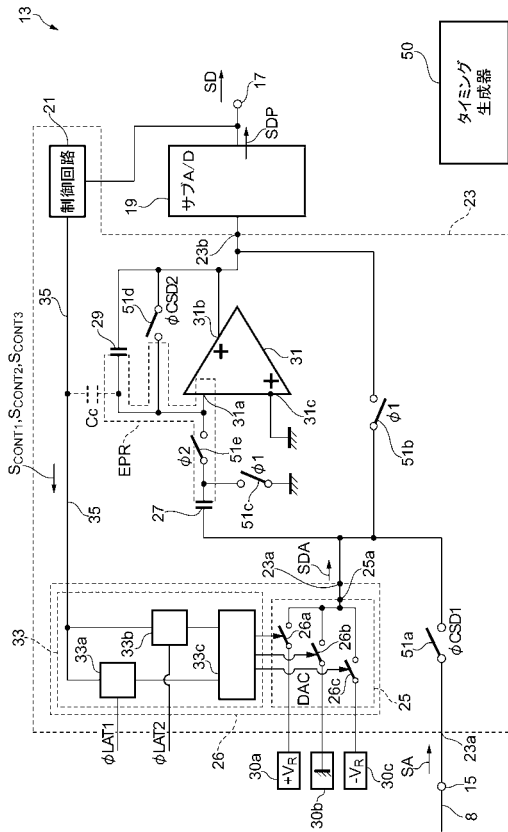
【 図 7 】



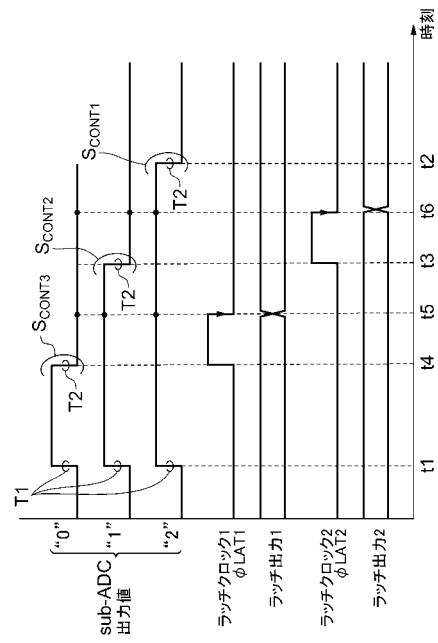
【 図 8 】



【 図 9 】

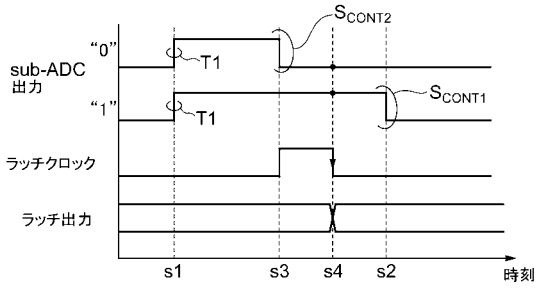


【 図 10 】

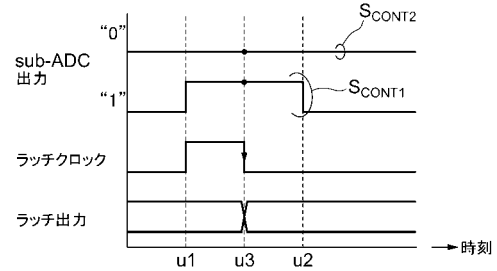




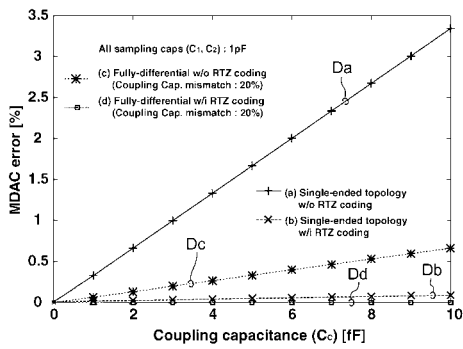
【 図 1 1 】



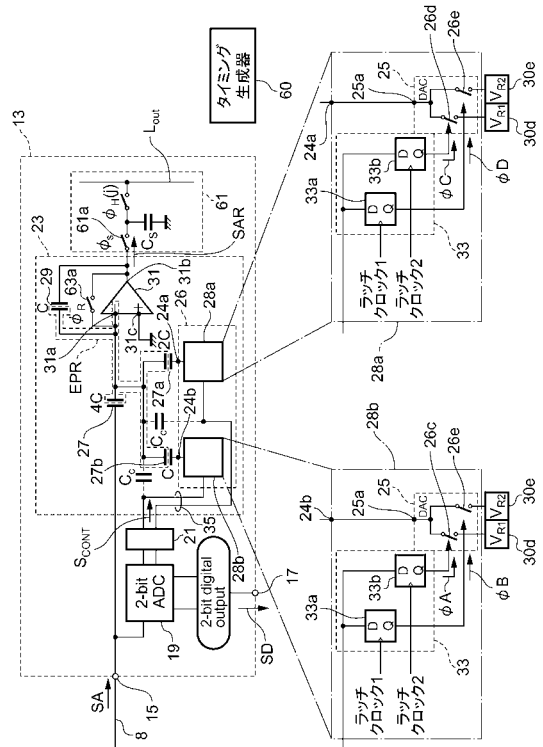
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



## 【手続補正書】

【提出日】平成23年11月14日(2011.11.14)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のA/D変換器を含むA/D変換集積回路であって、  
各A/D変換器は、  
A/D変換されるべきアナログ信号を受ける入力と、  
該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、

前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表すサブデジタル信号を生成すると共に、該サブデジタル信号を前記出力に提供するサブA/D変換回路と、

前記サブA/D変換回路の出力に接続され、前記サブデジタル信号を変調したRTZ信号を発生するRTZ波形発生回路と、

D/A変換回路と、

複数のキャパシタ、スイッチ素子及び演算増幅回路からなり、少なくとも前記キャパシタの1つが前記演算増幅回路の仮想接地端子に前記スイッチ素子を介して接続されてなるスイッチキャパシタ増幅回路と、

前記RTZ信号をデジタル信号にエンコードした信号を保持する記憶回路を備え、前記記憶回路の出力を前記D/A変換回路に出力するRTZ信号受信回路と、  
を備えたA/D変換集積回路。

【請求項2】

前記RTZ波形発生回路の前記RTZ信号は、前記演算増幅回路の仮想接地端子に接続される前記スイッチ素子の状態が変化しない期間において、第1の電圧レベルから第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数を含む波形からなる、請求項1に記載されたA/D変換集積回路。

【請求項3】

前記RTZ波形発生回路の前記RTZ信号は、前記演算増幅回路の仮想接地端子が仮想接地状態にある期間において、第1の電圧レベルから第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数を含む波形からなる、請求項1または請求項2に記載されたA/D変換集積回路。

【請求項4】

前記RTZ波形発生回路の前記RTZ信号は、サブA/D変換回路の出力を前記D/A変換回路に戻す巡回動作モードと、前記演算増幅回路が演算処理を行う演算処理モードからなる巡回A/D変換動作において、前記巡回動作モードの期間に、第1の電圧レベルから第2の電圧レベルへの遷移と前記第2の電圧レベルから前記第1の電圧レベルへの遷移とが同数の遷移数を含む波形からなる、請求項1、請求項2、及び請求項3のいずれか一項に記載されたA/D変換集積回路。

【請求項5】

複数のA/D変換器を含むA/D変換集積回路であって、  
各A/D変換器は、  
A/D変換されるべきアナログ信号を受ける入力と、  
該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、

前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表す信号

を生成すると共に、該信号を前記出力に提供するサブ A / D 変換回路と、

前記サブ A / D 変換回路の出力に接続され、前記信号に応じた第 1 の制御信号を提供する制御回路と、

D / A 変換器、第 1 のキャパシタ、第 2 のキャパシタ及び演算増幅回路を有する信号処理回路と、

を備え、

前記 D / A 変換器は、前記制御回路からの前記第 1 の制御信号をラッチする記憶回路と、該記憶回路の格納値に応じたアナログ出力値を提供する出力を含む D / A 変換回路とを含み、

前記信号処理回路は信号処理及び信号保持の少なくともいずれか一方を行い、前記信号処理では、前記 D / A 変換回路の前記出力と前記演算増幅回路の入力との間に前記第 1 のキャパシタを接続すると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第 2 のキャパシタを接続し、前記信号保持では前記第 1 のキャパシタが前記演算増幅回路の前記入力から切り離されると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第 2 のキャパシタを接続され、

前記第 1 の制御信号は、第 1 の電圧レベルから第 2 の電圧レベルへの遷移の数と前記第 2 の電圧レベルから前記第 1 の電圧レベルへの遷移の数とが同数である波形を有する、A / D 変換集積回路。

【請求項 6】

複数の A / D 変換器を含む A / D 変換集積回路であって、

各 A / D 変換器は、

A / D 変換されるべきアナログ信号を受ける入力と、

該アナログ信号を表す所定ビット数のデジタル信号の少なくとも一部分を提供する出力と、

前記アナログ信号を受けて前記デジタル信号のうちの一又は複数のビット値を表す信号を生成すると共に、該信号を前記出力に提供するサブ A / D 変換回路と、

前記サブ A / D 変換回路の出力に接続され、前記信号に応じた第 1 の制御信号を提供する制御回路と、

D / A 変換器、第 1 のキャパシタ、第 2 のキャパシタ及び演算増幅回路を有する信号処理回路と、

を備え、

前記 D / A 変換器は、前記制御回路からの前記第 1 の制御信号をラッチする記憶回路と、該記憶回路の格納値に応じたアナログ出力値を提供する出力を含む D / A 変換回路とを含み、

前記信号処理回路は、前記 D / A 変換回路の前記出力と前記演算増幅回路の入力との間に前記第 1 のキャパシタを接続すると共に前記演算増幅回路の出力と前記演算増幅回路の前記入力との間に前記第 2 のキャパシタを接続して信号処理を行い、

前記第 1 の制御信号は、前記第 1 及び第 2 のキャパシタが接続される前記演算増幅回路の入力が直流的にも交流的にも高インピーダンス状態である期間において第 1 の電圧レベルから第 2 の電圧レベルへの遷移と前記第 2 の電圧レベルから前記第 1 の電圧レベルへの遷移とが同数の遷移数を含む波形を有する、A / D 変換集積回路。

【請求項 7】

前記第 1 の制御信号は、前記 D / A 変換器の前記記憶回路と前記制御回路とを接続する導体を伝播し、

前記導体は、前記演算増幅回路の前記入力に前記信号処理の際に接続される導体領域と寄生キャパシタを介して容量的に結合されている、請求項 5 又は請求項 6 に記載された A / D 変換集積回路。

【請求項 8】

前記制御回路は、前記信号に応じた第 2 の制御信号を提供し、

前記記憶回路は、前記第 2 の制御信号をラッチし、

前記第 2 の制御信号は、第 3 の電圧レベルから第 4 の電圧レベルへの遷移と、前記第 4 の電圧レベルから前記第 3 の電圧レベルへの遷移とを含む波形を有し、

前記第 1 の制御信号の前記波形における前記第 2 の電圧レベルの持続時間は、前記第 2 の制御信号の前記波形における前記第 4 の電圧レベルの持続時間と異なる、請求項 5 ~ 請求項 7 のいずれか一項に記載された A / D 変換集積回路。

【請求項 9】

前記制御回路は、前記信号に応じた第 3 の制御信号を提供し、

前記記憶回路は、前記第 3 の制御信号をラッチし、

前記第 3 の制御信号は、第 5 の電圧レベルから第 6 の電圧レベルへの遷移と、前記第 6 の電圧レベルから前記第 5 の電圧レベルへの遷移とを含む波形を有し、

前記第 3 の制御信号の前記波形における前記遷移の間隔は、前記第 1 の制御信号の前記波形における前記遷移の間隔と異なり、

前記第 3 の制御信号の前記波形における前記遷移の間隔は、前記第 2 の制御信号の前記波形における前記遷移の間隔と異なる、請求項 8 に記載された A / D 変換集積回路。

【請求項 10】

前記制御回路は、前記信号に応じた第 4 の制御信号を提供し、

前記記憶回路は、前記第 4 の制御信号をラッチし、

前記第 4 の制御信号は、一定の電圧レベルの波形を有する、請求項 8 に記載された A / D 変換集積回路。

【請求項 11】

前記記憶回路は、第 1 のラッチ信号に応じて動作する第 1 のラッチ回路と、第 2 のラッチ信号に応じて動作する第 2 のラッチ回路とを含み、

前記第 1 のラッチ信号のラッチタイミングは前記第 2 のラッチ信号のラッチタイミングと異なる、請求項 8 ~ 請求項 10 のいずれか一項に記載された A / D 変換集積回路。

【請求項 12】

前記信号処理によって生成された演算値を前記信号処理回路の出力を介して前記信号処理回路の入力に帰還する帰還経路を更に備え、

前記 A / D 変換器は、巡回 A / D 変換を行う、請求項 5 ~ 請求項 11 のいずれか一項に記載された A / D 変換集積回路。

【請求項 13】

前記信号処理回路は、前記アナログ信号を受ける入力と、第 3 のキャパシタとを含み、

前記信号処理において、前記第 3 のキャパシタは、前記信号処理回路の入力と前記演算増幅回路の前記入力との間に接続される、請求項 5 ~ 請求項 11 のいずれか一項に記載された A / D 変換集積回路。

【請求項 14】

前記信号処理回路は、前記制御回路からの第 5 の制御信号をラッチする別の記憶回路と、該別の記憶回路の格納値に応じた出力値を提供する出力を有する別の D / A 変換回路とを含み、

前記第 5 の制御信号は、第 7 の電圧レベルから第 8 の電圧レベルへの遷移と、前記第 8 の電圧レベルから前記第 7 の電圧レベルへの遷移とを含む波形を有する、請求項 13 に記載された A / D 変換集積回路。

【請求項 15】

センサ素子を含むセンサ回路のセンサアレイを備え、

前記 A / D 変換器は、前記センサアレイのカラムに配置され、

前記アナログ信号は前記センサアレイによって提供される、請求項 5 ~ 請求項 14 のいずれか一項に記載された A / D 変換集積回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

## 【補正の内容】

## 【0029】

本発明に係るA/D変換集積回路では、前記信号処理回路は、前記制御回路からの第5の制御信号をラッチする別の記憶回路と、該別の記憶回路の格納値に応じた出力値を提供する出力を有する別のD/A変換回路とを含み、前記第5の制御信号は、第7の電圧レベルから第8の電圧レベルへの遷移と、前記第8の電圧レベルから前記第7の電圧レベルへの遷移とを含む波形を有する。

## 【手続補正書】

【提出日】平成23年11月16日(2011.11.16)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0083

【補正方法】変更

## 【補正の内容】

## 【0083】

A/D変換器13では、図14に示されるように、信号処理回路23は、D/A変換器26と、キャパシタ27、27a、27bと、演算増幅回路31とを含む。D/A変換器26は、第1及び第2のD/A変換部28a、28bを含み、第1及び第2のD/A変換部28a、28bの各々は、D/A変換回路25及び記憶回路33を含む。第1及び第2のD/A変換部28a、28bの各々には、D/A値を提供するために、電圧源30d、30eに接続されている。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

## 【補正の内容】

## 【0089】

制御回路21は、サブA/D変換回路19から2ビットの信号に応じて、第1及び第2のD/A変換部28a、28bを制御するための制御信号S<sub>CONT</sub>を生成する。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0090

【補正方法】変更

## 【補正の内容】

## 【0090】

制御信号S<sub>CONT</sub>として、図10～図12において接続された波形の制御信号S<sub>CONT1</sub>～S<sub>CONT2</sub>を使用できる。これらの制御信号の波形は2回の遷移T1、T2を含むので、導体領域EPRへのデジタルノイズが低減される。制御信号S<sub>CONT</sub>は記憶回路33内の格納回路33a、33bに格納される。第1のD/A変換部28aにおけるD/A変換回路では、A/D変換のビット位置に応じて重み付けされたキャパシタ27aにD/A値V<sub>R1</sub>又はV<sub>R2</sub>を提供する。また、第2のD/A変換部28bにおけるD/A変換回路では、A/D変換のビット位置に応じて重み付けされたキャパシタ27bにD/A値V<sub>R1</sub>又はV<sub>R2</sub>を提供する。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/059022

A. CLASSIFICATION OF SUBJECT MATTER H03M1/40(2006.01) i, H03M1/08(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03M1/00-1/88		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010 Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 2056461 A1 (Asahi Kasei EMD Corp.), 06 May 2009 (06.05.2009), [0056] to [0067]; fig. 10, 11 & WO 2008/023710 A1 & KR 10-2008-0112221 A	1-15
A	JP 2004-135321 A (Nippon Telegraph And Telephone Corp.), 30 April 2004 (30.04.2004), paragraphs [0039], [0040]; fig. 1 & US 2004/0062362 A1 & EP 1401166 A1 & CN 1496076 A	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 17 June, 2010 (17.06.10)		Date of mailing of the international search report 29 June, 2010 (29.06.10)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/JP2010/059022									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/40(2006.01)i, H03M1/08(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/00-1/88											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2010年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2010年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2010年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2010年	日本国実用新案登録公報	1996-2010年	日本国登録実用新案公報	1994-2010年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2010年										
日本国実用新案登録公報	1996-2010年										
日本国登録実用新案公報	1994-2010年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	EP 2056461 A1 (Asahi Kasei EMD Corp.) 2009.05.06, [0056]-[0067], Figs.10&11 & WO 2008/023710 A1 & KR 10-2008-0112221 A	1-15									
A	JP 2004-135321 A (日本電信電話株式会社) 2004.04.30, [0039][0040], 図1 & US 2004/0062362 A1 & EP 1401166 A1 & CN 1496076 A	1-15									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 17.06.2010		国際調査報告の発送日 29.06.2010									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 柳下 勝幸	5X 9561								
		電話番号 03-3581-1101	内線 3596								

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。