

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-55358
(P2013-55358A)

(43) 公開日 平成25年3月21日(2013.3.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 0 5 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 C	5 F 1 1 0
HO 1 L 21/368 (2006.01)	HO 1 L 29/78 6 1 8 A	
	HO 1 L 29/78 6 1 7 J	
	HO 1 L 29/78 6 1 8 F	

審査請求 未請求 請求項の数 22 O L (全 36 頁) 最終頁に続く

(21) 出願番号 特願2012-265997 (P2012-265997)
 (22) 出願日 平成24年12月5日 (2012.12.5)
 (62) 分割の表示 特願2010-107768 (P2010-107768) の分割
 原出願日 平成22年5月7日 (2010.5.7)

(71) 出願人 503360115
 独立行政法人科学技術振興機構
 埼玉県川口市本町四丁目1番8号
 (71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100125450
 弁理士 河野 広明
 (72) 発明者 金田 敏彦
 長野県諏訪郡富士見町富士見281 セイコーエプソン株式会社技術開発本部コア技術開発センター内
 (72) 発明者 下田 達也
 石川県能美市旭台1-50

最終頁に続く

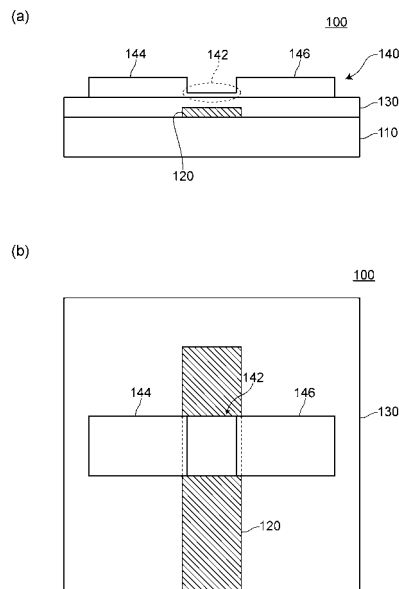
(54) 【発明の名称】 電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】従来よりも大幅に少ない原材料及び製造エネルギーを用いて製造することが可能な電界効果トランジスタを提供する。

【解決手段】本発明1つの電界効果トランジスタは、ソース領域144及びドレイン領域146並びにチャネル領域142を含む酸化物導電体層と、チャネル領域142の導通状態を制御するゲート電極120と、ゲート電極120とチャネル領域142との間に形成された強誘電体材料又は常誘電体材料からなるゲート絶縁層130とを備え、チャネル領域142の層厚は、ソース領域144の層厚及びドレイン領域146の層厚よりも薄い。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ソース領域及びドレイン領域並びにチャンネル領域を含む酸化物導電体層と、前記チャンネル領域の導通状態を制御するゲート電極と、前記ゲート電極と前記チャンネル領域との間に形成された強誘電体材料又は常誘電体材料からなるゲート絶縁層とを備え、前記チャンネル領域の層厚は、前記ソース領域の層厚及び前記ドレイン領域の層厚よりも薄い、電界効果トランジスタ。

【請求項 2】

前記酸化物導電体層、前記ゲート電極及び前記ゲート絶縁層は、いずれも液体材料を用いて形成されたものである、請求項 1 に記載の電界効果トランジスタ。

【請求項 3】

前記酸化物導電体層、前記ゲート電極及び前記ゲート絶縁層は、いずれも酸化物材料からなる、請求項 2 に記載の電界効果トランジスタ。

【請求項 4】

前記酸化物導電体層、前記ゲート電極及び前記ゲート絶縁層は、いずれもペロブスカイト構造を有する、請求項 3 に記載の電界効果トランジスタ。

【請求項 5】

前記酸化物導電体層、前記ゲート電極及び前記ゲート絶縁層は、いずれも真空プロセスを用いることなく形成されたものである、請求項 1 乃至請求項 4 のいずれか 1 項に記載の電界効果トランジスタ。

【請求項 6】

前記チャンネル領域のキャリア濃度及び層厚は、前記電界効果トランジスタがオフ状態のときに、前記チャンネル領域全体が空乏化するような値に設定されている、請求項 1 乃至請求項 5 のいずれか 1 項に記載の電界効果トランジスタ。

【請求項 7】

前記チャンネル領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内にあり、前記チャンネル領域の層厚は、 $5 \text{ nm} \sim 100 \text{ nm}$ の範囲内にある、請求項 6 に記載の電界効果トランジスタ。

【請求項 8】

ソース領域及びドレイン領域並びにチャンネル領域を含む酸化物導電体層と、前記チャンネル領域の導通状態を制御するゲート電極と、前記ゲート電極と前記チャンネル領域との間に形成され強誘電体材料又は常誘電体材料からなるゲート絶縁層とを備えた電界効果トランジスタの製造方法であって、前記チャンネル領域の層厚が前記ソース領域の層厚及び前記ドレイン領域の層厚よりも薄い前記酸化物導電体層を、型押し成形技術を用いて形成する、電界効果トランジスタの製造方法。

【請求項 9】

固体基板における一方の表面上に前記ゲート電極を形成する第 1 工程と、強誘電体材料又は常誘電体材料の原料を含む溶液を前記固体基板における前記ゲート電極上に塗布して強誘電体材料又は常誘電体材料の原料を含む膜を形成した後、熱処理を施すことにより、前記ゲート絶縁層を形成する第 2 工程と、酸化物導電性材料の原料を含む溶液を前記ゲート絶縁層上に塗布することにより酸化物導電性材料の原料を含む膜を形成した後、前記ソース領域に対応する領域及び前記ドレイン領域に対応する領域よりも前記チャンネル領域に対応する領域が凸となるように形成され

10

20

30

40

50

た凹凸型を用いて、前記酸化物導電性材料の原料を含む膜に対して型押し成形加工を行い、さらにその後、熱処理を施すことにより、前記ソース領域、前記ドレイン領域及び前記チャンネル領域を形成する第3工程とを、この順序で含む、

請求項8に記載の電界効果トランジスタの製造方法。

【請求項10】

前記第3工程においては、前記チャンネル領域に対応する領域における前記酸化物導電性材料の原料を含む膜の層厚が5nm～100nmの範囲内にある所定の層厚になるように型押し成形加工を行う、

請求項9に記載の電界効果トランジスタの製造方法。

【請求項11】

固体基板における一方の表面上に前記ゲート電極を形成する第1工程と、

強誘電体材料又は常誘電体材料の原料を含む溶液を前記固体基板における一方の表面上に塗布して強誘電体材料又は常誘電体材料の原料を含む膜を形成した後、前記チャンネル領域に対応する領域よりも前記ソース領域に対応する領域及び前記ドレイン領域に対応する領域が凸となるように形成された凹凸型を用いて前記強誘電体材料又は常誘電体材料の原料を含む膜に対して型押し成形加工を行い、さらにその後、熱処理を施すことにより、前記ソース領域に対応する領域及び前記ドレイン領域に対応する領域よりも前記チャンネル領域に対応する領域が凸となるような構造を有する前記ゲート絶縁層を形成する第2工程と、

酸化物導電性材料の原料を含む溶液を前記固体基板における一方の表面上に塗布して酸化物導電性材料の原料を含む膜を形成した後、平坦型を用いて前記酸化物導電性材料の原料を含む膜に対して型押し加工を行い、さらにその後、熱処理を施すことにより、前記ソース領域、前記ドレイン領域及び前記チャンネル領域を形成する第3工程とをこの順序で含む、

請求項8に記載の電界効果トランジスタの製造方法。

【請求項12】

前記第3工程においては、前記チャンネル領域に対応する領域における前記酸化物導電性材料の原料を含む膜の層厚が5nm～100nmの範囲内にある所定の層厚になるように型押し加工を行う、

請求項11に記載の電界効果トランジスタの製造方法。

【請求項13】

前記第2工程においては、前記固体基板における一方の表面上に前記強誘電体材料又は常誘電体材料の原料を含む膜を形成した後、平坦型を用いて前記強誘電体材料又は常誘電体材料の原料を含む膜の表面を平坦化する、

請求項9乃至請求項12のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項14】

前記第3工程においては、型押し成形技術を用いて前記酸化物導電性材料の原料を含む膜の一部を除去することにより素子分離する工程を含む、

請求項9乃至請求項13のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項15】

前記第1工程においては、前記ゲート電極を形成する部分にコンタクトプリンティング法を用いてめっき触媒物質を付着し、その後、当該めっき触媒物質が付着した領域に無電解めっきを施すことにより前記ゲート電極を形成する、

請求項8乃至請求項14のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項16】

前記第1工程においては、前記ゲート電極を形成する部分にコンタクトプリンティング法を用いて親液化処理を施し、その後、当該親液化処理を施した領域にゲート電極の原料を含むインクを供給し、さらにその後、熱処理を施すことにより前記ゲート電極を形成する、

請求項9乃至請求項14のいずれか1項に記載の電界効果トランジスタの製造方法。

10

20

30

40

50

【請求項 17】

固体基板における一方の表面上に、酸化物導電性材料の原料を含む溶液を塗布することにより酸化物導電性材料の原料を含む膜を形成した後、前記ソース領域に対応する領域及び前記ドレイン領域に対応する領域よりも前記チャンネル領域に対応する領域が凸となるように形成された凹凸型を用いて、前記酸化物導電性材料の原料を含む膜に対して型押し加工を行い、さらにその後、熱処理を施すことにより、前記ソース領域、前記ドレイン領域及び前記チャンネル領域を形成する第1工程と、

強誘電体材料又は常誘電体材料の原料を含む溶液を、前記チャンネル領域上に塗布して強誘電体材料又は常誘電体材料の原料を含む膜を形成した後、平坦型を用いて前記強誘電体材料又は常誘電体材料の原料を含む膜に対して型押し加工を行い、さらにその後、熱処理を施すことにより、前記ゲート絶縁層を形成する第2工程と、

前記ゲート絶縁層上に、前記ゲート電極を形成する第3工程とを、この順序で含むことを特徴とする、

請求項8に記載の電界効果トランジスタの製造方法。

【請求項 18】

前記第1工程においては、前記チャンネル領域に対応する領域における前記酸化物導電性材料の原料を含む膜の層厚が5nm～100nmの範囲内にある所定の層厚になるように型押し成形加工を行う、

請求項17に記載の電界効果トランジスタの製造方法。

【請求項 19】

前記第1工程においては、型押し成形技術を用いて前記酸化物導電性材料の原料を含む膜の一部を除去することにより素子分離する工程を含む、

請求項17又は請求項18に記載の電界効果トランジスタの製造方法。

【請求項 20】

前記第3工程においては、前記ゲート電極を形成する部分に、コンタクトプリンティング法を用いてめっき触媒物質を付着し、その後、当該めっき触媒物質が付着した領域に無電解めっきを施すことにより前記ゲート電極を形成する、

請求項17乃至請求項19のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項 21】

前記第3工程においては、前記ゲート電極を形成する部分にコンタクトプリンティング法を用いて親液化処理を施し、その後、当該親液化処理を施した領域にゲート電極の原料を含む原料を含むインクを供給し、さらにその後、熱処理を施すことにより前記ゲート電極を形成する、

請求項17乃至請求項19のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項 22】

酸化物導電性材料の原料を含む溶液には、完成時に前記チャンネル領域のキャリア濃度が $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内になるような濃度の不純物が添加されている、

請求項9乃至請求項21のいずれか1項に記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果トランジスタ及びその製造方法に関する。

【背景技術】

【0002】

図24は、従来の電界効果トランジスタ900を説明するために示す図である。

従来の電界効果トランジスタ900は、図24に示すように、ソース電極950及びドレイン電極960と、ソース電極950とドレイン電極960との間に位置するチャンネル層940と、チャンネル層940の導通状態を制御するゲート電極920と、ゲート電極920とチャンネル層940との間に形成され、強誘電体材料からなるゲート絶縁層930と

10

20

30

40

50

を備える。なお、図 24 において、符号 910 は絶縁性基板を示す。

【0003】

従来の電界効果トランジスタ 900 においては、ゲート絶縁層 930 を構成する材料として、強誘電体材料（例えば、BLT ($\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$)、PZT ($\text{Pb}(\text{Zr}_x, \text{Ti}_{1-x})\text{O}_3$)）が使用され、チャンネル層 940 を構成する材料として、酸化物導電性材料（例えば、インジウム錫酸化物 (ITO)）が使用されている。

【0004】

従来の電界効果トランジスタ 900 によれば、チャンネル層を構成する材料として酸化物導電性材料を用いているためキャリア濃度を高くすることができ、また、ゲート絶縁層を構成する材料として強誘電体材料を用いているため低い駆動電圧で高速にスイッチングすることができ、その結果、大きな電流を低い駆動電圧で高速に制御することが可能となる。

10

【0005】

従来の電界効果トランジスタは、図 25 に示す従来の電界効果トランジスタの製造方法により製造することができる。図 25 は、従来の電界効果トランジスタの製造方法を説明するために示す図である。図 25 (a) ~ 図 25 (e) は各工程図であり、図 25 (f) は電界効果トランジスタ 900 の平面図である。

【0006】

まず、図 25 (a) に示すように、表面に SiO_2 層が形成された Si 基板からなる絶縁性基板 910 上に、電子ビーム蒸着法により、Pt (40 nm) 及び Ti (10 nm) の積層膜からなるゲート電極 920 を形成する。

20

次に、図 25 (b) に示すように、ゲート電極 920 の上方から、ゾルゲル法により、BLT ($\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$) 又は PZT ($\text{Pb}(\text{Zr}_{0.4}\text{Ti}_{0.6})\text{O}_3$) からなるゲート絶縁層 930 (200 nm) を形成する。

次に、図 25 (c) に示すように、ゲート絶縁層 930 上に、RF スパッタ法により、ITO からなるチャンネル層 940 (5 nm ~ 15 nm) を形成する。

次に、図 25 (d) に示すように、チャンネル層 940 上に、電子ビーム蒸着法により、Pt (30 nm) 及び Ti (30 nm) を真空蒸着してソース電極 950 及びドレイン電極 960 を形成する。

次に、RIE 法及びウェットエッチング法 (HF : HCl 混合液) により、素子領域を他の素子領域から分離する。

30

これにより、図 25 (e) 及び図 25 (f) に示すような、電界効果トランジスタ 900 を製造することができる。

【0007】

図 26 は、従来の電界効果トランジスタ 900 の電気特性を説明するために示す図である。なお、図 26 中、符号 940 a はチャンネルを示し、符号 940 b は空乏層を示す。

従来の電界効果トランジスタ 900 においては、図 26 に示すように、ゲート電圧が 3 V ($V_G = 3 \text{ V}$) のときのオン電流が約 10^{-4} A 、オン/オフ比が 1×10^4 、電界効果移動度 μ_{FE} が $10 \text{ cm}^2 / \text{Vs}$ 、メモリウインドウが約 2 V の値が得られている。

【先行技術文献】

40

【特許文献】

【0008】

【特許文献 1】特開 2006 - 121029 号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、従来の電界効果トランジスタ 900 は、上記のような方法によって製造されているため、ゲート電極 920、チャンネル層 940、ソース電極 950 及びドレイン電極 960 を形成する過程で、真空プロセスやフォトリソグラフィープロセスを用いる必要があるため、原材料や製造エネルギーの使用効率が低いという問題がある。

50

【0010】

そこで、本発明は、上記した問題を解決するためになされたもので、上記のように優れた電界効果トランジスタを、従来よりも大幅に少ない原材料及び製造エネルギーを用いて製造することが可能な電界効果トランジスタ及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

[1] 本発明の電界効果トランジスタは、ソース領域及びドレイン領域並びにチャンネル領域を含む酸化物導電体層と、前記チャンネル領域の導通状態を制御するゲート電極と、前記ゲート電極と前記チャンネル領域との間に形成され強誘電体材料又は常誘電体材料からなるゲート絶縁層とを備え、前記チャンネル領域の層厚は、前記ソース領域の層厚及び前記ドレイン領域の層厚よりも薄いことを特徴とする。

10

【0012】

このため、本発明の電界効果トランジスタによれば、チャンネル領域を構成する材料として酸化物導電性材料を用いているためキャリア濃度を高くすることができ、また、ゲート絶縁層を構成する材料として強誘電体材料又は常誘電体材料を用いているため低い駆動電圧で高速にスイッチングすることができ、その結果、従来の電界効果トランジスタの場合と同様に、大きな電流を低い駆動電圧で高速に制御することが可能となる。

【0013】

また、本発明の電界効果トランジスタによれば、チャンネル領域の層厚がソース領域の層厚及びドレイン領域の層厚よりも薄い酸化物導電体層を形成するだけで電界効果トランジスタを製造することが可能となるため、従来の電界効果トランジスタの場合のようにチャンネル領域とソース領域及びドレイン領域とを異なる材料から形成しなくてもよくなり、上記のように優れた電界効果トランジスタを、従来よりも大幅に少ない原材料及び製造エネルギーを用いて製造することが可能となる。

20

【0014】

[2] 本発明の電界効果トランジスタにおいては、前記チャンネル領域の層厚が前記ソース領域の層厚及び前記ドレイン領域の層厚よりも薄い前記酸化物導電体層は、型押し成形技術を用いて形成されたものであることが好ましい。

【0015】

このような構成とすることにより、後述する実施形態からも分かるように、型押し成形加工実施後、フォトリソグラフィープロセスなどの後加工プロセスを施すことなしにダイレクトに電界効果トランジスタを製造することが可能となるため、上記のように優れた電界効果トランジスタを、従来よりも大幅に少ない原材料及び製造エネルギーを用いて製造することが可能となる。なお、「型押し成形技術」は「ナノインプリント技術」と呼ばれることもある。

30

【0016】

[3] 本発明の電界効果トランジスタにおいては、前記酸化物導電体層、前記ゲート電極及び前記ゲート絶縁層は、すべて液体材料を用いて形成されたものであることが好ましい。

40

【0017】

このような構成とすることにより、後述する実施形態からも分かるように、型押し成形加工技術を用いて電界効果トランジスタを製造することが可能となるため、上記のように優れた電界効果トランジスタを、従来よりも大幅に少ない原材料及び製造エネルギーを用いて製造することが可能となる。

【0018】

[4] 本発明の電界効果トランジスタにおいては、前記酸化物導電体層、前記ゲート電極及び前記ゲート絶縁層は、すべて酸化物材料からなることが好ましい。

【0019】

このような構成とすることにより、酸化物導電体層、ゲート電極及びゲート絶縁層を、

50

すべて液体材料を用いて形成することができるようになる。また、信頼性の高い電界効果トランジスタとすることができる。

【0020】

[5] 本発明の電界効果トランジスタにおいては、前記酸化物導電体層、前記ゲート電極及び前記ゲート絶縁層は、すべてペロブスカイト構造を有することが好ましい。

【0021】

このような構成とすることにより、後述する実施形態からも分かるように、酸化物導電体層、ゲート電極及びゲート絶縁層を同一の結晶構造とすることで、格子欠陥の少ない高品質な電界効果トランジスタを製造することが可能となる。

【0022】

[6] 本発明の電界効果トランジスタにおいては、前記酸化物導電体層、前記ゲート電極及び前記ゲート絶縁層は、すべて真空プロセスを用いることなく形成されたものであることが好ましい。

【0023】

このような構成とすることにより、真空プロセスを用いることなしに電界効果トランジスタを製造することが可能となるため、上記のように優れた電界効果トランジスタを、従来よりも大幅に少ない製造エネルギーを用いて製造することが可能となる。

【0024】

[7] 本発明の電界効果トランジスタにおいては、前記チャネル領域のキャリア濃度及び層厚は、前記電界効果トランジスタがオフ状態のときに、前記チャネル領域全体が空乏化するような値に設定されていることが好ましい。

【0025】

このような構成とすることにより、酸化物導電体層のキャリア濃度を高くしたとしても電界効果トランジスタがオフ状態の時に流れる電流量を十分低くできるため、必要なオンオフ比を維持しつつ、大きな電流を低い駆動電圧で制御することが可能となる。

この場合において、電界効果トランジスタがエンハンスメント型のトランジスタである場合には、ゲート電極に0Vの制御電圧を印加したときに電界効果トランジスタがオフ状態となるため、このようなときにチャネル領域全体が空乏化するような値に設定されていればよく、電界効果トランジスタがディプレッション型のトランジスタである場合には、ゲート電極に負の制御電圧を印加したときに電界効果トランジスタがオフ状態となるため、このようなときにチャネル領域全体が空乏化するような値に設定されていればよい。

【0026】

[8] 本発明の電界効果トランジスタにおいては、前記チャネル領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内にあり、前記チャネル領域の層厚は、5nm～100nmの範囲内にあることが好ましい。

【0027】

このような構成とすることにより、必要なオンオフ比を維持しつつ、大きな電流を低い駆動電圧で制御することが可能となる。

【0028】

なお、本発明の電界効果トランジスタにおいては、前記ソース領域及び前記ドレイン領域の層厚は、50nm～1000nmの範囲内にあることが好ましい。

【0029】

また、本発明の電界効果トランジスタにおいては、前記酸化物導電体層は、インジウム錫酸化物(ITO)、酸化インジウム(In_2O_3)、アンチモンドープ酸化錫(Sb-SnO_2)、酸化亜鉛(ZnO)、アルミニウムドープ酸化亜鉛(Al-ZnO)、ガリウムドープ酸化亜鉛(Ga-ZnO)、酸化ルテニウム(RuO_2)、酸化イリジウム(IrO_2)、酸化錫(SnO_2)、一酸化錫 SnO 、ニオブドープ二酸化チタン(Nb-TiO_2)などの酸化物導電体材料を用いることができる。また、インジウムガリウム亜鉛複合酸化物(IGZO)、ガリウムドープ酸化インジウム(In-Ga-O (IGO))、インジウムドープ酸化亜鉛(In-Zn-O (IZO))などのアモルファス導電性

10

20

30

40

50

酸化物を用いることができる。また、チタン酸ストロンチウム (SrTiO_3)、ニオブドープチタン酸ストロンチウム (Nb-SrTiO_3)、ストロンチウムバリウム複合酸化物 (SrBaO_3)、ストロンチウムカルシウム複合酸化物 (SrCaO_3)、ルテニウム酸ストロンチウム (SrRuO_2)、酸化ニッケルランタン (LaNiO_3)、酸化チタンランタン (LaTiO_3)、酸化銅ランタン (LaCuO_3)、酸化ニッケルネオジム (NdNiO_3)、酸化ニッケルイットリウム (YNiO_3)、酸化ランタンカルシウムマンガン複合酸化物 (LCMO)、鉛酸バリウム (BaPbO_3)、 LSCO ($\text{La}_x\text{Sr}_{1-x}\text{CuO}_3$)、 LSMO ($\text{La}_{1-x}\text{Sr}_x\text{MnO}_3$)、 YBCO ($\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$)、 LNTO ($\text{La}(\text{Ni}_{1-x}\text{Ti}_x)\text{O}_3$)、 LSTO ($(\text{La}_{1-x}\text{Sr}_x)\text{TiO}_3$)、 STRO ($\text{Sr}(\text{Ti}_{1-x}\text{Ru}_x)\text{O}_3$) その他のペロブスカイト型導電性酸化物又はパイロクロア型導電性酸化物を用いることができる。

10

【0030】

また、本発明の電界効果トランジスタにおいては、前記強誘電体材料として、 PZT ($\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$)、 Nb ドープ PZT 、 La ドープ PZT 、チタン酸バリウム (BaTiO_3)、チタン酸鉛 (PbTiO_3)、 BTO ($\text{Bi}_4\text{Ti}_3\text{O}_{12}$)、 BLT ($\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$)、 SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、 BZN ($\text{Bi}_{1.5}\text{Zn}_{1.0}\text{Nb}_{1.5}\text{O}_7$) 又はビスマスフェライト (BiFeO_3) を用いることができる。

【0031】

また、本発明の電界効果トランジスタにおいては、前記常誘電体材料として、 BZN ($\text{Bi}_{1.5}\text{Zn}_{1.0}\text{Nb}_{1.5}\text{O}_7$) 又は BST ($(\text{Ba}_x\text{Sr}_{1-x})\text{Ti}_3\text{O}_{12}$) を用いることができる。

20

【0032】

また、本発明の電界効果トランジスタにおいては、ゲート電極に用いる材料として、 Pt 、 Au 、 Ag 、 Al 、 Ti 、 ITO 、 In_2O_3 、 $\text{Sb-In}_2\text{O}_3$ 、 Nb-TiO_2 、 ZnO 、 Al-ZnO 、 Ga-ZnO 、 IGZO 、 RuO_2 及び IrO_2 並びに Nb-STO 、 SrRuO_2 、 LaNiO_3 、 BaPbO_3 、 LSCO 、 LSMO 、 YBCO その他のペロブスカイト型導電性酸化物を用いることができる。また、パイロクロア型導電性酸化物又はアモルファス導電性酸化物を用いることができる。

【0033】

本発明の電界効果トランジスタは、絶縁性基板 (例えば、石英ガラス (SiO_2) 基板、 Si 基板の表面に SiO_2 層及び Ti 層を介して STO (SrTiO) 層を形成した絶縁性基板、 SiO_2/Si 基板、アルミナ (Al_2O_3) 基板、 SRO (SrRuO_3) 基板、 STO (SrTiO) 基板)、半導体基板 (例えば、シリコン (Si) 基板、炭化硅素 (SiC) 基板) 等の固体基板上に形成することができる。

30

【0034】

[9] 本発明の電界効果トランジスタの製造方法は、ソース領域及びドレイン領域並びにチャンネル領域を含む酸化物導電体層と、前記チャンネル領域の導通状態を制御するゲート電極と、前記ゲート電極と前記チャンネル領域との間に形成され強誘電体材料又は常誘電体材料からなるゲート絶縁層とを備え、前記チャンネル領域の層厚は、前記ソース領域の層厚及び前記ドレイン領域の層厚よりも薄い電界効果トランジスタを製造するための電界効果トランジスタの製造方法であって、前記チャンネル領域の層厚が前記ソース領域の層厚及び前記ドレイン領域の層厚よりも薄い前記酸化物導電体層を、型押し成形技術を用いて形成することを特徴とする。

40

【0035】

このため、本発明の電界効果トランジスタの製造方法によれば、後述する実施形態からも分かるように、型押し成形加工実施後、フォトリソグラフィープロセスなどの後加工プロセスを施すことなしにダイレクトに電界効果トランジスタを製造することが可能となるため、従来よりも大幅に少ない原材料及び製造エネルギーを用いて製造することが可能となる。

50

【0036】

[10] 本発明の電界効果トランジスタの製造方法においては、固体基板における一方の表面上に前記ゲート電極を形成する第1工程と、強誘電体材料又は常誘電体材料の原料を含む溶液を前記固体基板における一方の表面上に塗布して強誘電体材料又は常誘電体材料の原料を含む膜を形成した後、熱処理を施すことにより、前記固体基板における一方の表面上に前記ゲート絶縁層を形成する第2工程と、酸化物導電性材料の原料を含む溶液を前記ゲート絶縁層上に塗布することにより酸化物導電性材料の原料を含む膜を形成した後、前記ソース領域に対応する領域及び前記ドレイン領域に対応する領域よりも前記チャンネル領域に対応する領域が凸となるように形成された凹凸型を用いて、前記酸化物導電性材料の原料を含む膜に対して型押し成形加工を行い、さらにその後、熱処理を施すことにより、前記ソース領域、前記ドレイン領域及び前記チャンネル領域を形成する第3工程とをこの順序で含むことが好ましい。

10

【0037】

このような方法とすることにより、本発明の電界効果トランジスタ（ボトムゲート）を製造することが可能となる。

【0038】

[11] 本発明の電界効果トランジスタの製造方法において、前記第3工程においては、前記チャンネル領域に対応する領域における前記酸化物導電性材料の原料を含む膜の層厚が5nm～100nmの範囲内にある所定の層厚になるように型押し成形加工を行うことが好ましい。

20

【0039】

このような方法とすることにより、ゲート電極にオフの制御電圧を印加したときにチャンネル領域が空乏化するような構造を有し、その結果、必要なオンオフ比を維持しつつ、大きな電流を低い駆動電圧で制御することが可能な電界効果トランジスタを製造することが可能となる。

【0040】

[12] 本発明の電界効果トランジスタの製造方法においては、固体基板における一方の表面上に前記ゲート電極を形成する第1工程と、強誘電体材料又は常誘電体材料の原料を含む溶液を前記固体基板における一方の表面上に塗布して強誘電体材料又は常誘電体材料の原料を含む膜を形成した後、前記チャンネル領域に対応する領域よりも前記ソース領域に対応する領域及び前記ドレイン領域に対応する領域が凸となるように形成された凹凸型を用いて前記強誘電体材料又は常誘電体材料の原料を含む膜に対して型押し成形加工を行い、さらにその後、熱処理を施すことにより、前記ソース領域に対応する領域及び前記ドレイン領域に対応する領域よりも前記チャンネル領域に対応する領域が凸となるような構造を有する前記ゲート絶縁層を形成する第2工程と、酸化物導電性材料の原料を含む溶液を前記固体基板における一方の表面上に塗布して酸化物導電性材料の原料を含む膜を形成した後、平坦型を用いて前記酸化物導電性材料の原料を含む膜に対して型押し加工を行い、さらにその後、熱処理を施すことにより、前記ソース領域、前記ドレイン領域及びチャンネル領域を形成する第3工程とをこの順序で含むことが好ましい。

30

【0041】

このような方法とすることによっても、本発明の電界効果トランジスタ（ボトムゲート）を製造することが可能となる。

40

【0042】

[13] 本発明の電界効果トランジスタの製造方法において、前記第3工程においては、前記チャンネル領域に対応する領域における前記酸化物導電性材料の原料を含む膜の層厚が5nm～100nmの範囲内にある所定の層厚になるように型押し加工を行うことが好ましい。

【0043】

このような方法とすることにより、ゲート電極にオフの制御電圧を印加したときにチャンネル領域が空乏化するような構造を有し、その結果、必要なオンオフ比を維持しつつ、大

50

きな電流を低い駆動電圧で制御することが可能な電界効果トランジスタを製造することが可能となる。

【0044】

[14] 本発明の電界効果トランジスタの製造方法において、前記第2工程においては、前記固体基板における一方の表面上に前記強誘電体材料又は常誘電体材料の原料を含む膜を形成した後、平坦型を用いて前記強誘電体材料又は常誘電体材料の原料を含む膜の表面を平坦化することが好ましい。

【0045】

このような方法とすることにより、ゲート絶縁層の層厚及びチャネル領域の層厚が均一化され、ひいては特性が均一化された電界効果トランジスタを製造することが可能となる。

10

【0046】

[15] 本発明の電界効果トランジスタの製造方法において、前記第3工程においては、型押し成形技術を用いて前記酸化物導電性材料の原料を含む膜の一部を除去することにより素子分離する工程を含むことが好ましい。

【0047】

このような方法とすることにより、互いに独立した複数の電界効果トランジスタを同一基板内に製造することが可能となる。

【0048】

[16] 本発明の電界効果トランジスタの製造方法において、前記第1工程においては、前記ゲート電極を形成する部分にコンタクトプリンティング法を用いてめっき触媒物質を付着し、その後、当該めっき触媒物質が付着した領域に無電解めっきを施すことにより前記ゲート電極を形成することが好ましい。

20

【0049】

このような方法とすることにより、ゲート電極を構成する材料をゲート電極を形成すべき部位のみに供給することが可能となる。

【0050】

[17] 本発明の電界効果トランジスタの製造方法において、前記第1工程においては、前記ゲート電極を形成する部分にコンタクトプリンティング法を用いて親液化処理を施し、その後、当該親液化処理を施した領域にゲート電極の原料を含む原料を含むインクを供給し、さらにその後、熱処理を施すことにより前記ゲート電極を形成することが好ましい。

30

【0051】

このような方法とすることによっても、ゲート電極を構成する材料をゲート電極を形成すべき部位のみに供給することが可能となる。

【0052】

なお、本発明の電界効果トランジスタの製造方法において、前記第1工程においては、前記固体基板における一方の表面に、熱処理により導電性酸化物材料となる機能性液体材料を塗布して導電性酸化物材料の前駆体組成物層を形成し、押し成形技術を用いて当該前駆体組成物層に型押し構造を形成した後、前駆体組成物層を熱処理を施すことにより、前記ゲート電極を形成することもまた好ましい。

40

【0053】

このような方法とすることによっても、ゲート電極を構成する材料をゲート電極を形成すべき部位のみに供給することが可能となる。

【0054】

[18] 本発明の電界効果トランジスタの製造方法においては、固体基板における一方の表面上に、酸化物導電性材料の原料を含む溶液を塗布することにより酸化物導電性材料の原料を含む膜を形成した後、前記ソース領域に対応する領域及び前記ドレイン領域に対応する領域よりも前記チャネル領域に対応する領域が凸となるように形成された凹凸型を用いて、前記酸化物導電性材料の原料を含む膜に対して型押し成形加工を行い、さらにその

50

後、熱処理を施すことにより、前記ソース領域、前記ドレイン領域及び前記チャネル領域を形成する第1工程と、強誘電体材料又は常誘電体材料の原料を含む溶液を前記固体基板における一方の表面上に塗布して強誘電体材料又は常誘電体材料の原料を含む膜を形成した後、平坦型を用いて前記強誘電体材料又は常誘電体材料の原料を含む膜に対して型押し加工を行い、さらにその後、熱処理を施すことにより、前記ゲート絶縁層を形成する第2工程と、前記ゲート絶縁層上に、前記ゲート電極を形成する第3工程とをこの順序で含むことが好ましい。

【0055】

このような方法とすることにより、本発明の電界効果トランジスタ（トップゲート）を製造することが可能となる。

10

【0056】

[19]本発明の電界効果トランジスタの製造方法において、前記第1工程においては、前記チャネル領域に対応する領域における前記酸化物導電性材料の原料を含む膜の層厚が5nm~100nmの範囲内にある所定の層厚になるように型押し成形加工を行うことが好ましい。

【0057】

このような方法とすることにより、ゲート電極にオフの制御電圧を印加したときにチャネル領域が空乏化するような構造を有し、その結果、必要なオンオフ比を維持しつつ、大きな電流を低い駆動電圧で制御することが可能な電界効果トランジスタを製造することが可能となる。

20

【0058】

[20]本発明の電界効果トランジスタの製造方法において、前記第1工程においては、型押し成形技術を用いて前記酸化物導電性材料の原料を含む膜の一部を除去することにより素子分離する工程を含むことが好ましい。

【0059】

このような方法とすることにより、互いに独立した複数の電界効果トランジスタを同一基板内に製造することが可能となる。

【0060】

[21]本発明の電界効果トランジスタの製造方法において、前記第3工程においては、前記ゲート電極を形成する部分に、コンタクトプリンティング法を用いてめっき触媒物質を付着し、その後、当該めっき触媒物質が付着した領域に無電解めっきを施すことにより前記ゲート電極を形成することが好ましい。

30

【0061】

このような方法とすることにより、トップゲートの場合においても、ゲート電極を構成する材料をゲート電極を形成すべき部位のみに供給することが可能となる。

【0062】

[22]本発明の電界効果トランジスタの製造方法において、前記第3工程においては、前記ゲート電極を形成する部分にコンタクトプリンティング法を用いて親液化処理を施し、その後、当該親液化処理を施した領域にゲート電極の原料を含む原料を含むインクを供給し、さらにその後、熱処理を施すことにより前記ゲート電極を形成することが好ましい。

40

【0063】

このような方法とすることによっても、トップゲートの場合においても、ゲート電極を構成する材料をゲート電極を形成すべき部位のみに供給することが可能となる。

【0064】

なお、本発明の電界効果トランジスタの製造方法において、前記第3工程においては、前記固体基板における一方の表面に、熱処理により導電性酸化物材料となる機能性液体材料を塗布して導電性酸化物材料の前駆体組成物層を形成し、押し成形技術を用いて当該前駆体組成物層に型押し構造を形成した後、前駆体組成物層を熱処理を施すことにより、前記ゲート電極を形成することもまた好ましい。

50

【 0 0 6 5 】

このような方法とすることによっても、トップゲートの場合においても、ゲート電極を構成する材料をゲート電極を形成すべき部位のみに供給することが可能となる。

【 0 0 6 6 】

[2 3] 本発明の電界効果トランジスタの製造方法においては、酸化物導電性材料の原料を含む溶液には、完成時に前記チャネル領域のキャリア濃度が $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内になるような濃度の不純物が添加されていることが好ましい。

【 0 0 6 7 】

このような方法とすることにより、必要なオンオフ比を維持しつつ、大きな電流を低い駆動電圧で制御することが可能な電界効果トランジスタを製造することが可能となる。

10

【 図面の簡単な説明 】

【 0 0 6 8 】

【 図 1 】 実施形態 1 に係る電界効果トランジスタ 1 0 0 を説明するために示す図である。

【 図 2 】 実施形態 1 に係る電界効果トランジスタの製造方法を説明するために示す図である。

【 図 3 】 実施形態 1 に係る電界効果トランジスタの製造方法を説明するために示す図である。

【 図 4 】 実施形態 1 に係る電界効果トランジスタの製造方法を説明するために示す図である。

20

【 図 5 】 変形例 1 に係る電界効果トランジスタの製造方法を説明するために示す図である。

【 図 6 】 変形例 2 に係る電界効果トランジスタの製造方法を説明するために示す図である。

【 図 7 】 変形例 3 に係る電界効果トランジスタの製造方法を説明するために示す図である。

【 図 8 】 変形例 4 に係る電界効果トランジスタの製造方法を説明するために示す図である。

【 図 9 】 実施形態 2 に係る電界効果トランジスタ 2 0 0 を説明するために示す図である。

【 図 1 0 】 実施形態 2 に係る電界効果トランジスタの製造方法を説明するために示す図である。

30

【 図 1 1 】 実施形態 2 に係る電界効果トランジスタの製造方法を説明するために示す図である。

【 図 1 2 】 実施形態 3 に係る電界効果トランジスタ 3 0 0 を説明するために示す図である。

【 図 1 3 】 実施形態 3 に係る電界効果トランジスタの製造方法を説明するために示す図である。

【 図 1 4 】 実施形態 3 に係る電界効果トランジスタの製造方法を説明するために示す図である。

【 図 1 5 】 実施例 1 に係る電界効果トランジスタの製造方法を説明するために示す図である。

40

【 図 1 6 】 実施例 1 に用いる凹凸型 M 1 1 を説明するために示す図である。

【 図 1 7 】 実施例 1 に用いる型押し成形装置 7 0 0 を説明するために示す図である。

【 図 1 8 】 実施例 1 に係る電界効果トランジスタ 4 0 0 を説明するために示す図である。

【 図 1 9 】 I T O 層の表面状態を説明するために示す図である。

【 図 2 0 】 実施例 1 に係る電界効果トランジスタ 4 0 0 の電気特性を説明するために示す図である。

【 図 2 1 】 実施例 2 に用いる凹凸型 M 1 2 を説明するために示す図である。

【 図 2 2 】 I T O 層の表面状態を説明するために示す図である。

【 図 2 3 】 実施例 2 に係る電界効果トランジスタ 5 0 0 a の電気特性を説明するために示

50

す図である。

【図 2 4】従来の電界効果トランジスタ 9 0 0 を説明するために示す図である。

【図 2 5】従来の電界効果トランジスタの製造方法を説明するために示す図である。

【図 2 6】従来の電界効果トランジスタ 9 0 0 の電気特性を説明するために示す図である。

【発明を実施するための形態】

【0 0 6 9】

以下、本発明の電界効果トランジスタ及びその製造方法について、図に示す実施の形態に基づいて説明する。

【0 0 7 0】

[実施形態 1]

1. 実施形態 1 に係る電界効果トランジスタ 1 0 0

図 1 は、実施形態 1 に係る電界効果トランジスタ 1 0 0 を説明するために示す図である。図 1 (a) は電界効果トランジスタ 1 0 0 の断面図であり、図 1 (b) は電界効果トランジスタ 1 0 0 の平面図である。

【0 0 7 1】

実施形態 1 に係る電界効果トランジスタ 1 0 0 は、図 1 に示すように、ソース領域 1 4 4 及びドレイン領域 1 4 6 並びにチャネル領域 1 4 2 を含む酸化物導電体層 1 4 0 と、チャネル領域 1 4 2 の導通状態を制御するゲート電極 1 2 0 と、ゲート電極 1 2 0 とチャネル領域 1 4 2 との間に形成され強誘電体材料からなるゲート絶縁層 1 3 0 とを備える。チャネル領域 1 4 2 の層厚は、ソース領域 1 4 4 の層厚及びドレイン領域 1 4 6 の層厚よりも薄い。チャネル領域 1 4 2 の層厚は、好ましくは、ソース領域 1 4 4 の層厚及びドレイン領域 1 4 6 の層厚の 1 / 2 以下である。

【0 0 7 2】

実施形態 1 に係る電界効果トランジスタ 1 0 0 においては、チャネル領域 1 4 2 の層厚がソース領域 1 4 4 の層厚及びドレイン領域 1 4 6 の層厚よりも薄い酸化物導電体層 1 4 0 は、型押し成形技術を用いて形成されたものである。

【0 0 7 3】

実施形態 1 に係る電界効果トランジスタ 1 0 0 においては、チャネル領域 1 4 2 のキャリア濃度及び層厚は、ゲート電極 1 2 0 にオフの制御電圧を印加したときに、チャネル領域 1 4 2 が空乏化するような値に設定されている。具体的には、チャネル領域 1 4 2 のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内にあり、チャネル領域 1 4 2 の層厚は、5 nm ~ 1 0 0 nm の範囲内にある。

【0 0 7 4】

なお、実施形態 1 に係る電界効果トランジスタ 1 0 0 においては、ソース領域 1 4 4 及びドレイン領域 1 4 6 の層厚は、5 0 nm ~ 1 0 0 0 nm の範囲内にある。

【0 0 7 5】

酸化物導電体層 1 4 0 は、例えばインジウム錫酸化物 (I T O) からなり、ゲート絶縁層 1 3 0 は、例えば P Z T ($\text{Pb}(\text{Zr}_x, \text{Ti}_{1-x})\text{O}_3$) からなり、ゲート電極 1 2 0 は、例えば白金 (P t) からなり、固体基板としての絶縁性基板 1 1 0 は、例えば石英ガラス (SiO_2) 基板からなる。

【0 0 7 6】

2. 実施形態 1 に係る電界効果トランジスタの製造方法

実施形態 1 に係る電界効果トランジスタ 1 0 0 は、第 1 工程 ~ 第 3 工程をこの順序で含む電界効果トランジスタの製造方法 (実施形態 1 に係る電界効果トランジスタの製造方法) により製造することができる。以下、工程順に説明する。

【0 0 7 7】

図 2 ~ 図 4 は、実施形態 1 に係る電界効果トランジスタの製造方法を説明するために示す図である。図 2 (a) ~ 図 2 (c)、図 3 (a) ~ 図 3 (d) 及び図 4 (a) ~ 図 4 (d) は各工程図である。

10

20

30

40

50

【 0 0 7 8 】

(1) 第 1 工程

第 1 工程は、絶縁性基板 1 1 0 における一方の表面上にゲート電極 1 2 0 を形成する工程である (図 2 参照。) 。

【 0 0 7 9 】

まず、図 2 (a) に示すように、絶縁性基板 1 1 0 における一方の表面に、少なくとも凸部分にめっき触媒物質としてのめっき触媒微粒子 1 2 2 を付着させておいた凹凸型 (凹凸モールドということもある。) M 1 を押し付けることにより、図 2 (b) に示すように、絶縁性基板 1 1 0 におけるゲート電極 1 2 0 を形成する部分にめっき触媒微粒子 1 2 2 を付着させる。

10

【 0 0 8 0 】

次に、無電解めっきを施すことにより、めっき触媒微粒子 1 2 2 が付着した領域に例えば白金 (Pt) からなるゲート電極 1 2 0 を形成する。

【 0 0 8 1 】

(2) 第 2 工程

第 2 工程は、絶縁性基板 1 1 0 における一方の表面上にゲート絶縁層 1 3 0 を形成する工程である (図 3 (a) ~ 図 3 (c) 参照。) 。

【 0 0 8 2 】

まず、図 3 (a) 及び図 3 (b) に示すように、絶縁性基板 1 1 0 における一方の表面上に、強誘電体材料の原料を含む溶液 (例えば、PZTゾルゲル溶液) を塗布して強誘電体材料の原料を含む膜 1 3 0 ' を形成する。

20

【 0 0 8 3 】

次に、図 3 (c) に示すように、強誘電体材料の原料を含む膜 1 3 0 ' に平坦型 (フラットモールドということもある。) M 2 を押し付けることにより、強誘電体材料の原料を含む膜 1 3 0 ' を平坦化する。

次に、平坦化された強誘電体材料の原料を含む膜 1 3 0 ' に熱処理を施すことにより、絶縁性基板 1 1 0 における一方の表面上にゲート絶縁層 1 3 0 を形成する (図示せず。) 。

【 0 0 8 4 】

(3) 第 3 工程

第 3 工程は、ゲート絶縁層 1 3 0 上に、ソース領域 1 4 4、ドレイン領域 1 4 6 及びチャンネル領域 1 4 2 を含む酸化物導電体層 1 4 0 を形成する工程である (図 3 (d) ~ 図 4 (d) 参照。) 。

30

【 0 0 8 5 】

まず、図 3 (d) に示すように、酸化物導電性材料の原料を含む溶液 (例えば、ITOゾルゲル溶液) をゲート絶縁層 1 3 0 上に塗布することにより酸化物導電性材料の原料を含む膜 1 4 0 ' を形成する。なお、酸化物導電性材料の原料を含む溶液には、完成時にチャンネル領域 1 4 2 のキャリア濃度が $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内になるような濃度の不純物が添加されている。

【 0 0 8 6 】

次に、図 4 (a) ~ 図 4 (c) に示すように、ソース領域 1 4 4 に対応する領域及びドレイン領域 1 4 6 に対応する領域よりもチャンネル領域 1 4 2 に対応する領域が凸となるように形成された凹凸型 M 3 を用いて、酸化物導電性材料の原料を含む膜 1 4 0 ' に対して型押し成形加工を行う。このとき、チャンネル領域 1 4 2 に対応する領域における酸化物導電性材料の原料を含む膜 1 4 0 ' の層厚が 5 nm ~ 100 nm の範囲内にある所定の層厚になるように型押し成形加工を行う。これにより、酸化物導電性材料の原料を含む膜 1 4 0 ' のうちチャンネル領域 1 4 2 となる部分の層厚が他の部分よりも薄くなる。なお、凹凸型 M 3 は、チャンネル領域 1 4 2 に対応する領域よりも素子分離領域に対応する領域がさらに凸となるような構造を有しており、これによって、素子分離領域上からは酸化物導電性材料の原料を含む膜 1 4 0 ' が除去されることとなる (図 4 (c) 参照。) 。

40

50

は、素子分離領域に対応する領域部分が先細となった形状を有していてもよい。

【0087】

次に、酸化物導電性材料の原料を含む膜140'に熱処理を施すことにより、ソース領域144、ドレイン領域146及びチャンネル領域142を含む酸化物導電体層140を形成し、図4(d)に示すようなボトムゲート構造を有する、実施形態1に係る電界効果トランジスタ100を製造することができる。

【0088】

3. 実施形態1に係る電界効果トランジスタ100の効果

以上のようにして製造された実施形態1に係る電界効果トランジスタ100によれば、チャンネル領域142を構成する材料として酸化物導電性材料を用いているためキャリア濃度を高くすることができ、また、ゲート絶縁層130を構成する材料として強誘電体材料を用いているため低い駆動電圧で高速にスイッチングすることができ、その結果、従来の電界効果トランジスタ900の場合と同様に、大きな電流を低い駆動電圧で高速に制御することが可能となる。

【0089】

また、実施形態1に係る電界効果トランジスタ100によれば、チャンネル領域142の層厚がソース領域144の層厚及びドレイン領域146の層厚よりも薄い酸化物導電体層140を形成するだけで電界効果トランジスタを製造することが可能となるため、従来の電界効果トランジスタの場合のようにチャンネル領域とソース領域及びドレイン領域とを異なる材料から形成しなくてもよくなり、上記のように優れた電界効果トランジスタを、従来よりも大幅に少ない原材料及び製造エネルギーを用いて製造することが可能となる。

【0090】

また、実施形態1に係る電界効果トランジスタ100によれば、チャンネル領域の層厚がソース領域の層厚及びドレイン領域の層厚よりも薄い酸化物導電体層140が型押し成形技術を用いて形成されたものであるため、型押し成形加工実施後、フォトリソグラフィープロセスなどの後加工プロセスを施すことなしにダイレクトに電界効果トランジスタを製造することが可能となり、従来よりも大幅に少ない原材料及び製造エネルギーを用いて電界効果トランジスタを製造することが可能となる。

【0091】

また、実施形態1に係る電界効果トランジスタ100によれば、チャンネル領域142のキャリア濃度及び層厚は、ゲート電極120にオフの制御電圧を印加したときに、チャンネル領域142が空乏化するような値に設定されているため、酸化物導電体層のキャリア濃度を高くしたとしてもオフ時に流れる電流量を十分低くでき、必要なオンオフ比を維持しつつ大きな電流を低い駆動電圧で制御することが可能となる。

【0092】

また、実施形態1に係る電界効果トランジスタ100によれば、チャンネル領域142のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内にあり、チャンネル領域142の層厚は、 $5 \text{ nm} \sim 100 \text{ nm}$ の範囲内にあるため、必要なオンオフ比を維持しつつ大きな電流を低い駆動電圧で制御することが可能となる。

【0093】

4. 実施形態1に係る電界効果トランジスタの製造方法の効果

実施形態1に係る電界効果トランジスタの製造方法によれば、型押し成形加工実施後、フォトリソグラフィープロセスなどの後加工プロセスを施すことなしにダイレクトに電界効果トランジスタを製造することが可能となるため、上記のように優れた電界効果トランジスタを、従来よりも大幅に少ない原材料及び製造エネルギーを用いて製造することが可能となる。

【0094】

また、実施形態1に係る電界効果トランジスタの製造方法によれば、上記したように、ゲート電極120を形成する第1工程と、ゲート絶縁層130を形成する第2工程と、ソース領域144、ドレイン領域146及びチャンネル領域142を含む酸化物導電体層14

10

20

30

40

50

0を形成する第3工程とをこの順序で含むため、ボトムゲートからなる実施形態1に係る電界効果トランジスタ100を製造することができる。

【0095】

また、実施形態1に係る電界効果トランジスタの製造方法によれば、第3工程において、チャンネル領域142に対応する領域における酸化物導電性材料の原料を含む膜140'の層厚が5nm~100nmの範囲内にある所定の層厚になるように型押し成形加工を行うため、ゲート電極120にオフの制御電圧を印加したときにチャンネル領域142が空乏化するような構造を有し、その結果、必要なオンオフ比を維持しつつ大きな電流を低い駆動電圧で制御することが可能な電界効果トランジスタを製造することが可能となる。

【0096】

また、実施形態1に係る電界効果トランジスタの製造方法によれば、第3工程において、型押し成形技術を用いて酸化物導電性材料の原料を含む膜140'の一部を除去することにより素子分離する工程を含むため、互いに独立した複数の電界効果トランジスタを同一基板上に製造することが可能となる。

【0097】

また、実施形態1に係る電界効果トランジスタの製造方法によれば、第1工程において、ゲート電極120を形成する部分にコンタクトプリンティング法を用いてめっき触媒微粒子122を付着し、その後、当該めっき触媒微粒子122が付着した領域に無電解めっきを施すことによりゲート電極120を形成することとしているため、ゲート電極を構成する材料をゲート電極120を形成すべき部位のみに供給することが可能となる。

【0098】

また、実施形態1に係る電界効果トランジスタの製造方法によれば、酸化物導電性材料の原料を含む溶液には、完成時にチャンネル領域142のキャリア濃度が $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内になるような濃度の不純物が添加されているため、必要なオンオフ比を維持しつつ大きな電流を低い駆動電圧で制御することが可能な電界効果トランジスタを製造することが可能となる。

【0099】

[変形例1]

図5は、変形例1に係る電界効果トランジスタの製造方法を説明するために示す図である。図5(a)~図5(c)は各工程図である。

【0100】

変形例1に係る電界効果トランジスタの製造方法は、基本的には実施形態1に係る電界効果トランジスタの製造方法と同様の工程を含むが、第1工程の内容が実施形態1に係る電界効果トランジスタの製造方法の場合と異なる。すなわち、変形例1に係る電界効果トランジスタの製造方法における第1工程は、図5(a)及び図5(b)に示すように、絶縁性基板110におけるゲート電極120を形成する部分にコンタクトプリンティング法を用いて無電解めっき用触媒溶液(例えばニッケル、パラジウム、銀、白金の塩の溶液)を接触させることによりめっき触媒能を有するイオン123を付着させ、その後、無電解めっきを施すことにより、図5(c)に示すように、当該めっき触媒能を有するイオン123が付着している領域に白金(Pt)からなるゲート電極120を形成することとしている。このような方法によっても、実施形態1に係る電界効果トランジスタの製造方法の場合と同様に、ゲート電極120を形成することができる。

【0101】

[変形例2]

図6は、変形例2に係る電界効果トランジスタの製造方法を説明するために示す図である。図6(a)~図6(c)は各工程図である。

【0102】

変形例2に係る電界効果トランジスタの製造方法は、基本的には実施形態1に係る電界効果トランジスタの製造方法と同様の工程を含むが、第1工程の内容が実施形態1に係る電界効果トランジスタの製造方法の場合と異なる。すなわち、変形例2に係る電界効果ト

10

20

30

40

50

ランジスタの製造方法における第1工程は、図6(a)及び図6(b)に示すように、絶縁性基板110におけるゲート電極120を形成する部分にコンタクトプリンティング法を用いて親液化剤(例えばFAS17)を接触させることにより親液化処理を施し、その後、当該親液化処理を施した領域124にゲート電極の原料を含む原料を含むインクを供給して熱処理を施すことにより、図6(c)に示すようにゲート電極120を形成することとしている。このような方法によっても、実施形態1に係る電界効果トランジスタの製造方法の場合と同様に、ゲート電極120を形成することができる。

【0103】

[変形例3]

図7は、変形例3に係る電界効果トランジスタの製造方法を説明するために示す図である。図7(a)~図7(e)は各工程図である。

10

【0104】

変形例3に係る電界効果トランジスタの製造方法は、基本的には実施形態1に係る電界効果トランジスタの製造方法と同様の工程を含むが、第1工程の内容が実施形態1に係る電界効果トランジスタの製造方法の場合と異なる。すなわち、変形例3に係る電界効果トランジスタの製造方法における第1工程は、図7(a)及び図7(b)に示すように、絶縁性基板110におけるゲート電極120を形成する部分にコンタクトプリンティング法を用いて親液化処理を施し、その後、図7(c)及び図7(d)に示すように、めっき触媒能を有するイオンを含む溶液中に基板を浸漬することにより、当該親液化処理を施した領域125にめっき触媒能を有するイオン126を付着させ、その後、無電解めっきを施すことにより、図7(e)に示すように、当該めっき触媒能を有するイオン126が付着している領域に白金(Pt)からなるゲート電極120を形成することとしている。このような方法によっても、実施形態1に係る電界効果トランジスタの製造方法の場合と同様に、ゲート電極120を形成することができる。

20

【0105】

[変形例4]

図8は、変形例4に係る電界効果トランジスタの製造方法を説明するために示す図である。図8(a)~図8(e)は各工程図である。

【0106】

変形例4に係る電界効果トランジスタの製造方法は、基本的には実施形態1に係る電界効果トランジスタの製造方法と同様の工程を含むが、第1工程の内容が実施形態1に係る電界効果トランジスタの製造方法の場合と異なる。すなわち、変形例4に係る電界効果トランジスタの製造方法における第1工程においては、以下に示すように、型押し成形技術を用いてゲート電極120を形成することとしている。

30

【0107】

まず、熱処理することにより酸化ニッケルランタン(LaNiO_3)となる機能性液体材料を準備する。具体的には、金属無機塩(硝酸ランタン(六水和物)及び酢酸ニッケル(四水和物))を含有する溶液(溶媒:2-メトキシエタノール)を準備する。

【0108】

次に、図8(a)及び図8(b)に示すように、絶縁性基板110における一方の表面に、スピンコート法を用いて機能性液体材料を塗布し(例えば、 $500\text{rpm} \cdot 25\text{秒}$)、その後、絶縁性基板110をホットプレート上に置き60で1分間乾燥させることにより、酸化ニッケルランタンの前駆体組成物層120'(層厚300nm)を形成する。

40

【0109】

次に、図8(c)及び図8(d)に示すように、ゲート電極120に対応する領域が凹となるように形成された凹凸型M1a(高低差300nm)を用いて、150で前駆体組成物層120'に対して型押し加工を施すことにより、前駆体組成物層120'に型押し構造(凸部の層厚300nm、凹部の層厚50nm)を形成する。型押し加工を施すときの圧力は、5MPaとする。

【0110】

50

次に、前駆体組成物層 120' を全面エッチングすることにより、ゲート電極 120 に対応する領域以外の領域から前駆体組成物層を完全に除去する（全面エッチング工程）。全面エッチング工程は、ウェットエッチング技術（HF：HCl 溶液）を用いて真空プロセスを用いることなく行う。

【0111】

最後に、前駆体組成物層 120' を RTA 装置を用いて高温で（650、10 分間）熱処理することにより、図 8（e）に示すように、前駆体組成物層 120' から、酸化ニッケルランタンからなるゲート電極 120 を形成する。このような方法によっても、実施形態 1 に係る電界効果トランジスタの製造方法の場合と同様に、ゲート電極 120 を形成することができる。

10

【0112】

このため、変形例 1～4 に係る電界効果トランジスタの製造方法によれば、実施形態 1 に係る電界効果トランジスタの製造方法の場合と同様に、ゲート電極を構成する材料をゲート電極 120 を形成すべき部位のみに供給することが可能となる。

【0113】

なお、変形例 1～4 に係る電界効果トランジスタの製造方法は、第 1 工程以外の点においては実施形態 1 に係る電界効果トランジスタの製造方法の場合と同様の工程を含むため、実施形態 1 に係る電界効果トランジスタの製造方法が有する効果のうち該当する効果をそのまま有する。

【0114】

20

[実施形態 2]

図 9 は、実施形態 2 に係る電界効果トランジスタ 200 を説明するために示す図である。図 9（a）は電界効果トランジスタ 200 の断面図であり、図 9（b）は電界効果トランジスタ 200 の平面図である。

【0115】

実施形態 2 に係る電界効果トランジスタ 200 は、基本的には実施形態 1 に係る電界効果トランジスタ 100 と同様の構成を有するが、ゲート絶縁層の構成が実施形態 1 に係る電界効果トランジスタ 100 の場合と異なる。すなわち、実施形態 2 に係る電界効果トランジスタ 200 においては、図 9 に示すように、ゲート絶縁層 230 がゲート電極 220 を覆う領域が凸となるような構造を有する。また、これに伴い、酸化物導電体層の構造も異なる。

30

【0116】

このように、実施形態 2 に係る電界効果トランジスタ 200 は、ゲート絶縁層及び酸化物導電体層の構成が実施形態 1 に係る電界効果トランジスタ 100 の場合と異なるが、チャンネル領域 242 を構成する材料として酸化物導電性材料を用いているためキャリア濃度を高くすることができ、また、ゲート絶縁層 230 を構成する材料として強誘電体材料を用いているため低い駆動電圧で高速にスイッチングすることができ、その結果、実施形態 1 に係る電界効果トランジスタ 100 の場合と同様に、大きな電流を低い駆動電圧で高速に制御することが可能となる。また、チャンネル領域 242 の層厚がソース領域 244 の層厚及びドレイン領域 246 の層厚よりも薄い酸化物導電体層を形成するだけで電界効果トランジスタを製造することが可能となるため、実施形態 1 に係る電界効果トランジスタ 100 の場合と同様に、上記のように優れた電界効果トランジスタを、従来よりも大幅に少ない原材料及び製造エネルギーを用いて製造することが可能となる。

40

【0117】

なお、実施形態 2 に係る電界効果トランジスタ 200 は、第 1 工程～第 3 工程をこの順序で含む電界効果トランジスタの製造方法（実施形態 2 に係る電界効果トランジスタの製造方法）により製造することができる。以下、工程順に説明する。

【0118】

図 10 及び図 11 は、実施形態 2 に係る電界効果トランジスタの製造方法を説明するために示す図である。図 10（a）～図 10（d）及び図 11（a）～図 11（d）は各工

50

程図である。

【0119】

(1) 第1工程

第1工程は、絶縁性基板210における一方の表面上にゲート電極220を形成する工程である(図10(a)参照。)。実施形態1に係る電界効果トランジスタの製造方法の場合と同じである。変形例1~4に係る電界効果トランジスタの製造方法の場合と同じでもよい。

【0120】

(2) 第2工程

第2工程は、絶縁性基板210における一方の表面上に、ソース領域244に対応する領域及びドレイン領域246に対応する領域よりもチャンネル領域242に対応する領域が凸となるような構造を有するゲート絶縁層230を形成する工程である(図10(b)~図10(d)参照。)。 10

【0121】

まず、図10(b)に示すように、強誘電体材料の原料を含む溶液を絶縁性基板210における一方の表面上に塗布して強誘電体材料の原料を含む膜230'を形成する。

【0122】

次に、図10(c)に示すように、強誘電体材料の原料を含む膜230'に平坦型M4を押し付けることにより、強誘電体材料の原料を含む膜230'を平坦化する。 20

【0123】

次に、図10(d)に示すように、チャンネル領域242に対応する領域よりもソース領域244に対応する領域及びドレイン領域146に対応する領域が凸となるように形成された凹凸型M5を用いて強誘電体材料の原料を含む膜に対して型押し成形加工を行う。

【0124】

次に、型押し成形加工の施された強誘電体材料の原料を含む膜230'に、熱処理を施すことにより、絶縁性基板210における一方の表面上にゲート絶縁層230を形成する(図示せず。)。 30

【0125】

(3) 第3工程

第3工程は、ゲート絶縁層230上に、ソース領域244、ドレイン領域246及びチャンネル領域242を含む酸化物導電体層240を形成する工程である(図11(a)~図11(d)参照。)。 40

【0126】

まず、図11(a)に示すように、酸化物導電性材料の原料を含む溶液を絶縁性基板210における一方の表面上に塗布して酸化物導電性材料の原料を含む膜240'を形成する。なお、酸化物導電性材料の原料を含む溶液には、完成時にチャンネル領域242のキャリア濃度が $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内になるような濃度の不純物が添加されている。

【0127】

次に、図11(b)に示すように、平坦型M6を用いて酸化物導電性材料の原料を含む膜240'に対して型押し加工を行い、酸化物導電性材料の原料を含む膜240'を平坦化する。このとき、チャンネル領域242に対応する領域における酸化物導電性材料の原料を含む膜240'の層厚が5nm~100nmの範囲内にある所定の層厚になるように型押し加工を行う。 40

【0128】

次に、図11(c)に示すように、素子分離領域に対応する領域が凸となるように形成された凹凸型M7を用いて酸化物導電性材料の原料を含む膜240'をさらに型押しすることにより、素子分離領域上から酸化物導電性材料の原料を含む膜240'を除去する。

【0129】

次に、酸化物導電性材料の原料を含む膜240'に熱処理を施すことにより、ソース領 50

域 2 4 4、ドレイン領域 2 4 6 及びチャネル領域 2 4 2 を含む酸化物導電体層 2 4 0 を形成し、図 1 1 (d) に示すようなボトムゲート構造を有する、実施形態 2 に係る電界効果トランジスタ 1 0 0 を製造することができる。

【 0 1 3 0 】

[実施形態 3]

図 1 2 は、実施形態 3 に係る電界効果トランジスタ 3 0 0 を説明するために示す図である。図 1 2 (a) は電界効果トランジスタ 3 0 0 の断面図であり、図 1 2 (b) は電界効果トランジスタ 3 0 0 の平面図である。

【 0 1 3 1 】

実施形態 3 に係る電界効果トランジスタ 3 0 0 は、基本的には実施形態 1 に係る電界効果トランジスタ 1 0 0 と同様の構成を有するが、トップゲート構造を有する点で実施形態 1 に係る電界効果トランジスタ 1 0 0 の場合と異なる。すなわち、実施形態 3 に係る電界効果トランジスタ 3 0 0 においては、図 1 2 に示すように、絶縁性基板 3 1 0 の上方に、酸化物導電体層 3 4 0、ゲート絶縁層 3 3 0 及びゲート電極 3 2 0 とがこの順序で形成された構造を有する。

10

【 0 1 3 2 】

このように、実施形態 3 に係る電界効果トランジスタ 3 0 0 は、トップゲート構造を有する点で実施形態 1 に係る電界効果トランジスタ 1 0 0 の場合と異なるが、チャネル領域 3 4 2 を構成する材料として酸化物導電性材料を用いているためキャリア濃度を高くすることができ、また、ゲート絶縁層 3 2 0 を構成する材料として強誘電体材料を用いているため低い駆動電圧で高速にスイッチングすることができ、その結果、実施形態 1 に係る電界効果トランジスタの場合と同様に、大きな電流を低い駆動電圧で高速に制御することが可能となる。また、チャネル領域 3 4 2 の層厚がソース領域 3 4 4 の層厚及びドレイン領域 3 4 6 の層厚よりも薄い酸化物導電体層 3 4 0 を形成するだけで電界効果トランジスタを製造することが可能となるため、実施形態 1 に係る電界効果トランジスタの場合と同様に、上記のように優れた電界効果トランジスタを、従来よりも大幅に少ない原材料及び製造エネルギーを用いて製造することが可能となる。

20

【 0 1 3 3 】

なお、実施形態 3 に係る電界効果トランジスタ 3 0 0 は、第 1 工程～第 3 工程をこの順序で含む電界効果トランジスタの製造方法（実施形態 3 に係る電界効果トランジスタの製造方法）により製造することができる。以下、工程順に説明する。

30

【 0 1 3 4 】

図 1 3 及び図 1 4 は、実施形態 3 に係る電界効果トランジスタの製造方法を説明するために示す図である。図 1 3 (a) ～図 1 3 (e) 及び図 1 4 (a) ～図 1 4 (c) は各工程図である。

【 0 1 3 5 】

(1) 第 1 工程

第 1 工程は、絶縁性基板 3 1 0 における一方の表面上にソース領域 3 4 4、ドレイン領域 3 4 6 及びチャネル領域 3 4 2 を含む酸化物導電体層 3 4 0 を形成する工程である（図 1 3 (a) ～図 1 3 (c) 参照。）。

40

【 0 1 3 6 】

まず、図 1 3 (a) 及び図 1 3 (b) に示すように、絶縁性基板 3 1 0 における一方の表面上に、酸化物導電性材料の原料を含む溶液を塗布することにより酸化物導電性材料の原料を含む膜 3 4 0 ' を形成する。

【 0 1 3 7 】

次に、図 1 3 (c) に示すように、ソース領域 3 4 4 に対応する領域及びドレイン領域 3 4 6 に対応する領域よりもチャネル領域 3 4 2 に対応する領域が凸となるように形成された凹凸型 M 8 を用いて、酸化物導電性材料の原料を含む膜 3 4 0 ' に対して型押し成形加工を行う。このとき、チャネル領域 3 4 2 に対応する領域における酸化物導電性材料の原料を含む膜 3 4 0 ' の層厚が 5 n m ～ 1 0 0 n m の範囲内にある所定の層厚になるよう

50

に型押し成形加工を行う。これにより、酸化物導電性材料の原料を含む膜 340' のうちチャンネル領域 342 となる部分の層厚が他の部分よりも薄くなる。なお、凹凸型 M8 は、チャンネル領域 342 に対応する領域よりも素子分離領域に対応する領域がさらに凸となるような構造を有しており、これによって、素子分離領域上からは酸化物導電性材料の原料を含む膜 340' が除去されることとなる（図 13(c) 参照。）。

【0138】

次に、酸化物導電性材料の原料を含む膜 340' に熱処理を施すことにより、ソース領域 344、ドレイン領域 346 及びチャンネル領域 342 を含む酸化物導電体層 340 を形成する（図示せず。）。

【0139】

(2) 第 2 工程

第 2 工程は、ソース領域 344、ドレイン領域 346 及びチャンネル領域 342 を含む酸化物導電体層 340 上にゲート絶縁層 330 を形成する工程である（図 13(d) 及び図 11(e) 参照。）。

【0140】

まず、図 11(d) に示すように、強誘電体材料の原料を含む溶液を絶縁性基板 310 における一方の表面上に塗布して強誘電体材料の原料を含む膜 330' を形成する。

【0141】

次に、平坦型 M9 を用いて強誘電体材料の原料を含む膜 330' に対して型押し加工を行い、強誘電体材料の原料を含む膜 330' を平坦化する。

【0142】

次に、平坦化された強誘電体材料の原料を含む膜 330' に熱処理を施すことにより、ゲート絶縁層 330 を形成する（図示せず。）。

【0143】

(3) 第 3 工程

第 3 工程は、ゲート絶縁層 330 上に、ゲート電極 320 を形成する工程である（図 14(a) ~ 図 14(c) 参照。）。

【0144】

まず、図 14(a) に示すように、ゲート絶縁層 330 上に、少なくとも凸部分にめっき触媒微粒子 322 を付着させておいた凹凸型 M10 を押し付けることにより、図 14(b) に示すように、ゲート絶縁層 330 におけるゲート電極 320 を形成する部分にめっき触媒微粒子 322 を付着させる。

【0145】

次に、無電解めっきを施すことにより、めっき触媒微粒子 322 が付着した領域に、例えば白金 (Pt) からなるゲート電極 320 を形成する。

【0146】

なお、第 3 工程は、実施形態 1 における変形例 1 ~ 4 に係る電界効果トランジスタの製造方法の第 1 工程の方法を適用することもできる。

【0147】

このような方法により、トップゲート構造を有する、実施形態 3 に係る電界効果トランジスタ 300 を製造することが可能となる。

【実施例】

【0148】

以下、実施例により、型押し成形技術を用いて本発明の電界効果トランジスタを製造することができることを示す。

【0149】

[実施例 1]

1. 電界効果トランジスタ 400 の作製

図 15 は、実施例 1 に係る電界効果トランジスタの製造方法を説明するために示す図である。図 15(a) ~ 図 15(e) は各工程図である。図 16 は、実施例 1 に用いる凹凸

10

20

30

40

50

型 M 1 1 を説明するために示す図である。図 1 7 は、実施例 1 に用いる型押し成形加工装置 7 0 0 を説明するために示す図である。なお、図 1 7 中、符号 7 1 0 は下型、符号 7 1 2 は断熱板、符号 7 1 4 はヒーター、符号 7 1 6 は載置部、符号 7 1 8 は吸引部、符号 7 2 0 は上型、符号 7 2 2 はヒーター、符号 7 2 4 は固定部、符号 7 2 6 は石英ガラス基材を示す。

【 0 1 5 0 】

以下の「下地 P t 基板準備工程」、「P Z T 層形成工程」、「I T O 層形成工程」、「型押し成形加工工程」及び「I T O 層焼成工程」をこの順序で実施することにより実施例 1 に係る電界効果トランジスタ 4 0 0 を製造した。以下、工程順に説明する。

【 0 1 5 1 】

(1) 下地 P t 基板準備工程

まず、図 1 5 (a) に示すように、下地 P t 基板 (S i 基板 4 1 2 上に S i O 2 層 4 1 4 を形成した絶縁性基板 4 1 0 の全面にゲート電極としての P t 層 4 2 0 を形成したものと / 田中貴金属製) を準備した。なお、絶縁性基板 4 1 0 の全面に P t 層 4 2 0 を形成したのは、平坦型を用いて型押しする際に均一に型押しできるようにするためである。

【 0 1 5 2 】

(2) ゲート絶縁層形成工程

次に、図 1 5 (b) に示すように、下地 P t 基板上に、ゲート絶縁層としての P Z T 層 4 3 0 を形成した。P Z T 層 4 3 0 の形成は、下地 P t 基板上に、強誘電体材料の原料を含む溶液としての P Z T ゼルゲル溶液 (三菱マテリアル製) を 2 5 0 0 r p m ・ 2 5 秒のスピコート条件で塗布し、ホットプレート上で 2 2 0 ° C ・ 5 分で乾燥させる操作を 4 回繰り返した後、ホットプレート上で 3 5 0 ° C ・ 1 0 分で仮焼成し、さらには、R T A 装置を用いて 6 5 0 ° C ・ 2 0 分の条件で P Z T 層を結晶化させることにより行った。

【 0 1 5 3 】

(3) I T O 層形成工程

次に、5 分の U V 洗浄 ($\lambda = 2 5 4 \text{ nm}$) により P Z T 基板から有機残渣を除去した後、図 1 5 (c) に示すように、酸化物導電性材料の原料を含む膜としての I T O 層 4 4 0 ' を形成した。I T O 層 4 4 0 ' の形成は、P Z T 層 4 3 0 上に、酸化物導電性材料の原料を含む溶液としての I T O ゼルゲル溶液 (高純度化学製 / 原液 : 希釈剤 = 1 : 1 . 5) を 2 5 0 0 r p m ・ 2 5 秒のスピコート条件で塗布し、ホットプレート上で 1 5 0 ° C ・ 5 分の条件で乾燥させることにより行った。なお、I T O ゼルゲル溶液には、完成時にチャンネル領域のキャリア濃度が $1 \times 1 0^{18} \text{ cm}^{-3} \sim 1 \times 1 0^{21} \text{ cm}^{-3}$ の範囲内になるような濃度の不純物が添加されている。

【 0 1 5 4 】

(4) 型押し成形加工工程

その後、I T O 層 4 4 0 ' の離型性を向上させる目的で I T O 層 4 4 0 ' 上に離型剤 H D - 1 1 0 1 (ダイキン化成製) をスピコートにより塗布した後、ホットプレート上で 6 0 ° C ・ 5 分の条件で乾燥させた。なお、型側の離型処理は、ディップコートタイプ離型剤 Z H - 1 1 0 1 (ダイキン化成製) により行った。

【 0 1 5 5 】

次に、図 1 5 (d) に示すように、ソース領域 / ドレイン領域 4 4 4 (図 1 5 (e) 参照。) に対応する領域よりもチャンネル領域 4 4 2 (図 1 5 (e) 参照。) に対応する領域が凸となるように形成された凹凸型 M 1 1 (図 1 6 参照。) を用いて、I T O 層 4 4 0 ' に対して型押し成形加工を行った。型押し成形加工は、型押し成形加工装置 7 0 0 (東芝機械製の型押し成形加工装置 S T 5 0 / 図 1 7 参照。) を用いて行った。

【 0 1 5 6 】

なお、凹凸型 M 1 1 は、図 1 6 に示すように、1 0 mm × 1 0 mm の正形状の中央部に 2 mm × 2 mm のパターン領域を有し、当該パターン領域の中には幅 1 μm 、高さ 1 5 0 nm の格子状パターンが形成されたものである。凹凸型 M 1 1 は両面テープを用いて石英ガラス基材 7 2 6 に固定する。

10

20

30

40

50

【0157】

型押し成形加工におけるプレス力は、 0.3 kN (3 MPa 、 1 cm)として、プレス力が加わった時点で 70 から昇温していき、プレス力を保持した状態で 180 まで加熱した。保持時間は 15 分とした。その後、水で冷却して、温度が 70 になった時点で離型を行った。

【0158】

(5) ITO層焼成工程

次に、ホットプレート上で 400 ・ 10 分の条件でITO層 $440'$ の焼成を行い、その後、RTA装置を用いて 650 ・ 30 分(前半 15 分酸素雰囲気、後半の 15 分窒素雰囲気)の条件でITO層膜 $440'$ を加熱してITO層を結晶化させ、結晶化されたITO層 440 を形成した。

10

【0159】

以上の工程を経て、実施例1に係る電界効果トランジスタ 400 が得られた。

【0160】

2. 電界効果トランジスタ 400 の評価(1) 電界効果トランジスタ 400 の構造

図18は、実施例1に係る電界効果トランジスタ 400 を説明するために示す図である。図18(a)は電界効果トランジスタ 400 の断面図であり、図18(b)は電気的測定を行っているときの電界効果トランジスタ 400 の平面図であり、図18(c)は電気的測定を行っているときの電界効果トランジスタ 400 の断面図である。

20

【0161】

実施例1に係る電界効果トランジスタ 400 においては、図18に示すように、凹凸型M11の凸部によって型押しされた部分がチャンネル領域 442 となり、凹凸型M11の凹部によって型押しされた部分がソース/ドレイン領域 444 となる。

【0162】

(2) 電界効果トランジスタ 400 の表面状態

得られた電界効果トランジスタ 400 におけるITO層焼成工程前のITO層 $440'$ 及びITO層焼成工程後のITO層 440 の状態をレーザー顕微鏡OLS-3000(オリンパス製)及びSPM(SII・ナノテクノロジー製)を用いて観察した。

【0163】

図19は、ITO層の表面状態を説明するために示す図である。図19(a)における左側の写真はITO層焼成工程前におけるITO層 $440'$ のレーザー顕微鏡写真であり、図19(a)における右側の写真は左側の写真で破線で囲った領域を拡大したものである。また、図19(b)はITO層焼成工程後におけるITO層 440 のSPM写真である。なお、図19(b)において中央部で窪んでいる部分がチャンネル領域 442 に対応する領域である。

30

【0164】

実施例1に係る電界効果トランジスタ 400 においては、図19(a)からも分かるように、パターン領域全体にわたってレーザー顕微鏡の濃淡差の少ない(すなわち高低差の小さい)均一な構造が得られている。また、図19(b)からも分かるように、長さが約 $1\text{ }\mu\text{m}$ のチャンネル領域 442 と、ソース/ドレイン領域 444 との間に $50\text{ nm} \sim 60\text{ nm}$ の高低差が形成されている。

40

【0165】

(3) 電界効果トランジスタ 400 の電気特性

まず、ITO層 440 の端部を 1% フッ酸によりウェットエッチングし、下部のPt電極 420 を露出させ、ゲート電極用のプローブを押し当てた。その後、図18(b)及び図18(c)に示すように、チャンネル領域 442 を挟む位置にある2つのソース/ドレイン領域 444 のそれぞれにソース用プローブ及びドレイン用プローブを押し当てた(図18中、符号IV1をご参照)。

その後、電界効果トランジスタ 400 における電気特性(ドレイン電流 I_D とゲート電

50

圧 V_G との間の $I_D - V_G$ 特性、ドレイン電流 I_D とドレイン電圧 V_D との間の $I_D - V_D$ 特性) を半導体パラメータアナライザ (アジレント製) を用いて測定した。

【0166】

図20は、実施例1に係る電界効果トランジスタ400の電気特性を説明するために示す図である。図20(a)は $I_D - V_G$ 特性を示す図であり、図20(b)は $I_D - V_D$ 特性を示す図である。なお、 $I_D - V_G$ 特性を測定するに当たっては、ドレイン電圧 V_D を2.5Vに固定した状態で -3V ~ +3V の範囲でゲート電圧 V_G を走査した。

【0167】

実施例1に係る電界効果トランジスタ400は、図20(a)からも分かるように、ヒステリシス特性を有し、トランジスタメモリとしての挙動を示すことが確認できた(図中、符号IV1で示す特性曲線参照。)。さらには、4桁程度のON/OFF比が得られ、0.5Vのメモリウインドウ特性が得られた。また、実施例1に係る電界効果トランジスタ400は、図20(b)からも分かるように、トランジスタとしての挙動を示すことが確認できた。

10

【0168】

[実施例2]

1. 電界効果トランジスタ500の作製

図21は、実施例2に用いる凹凸型M12を説明するために示す図である。

型押し成形加工工程を実施する際に図21に示す凹凸型M12を用いたこと以外は、実施例1の場合と同様にして、実施例2に係る電界効果トランジスタ500を製造した。

20

【0169】

なお、凹凸型M12は、図21に示すように、10mm x 10mmの正方形の中央部に4mm x 4mmのパターン領域を有し、当該パターン領域の中には幅10 μ m、高さ350nmの格子状パターンが形成されたものである。

【0170】

2. 電界効果トランジスタ500の評価

(1) 電界効果トランジスタ500の表面状態

得られた電界効果トランジスタ500におけるITO層焼成工程前のITO層及びITO層焼成工程後のITO層の状態をレーザー顕微鏡OLS-3000(オリンパス製)及びSEM(日立HT/S-4100)を用いて観察した。

30

【0171】

図22は、ITO層の表面状態を説明するために示す図である。図22(a)における左側の写真はITO層焼成工程前におけるITO層のレーザー顕微鏡写真であり、図22(a)における右側の写真は左側の写真で破線で囲った領域を拡大したものである。また、図22(b)はITO層焼成工程後におけるITO層の断面SEM写真である。なお、図22(b)において符号Rで示す領域を拡大するとチャンネル領域R1とソース/ドレイン領域R2が観察され、これをさらに拡大するとPt層、PZT層及びITO層を観察することができた。

【0172】

実施例2に係る電界効果トランジスタ500においては、図22(a)からも分かるように、実施例1の場合と同様に、パターン領域全体にわたってレーザー顕微鏡の濃淡差の少ない(すなわち高低差の小さい)均一な構造が得られている。また、図22(b)からも分かるように、チャンネル領域においては、Pt層の上に、PZT層(130nm)及びITO層(20nm)が形成され、ソース/ドレイン領域においては、Pt層の上に、PZT層(130nm)及びITO層(75nm)が形成されている。

40

【0173】

(2) 電界効果トランジスタ500の電気特性

実施例1の場合と同様にして、実施例2に係る電界効果トランジスタ500の電気特性を評価した。但し、実施例2においては、実験の都合上、図18(b)及び図18(c)に示す符号IV1で示すように電気的特性を測定することができなかつたため、図18(c)

50

b) 及び図 18 (c) に示す符号 I V 2 で示すようにして電気的特性を測定した。すなわち、実施例 2 で電気特性を測定する対象の電界効果トランジスタは、電界効果トランジスタ 500 ではなく、図 18 (b) 及び図 18 (c) に示す「ソース/ドレイン領域」に対応する領域 (層厚 75 nm の I T O 層) がチャンネル領域に対応し、2 つの測定端子がソース電極及びドレイン電極に対応する電界効果トランジスタ 500 a (図示せず。) である。

【0174】

このように、実施例 2 で電気特性を測定する対象の電界効果トランジスタ 500 a は、実施例 2 に係る電界効果トランジスタ 500 とは異なり、正確な意味では本発明の電界効果トランジスタとは言えないが、電界効果トランジスタ 500 a がトランジスタとしての挙動を示すならば、層厚 20 nm の I T O 層をチャンネル領域として有する実施例 2 に係る電界効果トランジスタ 500 がトランジスタとしての挙動を示すことは明らかなものと言える。

10

【0175】

図 23 は、電界効果トランジスタ 500 a の電気特性を説明するために示す図である。図 23 (a) はドレイン電流 I D とゲート電圧 V G との間の I D - V G 特性を示す図であり、図 23 (b) はドレイン電流 I D とドレイン電圧 V D との間の I D - V D 特性を示す図である。なお、I D - V G 特性を測定するに当たっては、ドレイン電圧 V D を 2.5 V に固定した状態で -6 V ~ +6 V の範囲でゲート電圧 V G を走査した。

20

【0176】

電界効果トランジスタ 500 a は、図 23 (a) から分かるように、ヒステリシス特性を有し、トランジスタメモリとしての挙動を示すことが確認できた。さらに、5 桁程度の ON/OFF 比が得られ、2 V のメモリウインドウ特性が得られた。また、電界効果トランジスタ 500 a は、図 23 (b) から分かるように、トランジスタとしての挙動を示すことが確認できた。従って、層厚 20 nm の I T O 層をチャンネル領域として有する実施例 2 に係る電界効果トランジスタ 500 がトランジスタとしての挙動を示すことは明らかなものと言える。

【0177】

以上、本発明の電界効果トランジスタ及びその製造方法を上記の実施形態に基づいて説明したが、本発明はこれに限定されるものではなく、その要旨を逸脱しない範囲において実施することが可能であり、例えば、次のような変形も可能である。

30

【0178】

(1) 上記各実施形態においては、酸化物導電体材料として、インジウム錫酸化物 (I T O) を用いたが、本発明はこれに限定されるものではない。例えば、酸化インジウム (In_2O_3)、アンチモンドープ酸化錫 (Sb-SnO_2)、酸化亜鉛 (ZnO)、アルミニウムドープ酸化亜鉛 (Al-ZnO)、ガリウムドープ酸化亜鉛 (Ga-ZnO)、酸化ルテニウム (RuO_2)、酸化イリジウム (IrO_2)、酸化錫 (SnO_2)、一酸化錫 SnO 、ニオブドープ二酸化チタン (Nb-TiO_2) などの酸化物導電体材料を用いることができる。また、インジウムガリウム亜鉛複合酸化物 (I G Z O)、ガリウムドープ酸化インジウム (In-Ga-O (I G O))、インジウムドープ酸化亜鉛 (In-Zn-O (I Z O)) などのアモルファス導電性酸化物を用いることができる。また、チタン酸ストロンチウム (SrTiO_3)、ニオブドープチタン酸ストロンチウム (Nb-SrTiO_3)、ストロンチウムバリウム複合酸化物 (SrBaO_3)、ストロンチウムカルシウム複合酸化物 (SrCaO_3)、ルテニウム酸ストロンチウム (SrRuO_2)、酸化ニッケルランタン (LaNiO_3)、酸化チタンランタン (LaTiO_3)、酸化銅ランタン (LaCuO_3)、酸化ニッケルネオジム (NdNiO_3)、酸化ニッケルイットリウム (YNiO_3)、酸化ランタンカルシウムマンガン複合酸化物 (L C M O)、鉛酸バリウム (BaPbO_3)、L S C O ($\text{La}_x\text{Sr}_{1-x}\text{CuO}_3$)、L S M O ($\text{La}_{1-x}\text{Sr}_x\text{MnO}_3$)、Y B C O ($\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$)、L N T O ($\text{La}(\text{Ni}_{1-x}\text{Ti}_x)\text{O}_3$)、L S T O ($(\text{La}_{1-x}\text{Sr}_x)\text{TiO}_3$)、S T R O (Sr

40

50

($Ti_{1-x}Ru_x$) O_3)その他のペロブスカイト型導電性酸化物又はパイロクロア型導電性酸化物を用いることができる。

【0179】

(2)上記各実施形態においては、強誘電体材料として、強誘電体材料として、PZT($Pb(Zr_x, Ti_{1-x})O_3$)を用いたが、本発明はこれに限定されるものではない。例えば、NbドープPZT、LaドープPZT、チタン酸バリウム($BaTiO_3$)、チタン酸鉛($PbTiO_3$)、BTO($Bi_4Ti_3O_{12}$)、BLT($Bi_{4-x}La_xTi_3O_{12}$)、SBT($SrBi_2Ta_2O_9$)、BZN($Bi_{1.5}Zn_{1.0}Nb_{1.5}O_7$)又はピスマスフェライト($BiFeO_3$)を用いることができる。

【0180】

(3)上記各実施形態においては、強誘電体材料からなるゲート絶縁層を用いたが、本発明はこれに限定されるものではない。例えば、常誘電体材料(例えば、BZN($Bi_{1.5}Zn_{1.0}Nb_{1.5}O_7$)又はBST($Ba_xSr_{1-x}Ti_3O_{12}$))からなるゲート絶縁層を用いることもできる。

【0181】

(4)上記各実施形態においては、ゲート電極に用いる材料として、Pt及び酸化ニッケルランタン($LaNiO_3$)を用いたが、本発明はこれに限定されるものではない。例えば、Au、Ag、Al、Ti、ITO、 In_2O_3 、Sb- In_2O_3 、Nb- TiO_2 、ZnO、Al-ZnO、Ga-ZnO、IGZO、 RuO_2 及び IrO_2 並びにNb-STO、SrRuO₂、LaNiO₃、BaPbO₃、LSCO、LSMO、YBCOその他のペロブスカイト型導電性酸化物を用いることができる。また、パイロクロア型導電性酸化物及びアモルファス導電性酸化物を用いることもできる。

【0182】

(5)上記各実施形態においては、絶縁性基板として、石英ガラス(SiO_2)基板を用いたが、本発明はこれに限定されるものではない。例えば、Si基板の表面に SiO_2 層及びTi層を介してSTO($SrTiO$)層を形成した絶縁性基板、 SiO_2/Si 基板、アルミナ(Al_2O_3)基板、SRO($SrRuO_3$)基板又はSTO($SrTiO$)基板を用いることができる。

【0183】

(6)上記各実施形態においては、固体基板として、少なくとも一方の面が絶縁性を有する絶縁性基板を用いたが、本発明はこれに限定されるものではない。例えば、Si基板、SiC基板等の半導体基板を用いることもできる。

【0184】

(7)本発明の電界効果トランジスタにおいては、酸化物導電体層、ゲート電極及びゲート絶縁層は、すべて液体材料を用いて形成されたものであってもよい。

【0185】

(8)本発明の電界効果トランジスタにおいては、酸化物導電体層、ゲート電極及びゲート絶縁層は、すべてペロブスカイト構造を有するものであってもよい。

【0186】

(9)本発明の電界効果トランジスタにおいては、酸化物導電体層、ゲート電極及びゲート絶縁層は、すべて真空プロセスを用いることなく形成されたものであってもよい。

【符号の説明】

【0187】

100, 200, 300, 400, 500, 900...電界効果トランジスタ、110, 210, 310, 410, 910...絶縁性基板、120, 220, 320, 420, 920...ゲート電極、120'...酸化ニッケルランタンの前駆体組成物層、130', 230', 330', 430', 530'...強誘電体材料の原料を含む膜、130, 230, 330, 430, 930...ゲート絶縁層、140, 240, 340, 440...酸化物導電体層、140', 240', 340', 440'...酸化物導電性材料を含む膜、142, 242, 342...チャネル領域、144, 244, 344...ソース領域、146, 246, 3

10

20

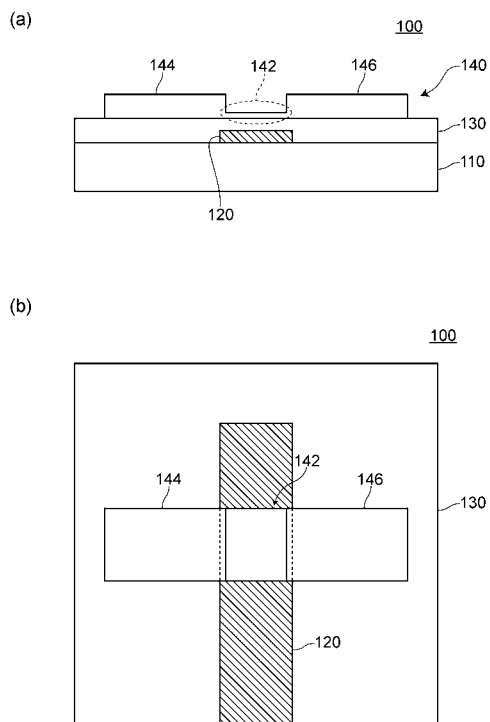
30

40

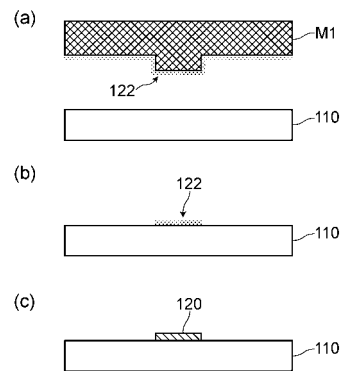
50

4 6 ... ドレイン領域、1 4 2 , 2 4 2 , 3 4 2 , 4 4 2 ... チャネル領域、4 4 4 ... ソース / ドレイン領域、9 4 0 ... チャネル層、9 5 0 ... ソース電極、9 6 0 ... ドレイン電極、M 1 , M 1 a , M 3 , M 5 , M 7 , M 8 , M 1 0 , M 1 1 , M 1 2 ... 凹凸型、M 2 , M 4 , M 6 , M 9 ... 平坦型

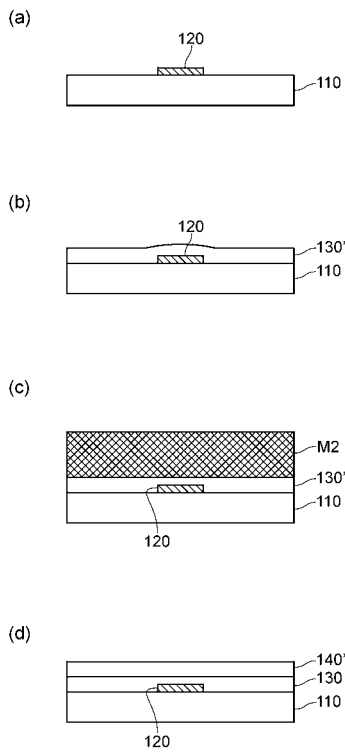
【 図 1 】



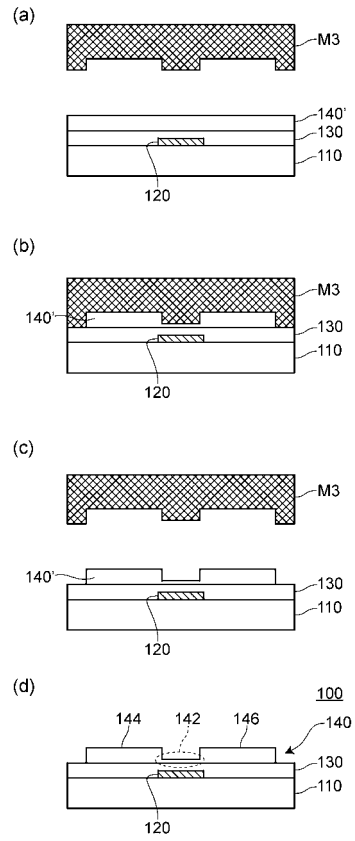
【 図 2 】



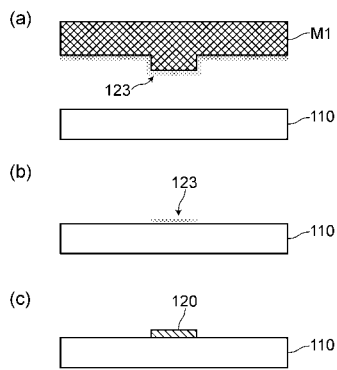
【 図 3 】



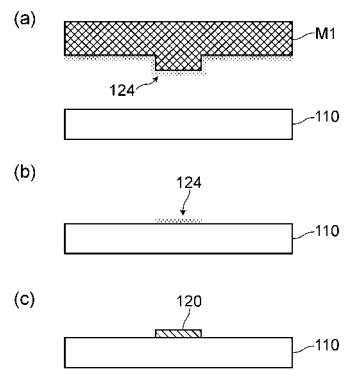
【 図 4 】



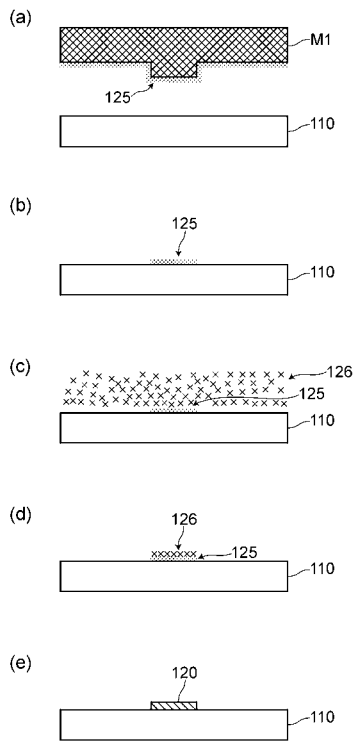
【 図 5 】



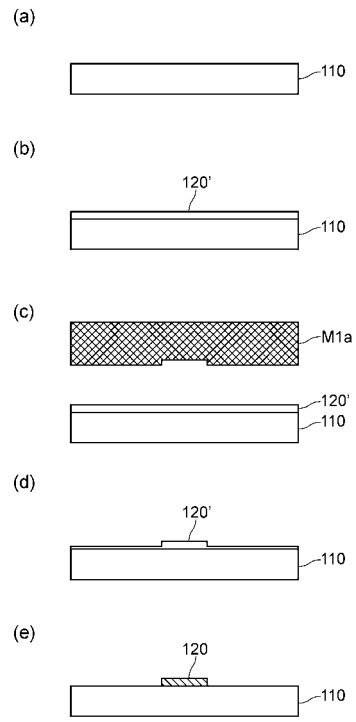
【 図 6 】



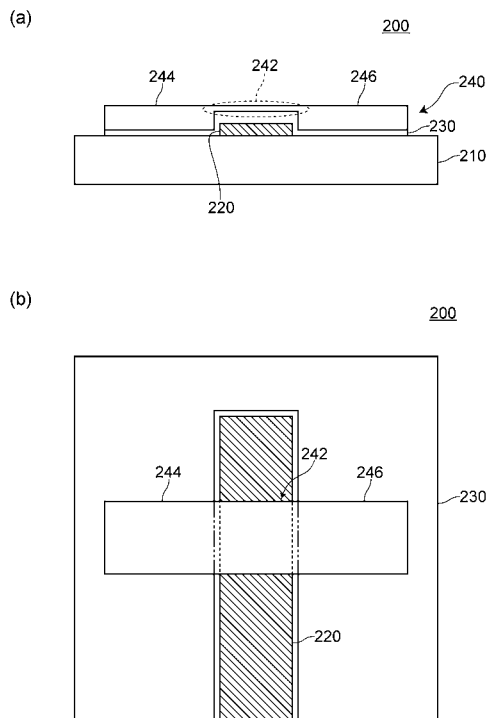
【 図 7 】



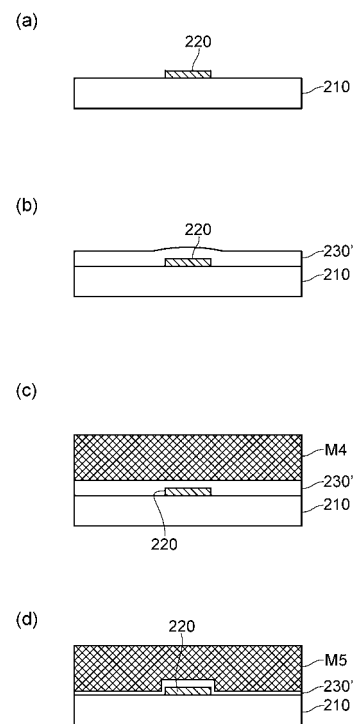
【 図 8 】



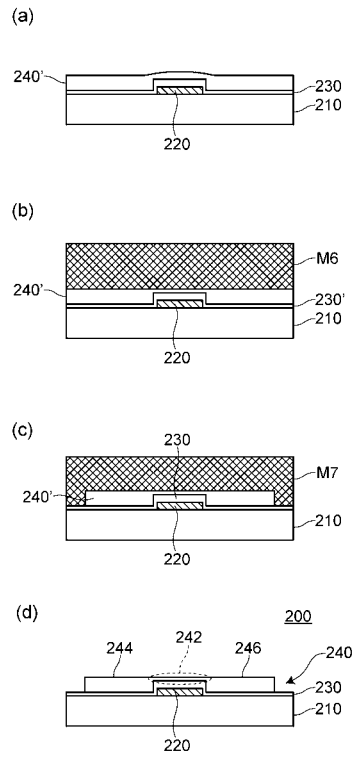
【 図 9 】



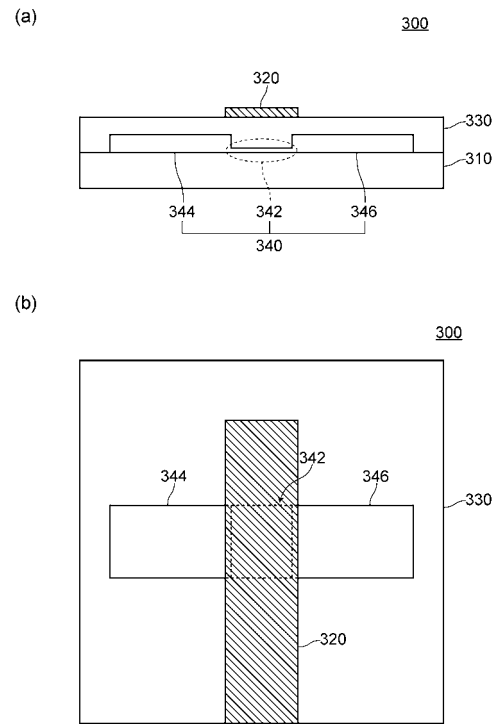
【 図 10 】



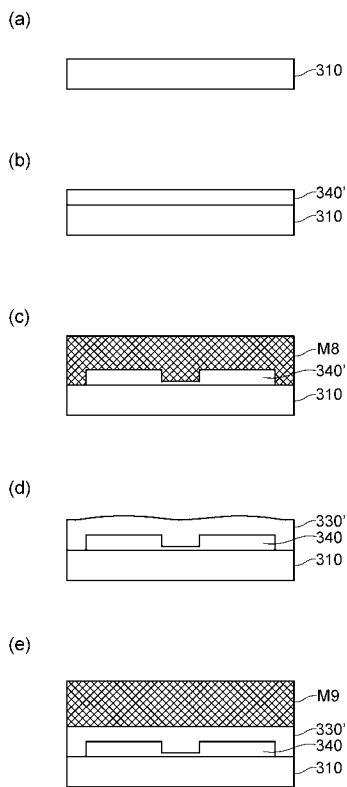
【 図 1 1 】



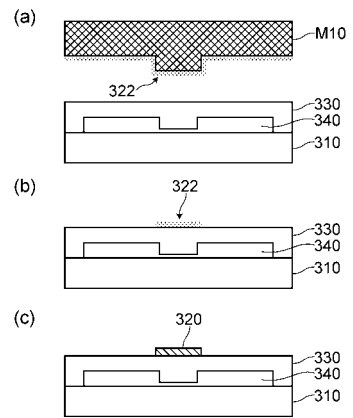
【 図 1 2 】



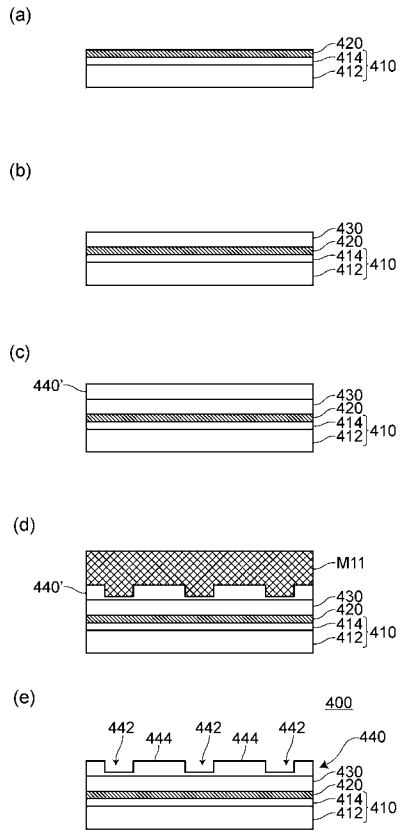
【 図 1 3 】



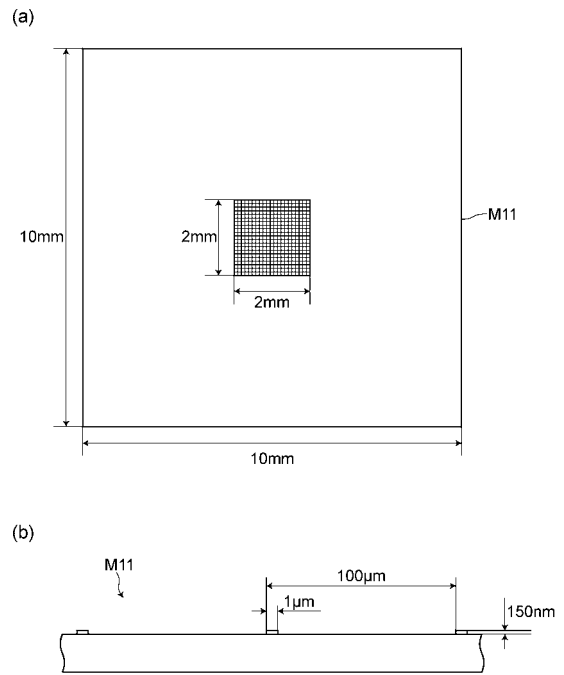
【 図 1 4 】



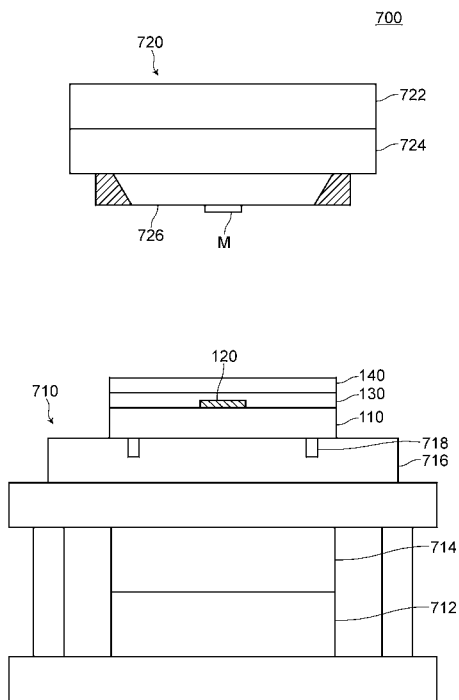
【 図 1 5 】



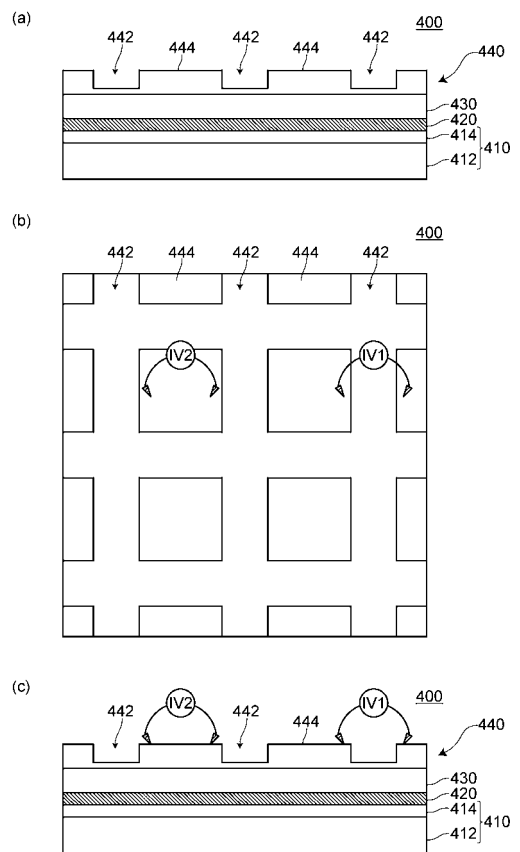
【 図 1 6 】



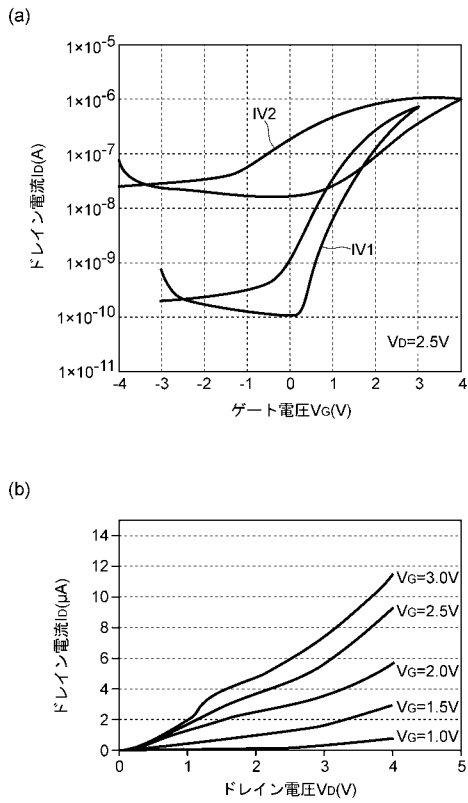
【 図 1 7 】



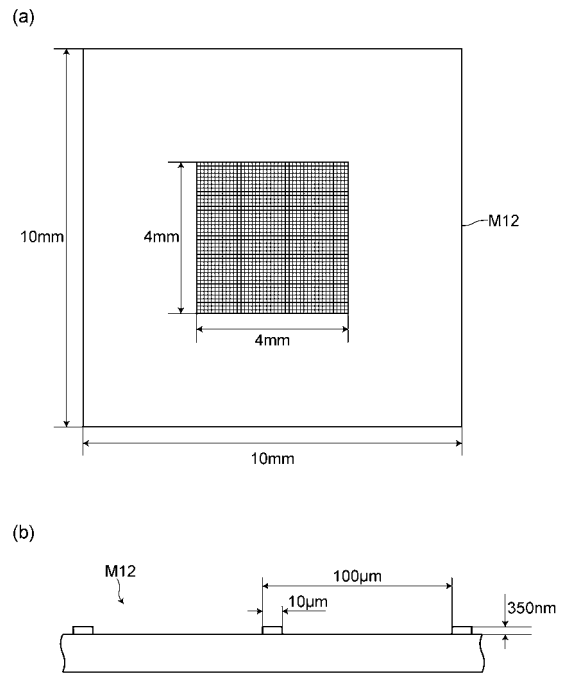
【 図 1 8 】



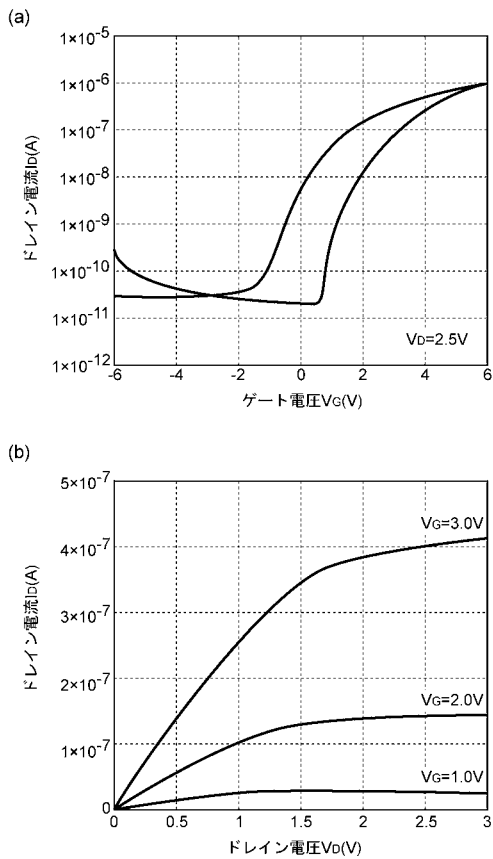
【 図 2 0 】



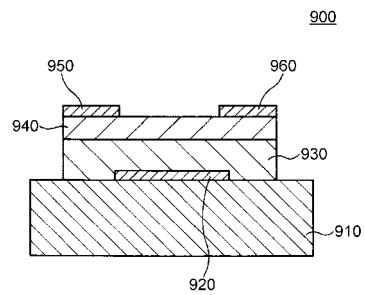
【 図 2 1 】



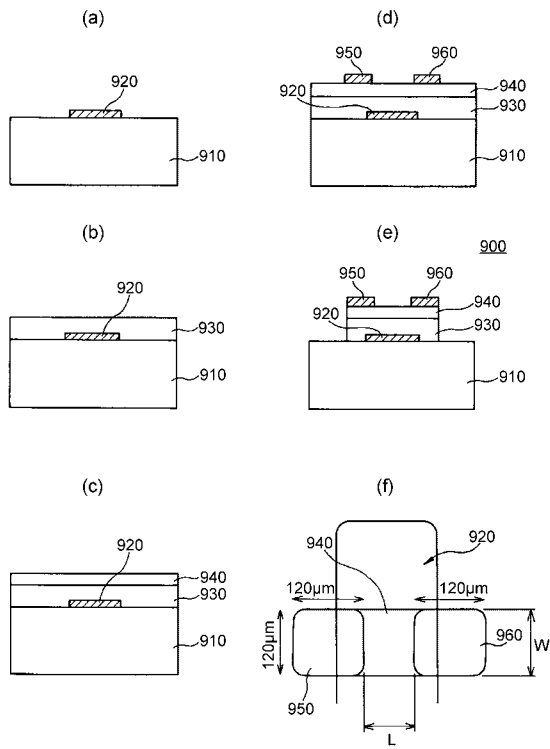
【 図 2 3 】



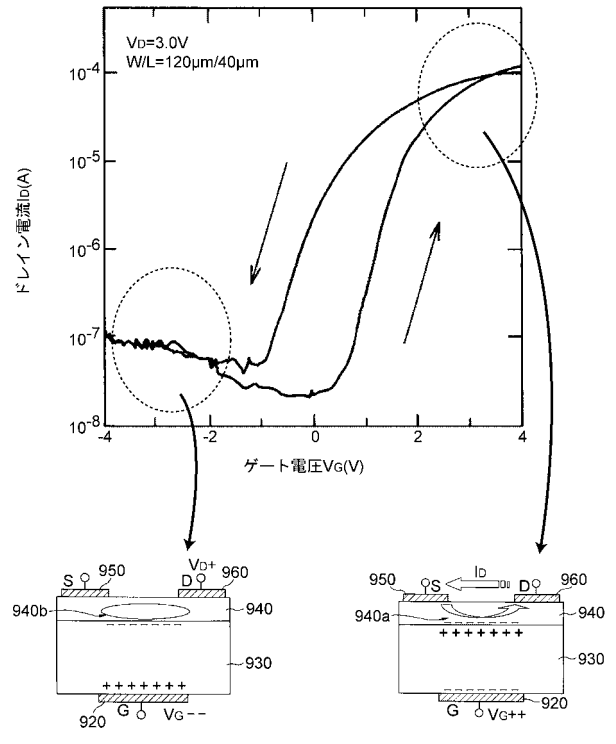
【 図 2 4 】



【 図 2 5 】

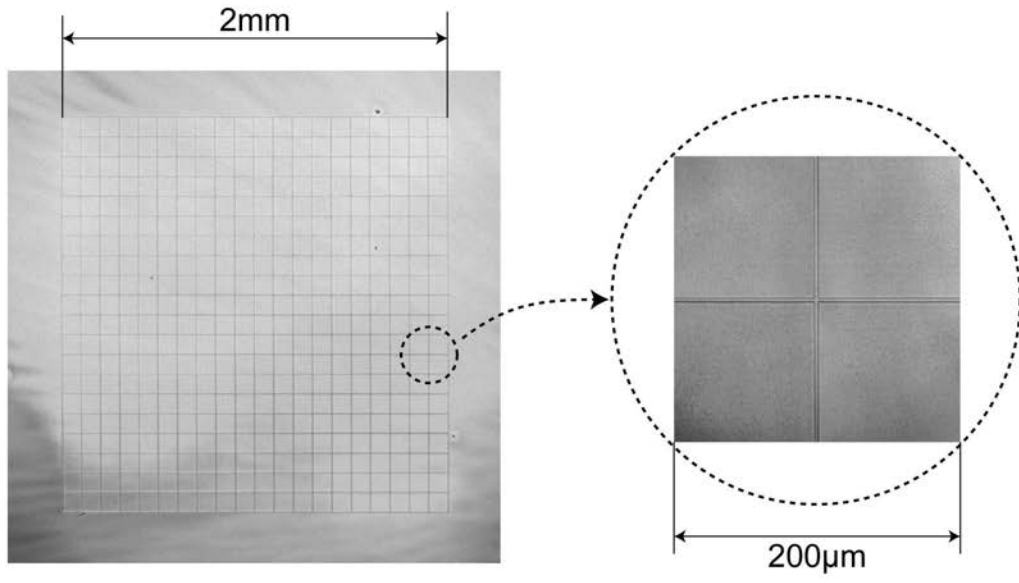


【 図 2 6 】

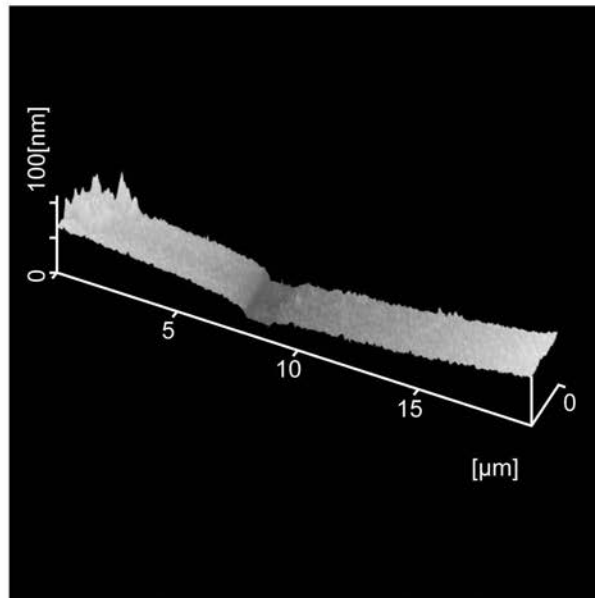


【 図 19 】

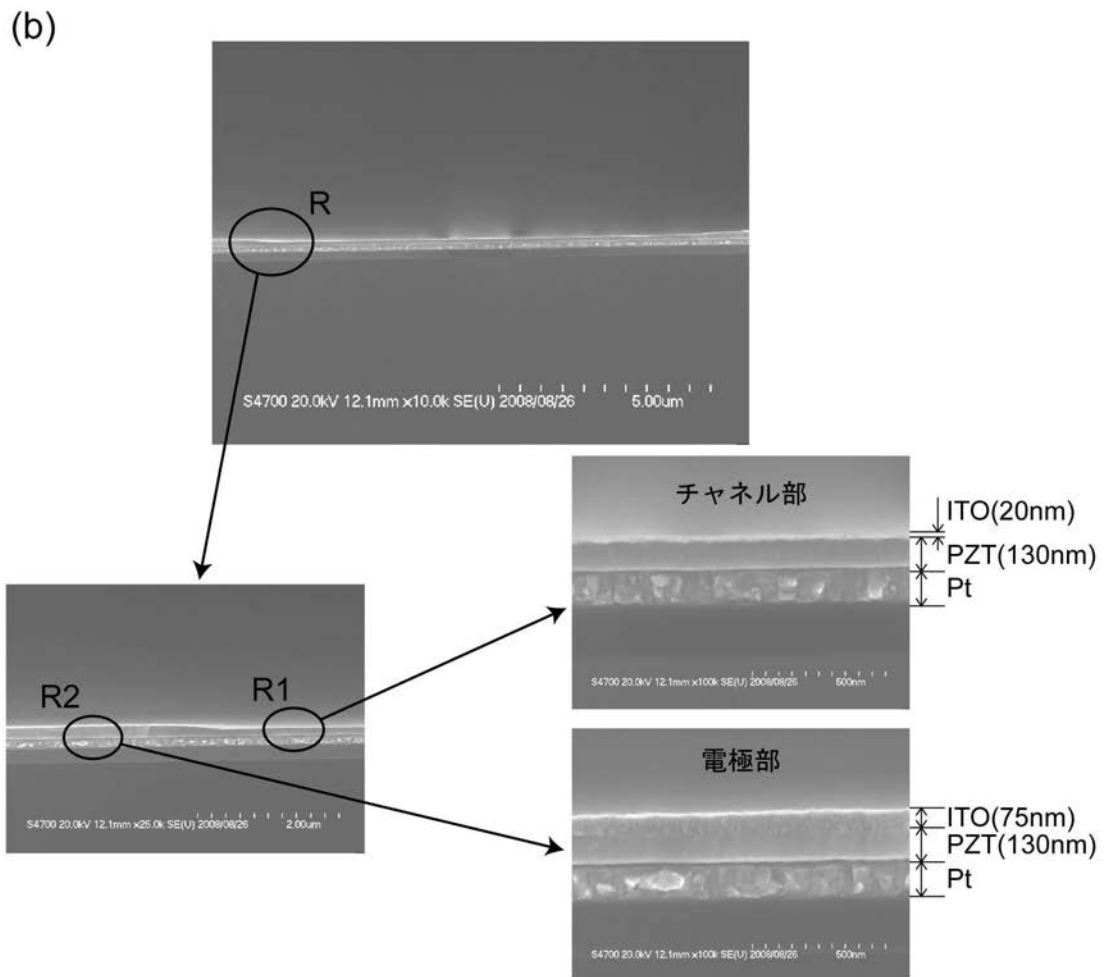
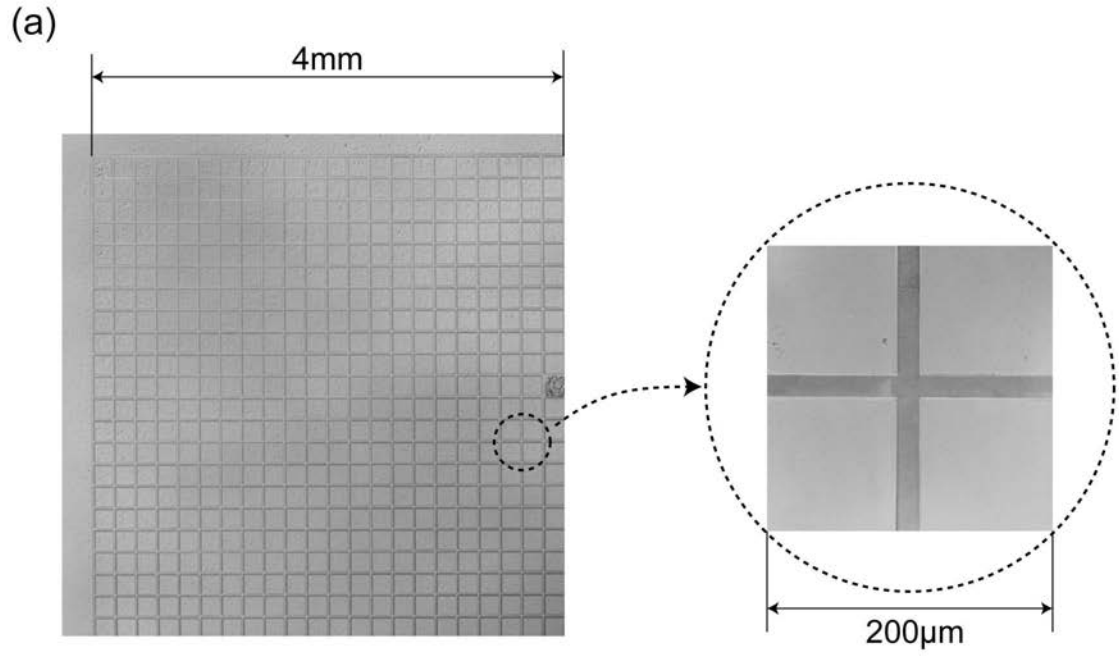
(a)



(b)



【図 2 2】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/368 Z

(72)発明者 宮迫 毅明
三重県四日市市川尻町 1 0 0 JSR株式会社ディスプレイ研究所内

(72)発明者 徳 光 永輔
石川県金沢市西泉 4 - 1 2 8 グリーンハイツI 番館

Fターム(参考) 5F053 AA50 DD20 LL10 PP03 PP07
5F110 AA16 CC01 CC07 DD01 DD03 DD05 DD13 EE01 EE02 EE03
EE04 EE07 EE42 FF01 FF27 GG01 GG06 GG22 GG25 GG28
GG42 GG58 QQ19