

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-30120

(P2014-30120A)

(43) 公開日 平成26年2月13日(2014.2.13)

(51) Int.Cl. F I テーマコード(参考)
 H03L 7/22 (2006.01) H03L 7/22 5J106
 H03L 7/087 (2006.01) H03L 7/08 P

審査請求 未請求 請求項の数 4 O L (全 20 頁)

(21) 出願番号 特願2012-170091 (P2012-170091)
 (22) 出願日 平成24年7月31日(2012.7.31)

(71) 出願人 504136568
 国立大学法人広島大学
 広島県東広島市鏡山1丁目3番2号
 (74) 代理人 100095407
 弁理士 木村 満
 (74) 代理人 100138955
 弁理士 末次 涉
 (74) 代理人 100109449
 弁理士 毛受 隆典
 (72) 発明者 吉川 公麿
 広島県東広島市鏡山一丁目4番2号 国立
 大学法人広島大学ナノデバイス・バイオ融
 合科学研究所内

最終頁に続く

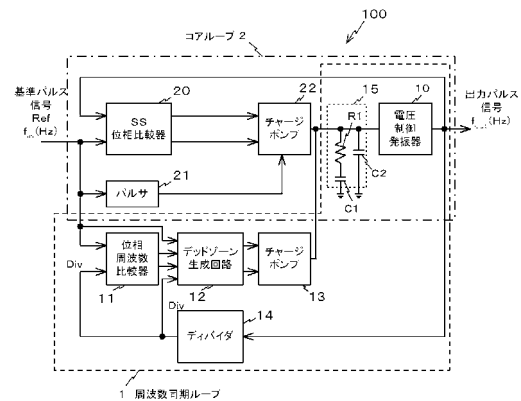
(54) 【発明の名称】 位相同期ループ回路及びデッドゾーン生成回路

(57) 【要約】

【課題】より高精度な発振制御が可能となる位相同期ループ回路及びデッドゾーン生成回路を提供する。

【解決手段】位相周波数比較回路11は、基準パルス信号Refの立ち上がりと帰還パルス信号Divの立ち上がりとの間でハイレベルとなる位相差パルス信号を出力する。デッドゾーン生成回路12は、位相周波数比較回路11から出力された位相差パルス信号を所定時間遅延させ、遅延した位相差パルス信号と、基準パルス信号Ref及び帰還パルス信号Divのうちの立ち上がりの遅い方の反転信号との論理積を、位相差パルス信号として出力する。チャージポンプ13は、位相差パルス信号に応じた電流パルスを生成する。ループフィルタ15は、チャージポンプ13で生成された電流パルスに基づいて、電圧制御発振器10へ入力する電圧を生成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

分周器を介した電圧制御発振器からの第 1 の帰還パルス信号と基準パルス信号との位相差に基づいて電圧制御発振器を制御する第 1 の制御ループと、前記分周器を介さない前記電圧制御発振器からの第 2 の帰還パルス信号と前記基準パルス信号との位相差に基づいて前記電圧制御発振器を制御する第 2 の制御ループとを備える位相同期ループ回路であって、

前記第 1 の制御ループに設けられ、前記基準パルス信号の立ち上がりと前記第 1 の帰還パルス信号の立ち上がりとの間でハイレベルとなる位相差パルス信号を出力する比較回路と、

前記第 1 の制御ループに設けられ、前記比較回路から出力された位相差パルス信号を所定時間遅延させ、遅延した位相差パルス信号と、前記基準パルス信号及び前記第 1 の帰還パルス信号のうちの立ち上がりの遅い方の反転信号との論理積に対応する信号を前記位相差パルス信号として出力するデッドゾーン生成回路と、

前記第 1 の制御ループに設けられ、前記デッドゾーン生成回路から出力された信号に応じた電流パルスを生成するチャージポンプと、

前記チャージポンプで生成された電流パルスに基づいて、前記電圧制御発振器を制御する制御電圧を生成するループフィルタと、

を備える位相同期ループ回路。

【請求項 2】

前記デッドゾーン生成回路は、

前記比較回路から出力された位相差パルス信号を所定時間遅延させる遅延回路と、

前記遅延回路で遅延した位相差パルス信号と、前記基準パルス信号及び前記第 1 の帰還パルス信号のうちの立ち上がりの遅い方の反転信号との論理積を示す信号を、前記位相差パルス信号として出力する論理積回路と、

を備える、

ことを特徴とする請求項 1 に記載の位相同期ループ回路。

【請求項 3】

前記電圧制御発振器が、リング型である、

ことを特徴とする請求項 1 又は 2 に記載の位相同期ループ回路。

【請求項 4】

分周器を介した電圧制御発振器からの第 1 の帰還パルス信号と基準パルス信号との位相差に基づいて電圧制御発振器を制御する第 1 の制御ループと、前記分周器を介さない前記電圧制御発振器からの第 2 の帰還パルス信号と前記基準パルス信号との位相差に基づいて前記電圧制御発振器を制御する第 2 の制御ループとを備える位相同期ループ回路に設けられ、前記基準パルス信号と前記第 1 の帰還パルス信号との位相差が所定範囲内にある場合にその位相差を 0 とするデッドゾーン生成回路であって、

前記第 1 の制御ループに設けられ、前記基準パルス信号の立ち上がりと前記第 1 の帰還パルス信号の立ち上がりとの間でハイレベルとなる位相差パルス信号を所定時間遅延させる遅延回路と、

前記位相差パルス信号と、前記基準パルス信号及び前記第 1 の帰還パルス信号のうち立ち上がりの遅い方の反転信号との論理積を示す信号を、前記位相差パルス信号として出力する論理積回路と、

を備えるデッドゾーン生成回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、位相同期ループ (Phase Locked Loop ; PLL) 回路及びデッドゾーン生成回路に関する。

【背景技術】

【 0 0 0 2 】

PLL回路は、一般的に、出力信号のN分の1の周波数の帰還信号を参照信号の周波数と比較することにより、出力信号の発振周波数を参照信号の周波数のN倍の周波数に安定させる回路である。PLL回路では、参照信号と帰還信号の位相の比較も行うため、参照信号に対する出力信号の同期精度を高めることができる。

【 0 0 0 3 】

PLL回路は、通信機器やデジタル機器に必須の発振回路である。PLL回路は、通信機器やデジタル機器の動作周波数や動作タイミングを決定する重要な役割を担っている。例えば、アナログ信号をデジタル信号に変換するアナログ-デジタル変換回路の特性限界は、発振周波数の精度により制限されている。このため、PLL回路における出力信号の発振周波数の同期精度を向上して、通信速度やデジタル回路の処理能力を上げることが期待されている。

【 0 0 0 4 】

図20には、従来のPLL回路の発振特性の一例が示されている。図20では、横軸は周波数で、縦軸が出力信号のパワーである。図20に示すように、PLL回路の出力パワーは、参照信号 f_{in} のN(Nは分周比)倍の周波数、すなわち発振周波数($f_{out} = f_{in} \times N$)にピークを持っているが、発振周波数の回りに大きな雑音成分(位相雑音)を持っている。PLL回路の出力信号の発振周波数の同期精度の向上の妨げとなっているのが、このような雑音成分である。

【 0 0 0 5 】

図21には、発振周波数近傍の従来のPLL回路の雑音特性の一例が示されている。図21では、横軸が発振周波数 f_{out} からの離調周波数 f_{offset} であり、縦軸が位相雑音 $L(f)$ である。PLL回路の位相雑音は、参照信号及びそれぞれの回路ブロック、すなわち位相周波数比較回路(PFD)、チャージポンプ(CP)、ループフィルタ(LF)、電圧制御発振回路(VCO)、分周器(Divider)から発生する雑音の和になる(図22参照)。

【 0 0 0 6 】

位相雑音 $L(f)$ は、参照信号及びそれぞれの回路ブロックの雑音特性への寄与率、寄与特性は、ループ帯域 f_{LOOP} と呼ばれる帰還ループの特性により決定づけられる。例えば、 f_{offset} が低い領域Aにおける位相雑音 $L(f)$ は、主として参照信号に含まれる雑音によるものである。また、 f_{offset} が領域Aよりも高く f_{LOOP} よりも低い領域Bにおける位相雑音 $L(f)$ は、主として位相周波数比較回路(PFD)、チャージポンプ(CP)、分周器に起因するものである。また、 f_{offset} が f_{LOOP} よりも高い領域Cにおける位相雑音 $L(f)$ は、主として電圧制御発振回路(VCO)に起因するものである。

【 0 0 0 7 】

このような位相雑音は、発振波形の周期のばらつき(ジッタ)の原因となる。ジッタは、以下の式(1)に基づいて導出可能である。

【 数 1 】

$$\sigma_{RMS} = \frac{1}{2\pi f_0} \times \sqrt{2 \times \int_{f_L}^{f_H} 10^{\frac{L(f)}{10}} df} \quad \dots (1)$$

ここで、 f_0 は、発振周波数であり、 $L(f)$ は、上述のとおり位相雑音である。また、 f_H は、上側周波数であり、 f_L は、下側周波数である。

【 0 0 0 8 】

また、従来のPLL回路のループ帯域 f_{LOOP} 内の位相周波数比較器(PFD)及びチャージポンプ(CP)に起因する位相雑音 $L_{in_band, PFD+CP}(f)$ は、以下の式(2)に示すように、PLL回路の構成要素の一部である分周器の分周比Nの二乗に比例することが

明らかとなっている。

【数 2】

$$L_{in_band, PFD-CP}(f) \approx \frac{S_i}{2} \times \frac{N^2}{K\phi} \quad \dots (2)$$

ここで、 S_i は、位相周波数比較器 (PFD) 及びチャージポンプ (CP) が寄与するパワースペクトル密度であり、 K は PFD 及び CP のゲインである。

【0009】

ジッタにより、アナログ - デジタル変換器や通信システムの性能が劣化する。このため、近年では、無線通信システムの高速化に伴い、高精度 (低ジッタ) の PLL 回路の登場が求められている。そこで、実質的に分周器を不要とするサブサンプリング PLL 回路が提案されている (例えば、非特許文献 1 参照)。

【0010】

図 22 には、このサブサンプリング PLL 回路の構成が示されている。図 22 に示すように、このサブサンプリング PLL 回路は、周波数帰還ループと位相帰還ループ (メインループ) との 2 つの制御ループを有している。2 つの制御ループは、ともに電圧制御発振器を制御するためのものであるが、それぞれ異なる特徴を有する。まず、周波数帰還ループには、分周器 (Divider) が設けられているが、位相帰還ループには分周器 (Divider) が設けられていない。また、周波数帰還ループには、デッドゾーン (Dead Zone) 生成回路が設けられており、位相帰還ループには、パルサ (Pulsar) が設けられている。

【0011】

パルサは、位相比較回路から出力される信号が、正確に位相差を示しているタイミングだけ、チャージポンプ (CP) をオンにするための信号を出力している。デッドゾーン生成回路は、位相周波数比較回路 (PFD) から入力される参照信号と帰還信号との位相差を示す信号を出力する。デッドゾーン生成回路は、その信号で示される位相差が、参照信号の半周期内であれば、その出力を 0 とする。

【0012】

すなわち、デッドゾーン生成回路では、参照信号の半周期をデッドゾーン (不感帯) としている。このデッドゾーン生成回路の作用により、このサブサンプリング PLL 回路は、周波数帰還ループで出力信号の周波数及び位相を参照信号の周波数及び位相にラフに合わせた後、位相帰還ループで位相を調整するように動作する。

【0013】

この結果、最終的には、この PLL 回路は、分周器のない位相帰還ループのみで動作するようになるので、分周器からの雑音は位相帰還ループに混入することがない。また、分周比が 1 となるため、チャージポンプの雑音が N によって増大することがなく、帯域内の雑音を低減することが可能となる。

【先行技術文献】

【非特許文献】

【0014】

【非特許文献 1】 X. Gao et al., "A Low Noise Sub-Sampling PLL in Which Divider Noise is Eliminated and PD/CP Noise is Not Multiplied by N^2 ", JSSC, VOL.44, NO12, DECEMBER2009

【発明の概要】

【発明が解決しようとする課題】

【0015】

上記非特許文献 1 に開示されたサブサンプリング PLL 回路では、電圧制御発振器 (VCO) として LC 型の VCO (コイルやコンデンサが組み込まれた VCO) が用いられている。VCO には、LC 型 VCO の他にリング型 VCO がある。リング型 VCO を採用す

れば、チップ面積を小さくすることができる。

【0016】

一方で、リング型VCOは、LC型VCOよりも、高いチューニングゲインを有し、制御電圧に対する発振周波数の感度が大きいいため、デッドゾーン生成回路におけるデッドゾーンを狭く（例えば $\pm 0.5 \text{ ns}$ 程度）する必要がある。しかしながら、非特許文献1に開示されたデッドゾーン生成回路の回路構成では、デッドゾーンの幅が基準信号の半周期に拘束されてしまう。したがって、リング型VCOを用いた場合に、非特許文献1に開示されたサブサンプリングPLL回路を用いても、周波数帰還ループにより、参照信号と帰還信号との周波数を正確に合わせるのが困難になる。

【0017】

本発明は、上記実情に鑑みてなされたものであり、より高精度な発振制御が可能となる位相同期ループ回路及びデッドゾーン生成回路を提供することを目的とする。

【課題を解決するための手段】

【0018】

上記目的を達成するために、本発明の第1の観点に係る位相同期ループ回路は、分周器を介した電圧制御発振器からの第1の帰還パルス信号と基準パルス信号との位相差に基づいて電圧制御発振器を制御する第1の制御ループと、前記分周器を介さない前記電圧制御発振器からの第2の帰還パルス信号と前記基準パルス信号との位相差に基づいて前記電圧制御発振器を制御する第2の制御ループとを備える位相同期ループ回路であって、

前記第1の制御ループに設けられ、前記基準パルス信号の立ち上がりと前記第1の帰還パルス信号の立ち上がりとの間でハイレベルとなる位相差パルス信号を出力する比較回路と、

前記第1の制御ループに設けられ、前記比較回路から出力された位相差パルス信号を所定時間遅延させ、遅延した位相差パルス信号と、前記基準パルス信号及び前記第1の帰還パルス信号のうちの立ち上がりの遅い方の反転信号との論理積に対応する信号を前記位相差パルス信号として出力するデッドゾーン生成回路と、

前記第1の制御ループに設けられ、前記デッドゾーン生成回路から出力された信号に応じた電流パルスを生成するチャージポンプと、

前記チャージポンプで生成された電流パルスに基づいて、前記電圧制御発振器を制御する制御電圧を生成するループフィルタと、

【0019】

この場合、前記デッドゾーン生成回路は、前記比較回路から出力された位相差パルス信号を所定時間遅延させる遅延回路と、前記遅延回路で遅延した位相差パルス信号と、前記基準パルス信号及び前記第1の帰還パルス信号のうちの立ち上がりの遅い方の反転信号との論理積を示す信号を、前記位相差パルス信号として出力する論理積回路と、

を備える、

こととしてもよい。

【0020】

また、前記電圧制御発振器が、リング型である、

こととしてもよい。

【0021】

本発明の第2の観点に係るデッドゾーン生成回路は、分周器を介した電圧制御発振器からの第1の帰還パルス信号と基準パルス信号との位相差に基づいて電圧制御発振器を制御する第1の制御ループと、前記分周器を介さない前記電圧制御発振器からの第2の帰還パルス信号と前記基準パルス信号との位相差に基づいて前記電圧制御発振器を制御する第2の制御ループとを備える位相同期ループ回路に設けられ、前記基準パルス信号と前記第1の帰還パルス信号との位相差が所定範囲内にある場合

10

20

30

40

50

にその位相差を 0 とするデッドゾーン生成回路であって、

前記第 1 の制御ループに設けられ、前記基準パルス信号の立ち上がりと前記第 1 の帰還パルス信号の立ち上がりとの間でハイレベルとなる位相差パルス信号を所定時間遅延させる遅延回路と、

前記位相差パルス信号と、前記基準パルス信号及び前記第 1 の帰還パルス信号のうち立ち上がりの遅い方の反転信号との論理積を示す信号を、前記位相差パルス信号として出力する論理積回路と、

を備える。

【発明の効果】

【0022】

10

この発明によれば、分周器が設けられた第 1 の制御ループを構成するデッドゾーン生成回路によってチャージポンプに出力する位相差パルス信号を 0 にするデッドゾーンの幅を自由に設定することができる。これにより、電圧制御発振器を制御するループを第 1 の制御ループから第 2 の制御ループに切り替えるタイミングを、制御ループの特性に適したものとすることができるので、より高精度な発振制御が可能となる。

【図面の簡単な説明】

【0023】

【図 1】本発明の実施形態に係る位相同期ループ回路の概略的な構成を示すブロック図である。

20

【図 2】図 1 の電圧制御発振器の回路構成を示す図である。

【図 3】図 1 の位相周波数比較器の回路構成を示す図である。

【図 4】図 4 (A) 乃至図 4 (D) は、図 3 の位相周波数比較器の入出力信号のタイミングチャート (その 1) である。

【図 5】図 5 (A) 乃至図 5 (D) は、図 3 の位相周波数比較器の入出力信号のタイミングチャート (その 2) である。

【図 6】図 1 のデッドゾーン生成回路の回路構成を示す図である。

【図 7】図 7 (A) 乃至図 7 (E) は、図 6 のデッドゾーン生成回路の入出力信号のタイミングチャート (その 1) である。

【図 8】図 8 (A) 乃至図 8 (E) は、図 6 のデッドゾーン生成回路の入出力信号のタイミングチャート (その 2) である。

30

【図 9】図 9 (A) 乃至図 9 (E) は、図 6 のデッドゾーン生成回路の入出力信号のタイミングチャート (その 3) である。

【図 10】図 10 (A) 乃至図 10 (E) は、図 6 のデッドゾーン生成回路の入出力信号のタイミングチャート (その 4) である。

【図 11】図 6 のデッドゾーン生成回路の入出力の関係の一例を示すグラフである。

【図 12】図 1 のチャージポンプの回路構成を示す図である。

【図 13】図 1 のサブサンプリング位相比較器の回路構成を示す図である。

【図 14】図 14 (A) 及び図 14 (B) は、図 1 のサブサンプリング位相比較器の出力信号のタイミングチャートである。

【図 15】図 1 のパルサの回路構成を示す図である。

40

【図 16】図 1 のチャージポンプの回路構成を示す図である。

【図 17】図 1 の位相ループ同期回路の動作を説明するための図 (その 1) である。

【図 18】図 1 の位相ループ同期回路の動作を説明するための図 (その 2) である。

【図 19】図 19 (A) 乃至図 19 (C) は、制御信号及び制御電圧の変化の一例を示すグラフである。

【図 20】従来の PLL 回路の発振特性の一例を示すグラフである。

【図 21】発振周波数近傍の従来の PLL 回路の雑音特性の一例を示すグラフである。

【図 22】従来のサブサンプリング PLL 回路の構成を示すブロック図である。

【発明を実施するための形態】

【0024】

50

本発明の実施形態について、図面を参照して詳細に説明する。

【0025】

図1には、本実施形態に係る位相同期ループ(PLL)回路100の概略的な構成が示されている。図1に示すように、PLL回路100には、周波数同期ループ1と、コアループ2との2つの制御ループが設けられている。

【0026】

周波数同期ループ1は、電圧制御発振器10を制御する制御ループであり、ループ内に分周器(ディバイダ)14が設けられている。コアループ2は、周波数同期ループ1と同様に、電圧制御発振器10を制御する制御ループであるが、ループ内に分周器が設けられていない。本実施形態では、周波数同期ループ1が第1の制御ループに対応し、コアループ2が第2の制御ループに対応する。

10

【0027】

すなわち、PLL回路100は、ディバイダ14を介した電圧制御発振器10からの帰還パルス信号(第1の帰還パルス信号)Divと基準パルス信号Refとの位相差に基づいて電圧制御発振器10を制御する周波数同期ループと、ディバイダ14を介さない電圧制御発振器10からの帰還パルス信号(後述するVCO_P、VCO_N;第2の帰還パルス信号)と基準パルス信号Refとの位相差に基づいて電圧制御発振器10を制御するコアループとを備える位相同期ループ回路である。

【0028】

まず、周波数同期ループ1内の各構成要素について説明する。図1に示すように、周波数同期ループ1には、電圧制御発振器10と、位相周波数比較器11と、デッドゾーン生成回路12と、チャージポンプ13と、ディバイダ14と、ループフィルタ15とを備える。

20

【0029】

電圧制御発振器10は、リング型のVCO、いわゆるリングVCOである。電圧制御発振器(リングVCO)10は、図2に示すように、複数個(5個)のインバータ回路5がループ状に接続された回路である。インバータ回路5の数は、通常奇数個であるが偶数個であってもよい。

【0030】

インバータ回路5をこのように接続すると、安定した状態が得られず、インバータ回路5の伝播遅延時間で決定される周波数で発振する。リングVCOは、LC型のVCOに比べ、非常に小型に製造することができる。

30

【0031】

続いて、位相周波数比較器11の構成について説明する。

【0032】

位相周波数比較器11は、基準パルス信号Refの立ち上がりと帰還パルス信号Divの立ち上がりとの間でハイレベルとなる位相差パルス信号を出力する。

【0033】

図3には、位相周波数比較器11の回路構成が示されている。図3に示すように、位相周波数比較器11は、2つのD(ディレイ)フリップフロップ31、32と、論理積回路33とを備える。

40

【0034】

Dフリップフロップ31では、CLK端子に基準パルス信号Refが入力され、D入力はハイレベル"1"にプルアップされている。Dフリップフロップ31のQ出力から出力される信号を位相差パルス信号UPとする。

【0035】

Dフリップフロップ32では、CLK端子に帰還パルス信号Divが入力され、D入力はハイレベル"1"にプルアップされている。Dフリップフロップ32のQ出力から出力される信号を位相差パルス信号DOWNとする。

【0036】

50

論理積回路 33 には、位相差パルス信号 UP、DOWN が入力され、これらの信号の論理積に相当する信号を出力する。論理積回路 33 の出力は、D フリップフロップ回路 31、32 の RST 端子に入力されている。

【0037】

図 4 (A) 乃至図 4 (D)、図 5 (A) 乃至図 5 (D) には、位相周波数比較器 11 における入出力信号のタイミングチャートが示されている。図 4 (A)、図 5 (A) には、基準パルス信号 Ref が示され、図 4 (B)、図 5 (B) には、帰還パルス信号 Div が示されている。また、図 4 (C)、図 5 (C) には、位相差パルス信号 UP が示され、図 4 (D)、図 5 (D) には、位相差パルス信号 DOWN が示されている。

【0038】

基準パルス信号 Ref の位相に対して、帰還パルス信号 Div の位相が遅れている場合について考える。この場合、図 4 (A) 及び図 4 (B) に示すように、基準パルス信号 Ref の立ち上がりよりも、帰還パルス信号 Div の立ち上がりの方が遅れている。位相周波数比較器 11 は、図 4 (C) に示すように、位相差パルス信号 UP は、基準パルス信号 Ref が立ち上がってから帰還パルス信号 Div が立ち上がるまでの間にハイレベルとなる信号となる。また、この場合、図 4 (B) に示すように、位相差パルス信号 DOWN はローレベルのままとなる。

【0039】

また、図 5 (A)、図 5 (B) に示すように、基準パルス信号 Ref の位相に対して、帰還パルス信号 Div の位相が進んでいる場合、図 5 (D) に示すように、位相差信号 DOWN は、帰還パルス信号 Div が立ち上がってから基準パルス信号 Ref が立ち上がるまでの間にハイレベルとなる信号となる。また、図 5 (C) に示すように、位相差パルス信号 UP はローレベルのままとなる。

【0040】

すなわち、位相周波数比較器 11 は、基準パルス信号 Ref に対して帰還パルス信号 Div が遅れている場合には、位相差パルス信号 UP を出力し、基準パルス信号 Ref に対して帰還パルス信号 Div が進んでいる場合には、位相差パルス信号 DOWN を出力する。

【0041】

続いて、デッドゾーン生成回路 12 の構成について説明する。デッドゾーン生成回路 12 は、周波数同期ループ 1 に設けられ、位相周波数比較器 11 から出力された位相差パルス信号を所定時間遅延させる。そして、デッドゾーン生成回路 12 は、遅延した位相差パルス信号と、基準パルス信号 Ref 及び帰還パルス信号 Div のうちの立ち上がりの遅い方の反転信号との論理積に対応する信号を位相差パルス信号として出力する。

【0042】

図 6 には、デッドゾーン生成回路 12 の回路構成が示されている。図 6 に示すように、デッドゾーン生成回路 12 は、インバータ回路 40 ~ 45 と、遅延回路 46、47 と、インバータ回路 48、49 と、論理積回路 50、51 と、バッファ 52 とを備える。

【0043】

基準パルス信号 Ref は、インバータ回路 40 に入力され、反転された後、論理積回路 50 に入力される。位相差パルス信号 DOWN は、インバータ回路 41、44 を経て、遅延回路 46 に入力される。遅延回路 46 は、入力した信号を、外部から調整用電圧 VTUNE2 に応じた時間、すなわち所定時間 dt だけ遅延させるとともにその信号を反転して出力する。すなわち、遅延回路 46 からは、所定時間 dt だけ遅延した位相差パルス信号 DOWN の反転信号が出力され、インバータ回路 48 を経て、論理積回路 50 に入力される。調整用電圧 VTUNE2 は、例えば、製造時に調整されている。この調整により、所定時間 dt を調整することができる。

【0044】

位相差パルス信号 UP は、インバータ回路 42、45 を経て、遅延回路 47 に入力される。遅延回路 47 は、入力した信号を、調整用電圧 VTUNE2 に応じた時間、すなわち

10

20

30

40

50

所定時間 d_t だけ遅延させるとともにその信号を反転して出力する。すなわち、遅延回路 47 からは、遅延した位相差パルス信号 U_P の反転信号が出力され、インバータ回路 49 を経て、論理積回路 51 に入力される。帰還パルス信号 Div は、インバータ回路 43 に入力され、反転された後、論理積回路 51 に入力される。

【0045】

論理積回路 50 は、基準パルス信号 Ref の反転信号 $RefR$ と、遅延した位相差パルス信号 $DOWN$ との論理積に相当する信号を出力する。論理積回路 51 は、帰還パルス信号 Div の反転信号 $DivR$ と、遅延した位相差パルス信号 U_P との論理積に相当する信号を出力する。これらの信号は、パッファ 52 を経て、位相差パルス信号 U_{Pdz} 、 $DOWN_{dz}$ として出力される。

10

【0046】

図 7 (A) 乃至図 7 (E) には、デッドゾーン生成回路 12 における入出力信号のタイミングチャートが示されている。図 7 (A) に示す基準パルス信号 Ref は、インバータ回路 40 によって図 7 (B) に示す反転信号 $RefR$ に変換される。一方、図 7 (C) に示す位相差パルス信号 $DOWN$ は、インバータ回路 41、44、遅延回路 46、インバータ回路 48 により、図 7 (D) に示すような時間 d_t だけ遅延した位相差パルス信号 $DOWN(delay)$ に変換される。論理積回路 50 は、反転信号 $RefR$ と位相差パルス信号 $DOWN(delay)$ との論理積である、図 7 (A) に示す位相差パルス信号 $DOWN_{dz}$ を出力する。

【0047】

図 7 (C) に示すように、位相差パルス信号 $DOWN$ がハイレベルとなっている時間が、遅延時間 d_t 以上となっているため、位相差パルス信号 $DOWN_{dz}$ では、ハイレベルとローレベルを繰り返し、アクティブになる。

20

【0048】

図 8 (A) 乃至図 8 (E) には、デッドゾーン生成回路 12 における入出力信号のタイミングチャートが示されている。図 8 (A) には、基準パルス信号 Ref が示され、図 8 (B) には、反転信号 $RefR$ が示されている。また、図 8 (C) には、位相差パルス信号 $DOWN$ が示され、図 8 (D) には、位相差パルス信号 $DOWN(delay)$ が示されている。また、図 8 (E) には、位相差パルス信号 $DOWN_{dz}$ が示されている。

【0049】

この場合には、図 8 (C) に示す位相差パルス信号 $DOWN$ におけるハイレベルとなっている時間が、遅延時間 d_t より短くなっているため、図 8 (E) に示すように、位相差パルス信号 $DOWN_{dz}$ は、ローレベルのままとなる。

30

【0050】

すなわち、デッドゾーン生成回路 12 は、位相差パルス信号 $DOWN$ がハイレベルとなっている時間が、遅延時間 d_t よりも長い場合に、位相差パルス信号 $DOWN_{dz}$ がアクティブとなる。一方、位相差パルス信号 $DOWN$ がハイレベルとなっている時間が、遅延時間 d_t よりも短い場合に、位相差パルス信号 $DOWN_{dz}$ がノンアクティブとなる。

【0051】

図 9 (A) 乃至図 9 (E) には、デッドゾーン生成回路 12 における入出力信号のタイミングチャートが示されている。図 9 (A) に示す基準パルス信号 Div は、インバータ回路 43 によって図 9 (B) に示す反転信号 $DivR$ に変換される。

40

【0052】

一方、図 9 (C) に示す位相差パルス信号 U_P は、インバータ回路 42、45、遅延回路 47、インバータ回路 49 により、図 9 (D) に示すような時間 d_t だけ遅延した位相差パルス信号 $U_P(delay)$ に変換される。論理積回路 50 は、反転信号 $DivR$ と位相差パルス信号 $U_P(delay)$ との論理積である、図 9 (E) に示す位相差パルス信号 U_{Pdz} を出力する。

【0053】

図 9 (C) に示す位相差パルス信号 U_P がハイレベルとなっている時間が、遅延時間 d

50

t以上となっているため、位相差パルス信号 UP_{dz} は、ハイレベルとローレベルを繰り返し、アクティブになる。

【0054】

図10(A)乃至図10(E)には、デッドゾーン生成回路12における入出力信号のタイミングチャートが示されている。図10(A)には、帰還パルス信号 Div が示され、図10(B)には、反転信号 $DivR$ が示されている。

【0055】

また、図10(C)には、位相差パルス信号 UP が示され、図10(D)には、位相差パルス信号 $UP(delay)$ が示されている。また、図10(E)には、位相差パルス信号 UP_{dz} が示されている。

10

【0056】

この場合には、図10(C)に示す位相差パルス信号 UP がハイレベルとなっている時間が、遅延時間 dt より短くなっているため、図10(E)に示すように、位相差パルス信号 UP_{dz} は、ローレベルのままとなる。

【0057】

すなわち、デッドゾーン生成回路12は、位相差パルス信号 UP がハイレベルとなっている時間が、遅延時間 dt よりも長い場合に、位相差パルス信号 UP_{dz} がアクティブとなる。一方、位相差パルス信号 UP がハイレベルとなっている時間が、遅延時間 dt よりも短い場合に、位相差パルス信号 UP_{dz} がノンアクティブとなる。

【0058】

このように、デッドゾーン生成回路12は、位相周波数比較回路11から出力された位相差パルス信号を所定時間 dt 遅延させる遅延回路46、47と、遅延回路46、47で遅延した位相差パルス信号と、基準パルス信号及び帰還パルス信号 Div のうちの立ち上がりの遅い方の反転信号との論理積を示す信号を、位相差パルス信号 UP_{dz} 、 $DOWN_{dz}$ として出力する論理積回路50、51と、を備えている。これらの構成により、デッドゾーン生成回路12は、基準パルス信号 Ref と、帰還パルス信号 Div との位相差が dt 以内である場合には、位相差を0とする。言い換えると、デッドゾーン生成回路12は、位相差パルス信号にデッドゾーン(不感帯)を与える。

20

【0059】

図11には、デッドゾーン生成回路の入出力の関係の一例が示されている。図11では、横軸は位相差(Phase error)であり、縦軸はデッドゾーン生成回路12から出力される電荷(Dead Zone Creator output)である。図11に示すように、この例は、 $dt = 0.5 ns$ となっており、位相差が $0.5 ns$ 以内である場合には、デッドゾーン生成回路12の出力(電荷)は、0.0となっている。

30

【0060】

チャージポンプ13は、位相差パルス信号 UP_{dz} と、 $DOWN_{dz}$ に応じた電流パルス I_{cp2} を出力する。図12には、チャージポンプ13の回路構成が示されている。図12に示すように、チャージポンプ13は、2つの電流ミラー60を備えている。 VBP 、 VBN は、一定の電源電圧である。

【0061】

チャージポンプ13では、位相差パルス信号 UP_{dz} が入力されると、Aの方向に電流パルス I_{cp2} が出力され、位相差パルス信号 $DOWN_{dz}$ が入力されると、Bの方向に電流パルス I_{cp2} が出力される。

40

【0062】

図1に戻り、ループフィルタ15は、容量 $C1$ 、 $C2$ 及び抵抗 $R1$ などから構成される。ループフィルタ15は、チャージポンプ13から出力された電流パルス I_{cp2} を入力し、電流パルス I_{cp2} に基づいて、電圧制御発振器10を制御する制御電圧 Vc を生成して出力する。電流パルス I_{cp2} を制御信号 I_{cp2} とも呼ぶ。

【0063】

電流制御発振器10は、制御電圧 Vc に応じた周波数の出力パルス信号 V_{out} を出力す

50

る。出力パルス信号 V_{out} の周波数 f は、基準パルス信号 V_{in} の周波数の N 倍となっている。この出力パルス信号 V_{out} は、ディバイダ 14 に入力される。

【0064】

ディバイダ 14 は、出力パルス信号 V_{out} の周波数を $1/N$ した信号を、帰還パルス信号 Div として出力する。

【0065】

周波数同期ループ 1 は、上述のような構成により、基準パルス信号 Ref に対応する出力パルス信号 V_{out} に対応する期間パルス信号 Div の周波数及び位相が、基準パルス信号 Ref の周波数及び位相に同期するように、電圧制御発振器 10 を制御する。

【0066】

次に、コアループ 2 の構成について説明する。

【0067】

図 1 に戻り、コアループ 2 は、上述の電圧制御発振器 10、ループフィルタ 15 に加え、サブサンプリング位相比較器 20 と、パルサ 21 と、チャージポンプ 22 とを備える。

【0068】

図 13 には、サブサンプリング位相比較器 20 の回路構成が示されている。図 13 に示すように、サブサンプリング位相比較器 20 は、電圧制御発振器 10 からの帰還パルス信号として、 V_{COP} 、 V_{CON} を入力する。 V_{COP} は、出力パルス信号 f_{out} と同じ信号であり、 V_{CON} は、その反転信号である。

【0069】

サブサンプリング位相比較器 20 は、基準パルス信号 Ref と電圧制御発振器 10 からの帰還パルス信号 (V_{COP} 、 V_{CON}) との間の位相差を、サンプリング電圧 V_{sam} (V_{samP} 、 V_{samN}) に変換する。すなわち、サンプリング電圧 V_{samP} は、基準パルス信号 Ref よりも帰還パルス信号 V_{COP} が遅れているときの位相差であり、サンプリング電圧 V_{samN} は、基準パルス信号 Ref よりも帰還パルス信号 V_{COP} 進んでいるときの位相差である。

【0070】

サブサンプリング位相比較器 20 の 2 つの容量は、基準パルス信号 Ref が高いときに、電圧制御発振器 10 からの帰還信号 V_{COP} 、 V_{CON} によってチャージされる。サブサンプリング位相比較器 20 は、基準信号 Ref の立ち下がりエッジで出力 V_{samP} 、 V_{samN} を発生させる。

【0071】

図 14 (A)、図 14 (B) には、サブサンプリング位相比較器 20 の出力パルス信号 V_{samP} 、 V_{samN} 及び基準パルス信号 Ref のタイミングチャートが示されている。図 14 (A) に示すように、基準パルス信号 Ref がハイレベルのときには、出力パルス信号 V_{samP} 、 V_{samN} は振動するが、基準パルス信号 Ref がローレベルのときには、出力パルス信号 V_{samP} 、 V_{samN} は一定レベルとなる。このレベルは、基準パルス信号 Ref と、帰還パルス信号 V_{COP} 、 V_{CON} との位相差を表している。

【0072】

図 15 には、パルサ 21 の回路構成が示されている。図 15 に示すように、パルサ 21 は、遅延回路、AND ゲート及びインバータ回路等を備える。遅延回路による遅延時間は V_{tune} によって制御され得る。この制御により、パルサ 21 は、パルス信号 $pull$ 及びその反転信号 $pullR$ を発生させる。パルス信号 $pull$ は、基準パルス信号 Ref がローレベルである期間内でハイレベルとなる信号である。

【0073】

図 16 には、チャージポンプ 22 の回路構成が示されている。図 16 に示すように、チャージポンプ 22 は、電圧を電流に変換する差動対 70 と、電流をループフィルタ 15 に流すカスコード電流ミラー 71 とを備える。差動対 70 は、 V_{samP} 、 V_{samN} を入力とする。電流ミラー 71 は、パルス信号 $pull$ がハイレベルであるときだけ、 V_{samP} と V_{samN} との間の電圧差に応じた電流パルス I_{cp1} を出力する。チャージポンプ 2

10

20

30

40

50

2の電流パルス I_{cp1} は、 V_{samP} と V_{samN} との間の電圧差によって変化する。電流パルス I_{cp1} の全体量は、 V_{bias} によって制御される。電流パルス I_{cp1} を以下では、制御信号 I_{cp1} とも呼ぶ。

【0074】

このように、コアループ2では、サブサンプリング位相比較器20の出力が、基準パルス信号 Ref と、帰還パルス信号 V_{COP} 、 V_{CON} との位相差を表しているときだけ、パルサ21が、チャージポンプ22をアクティブとして、電流パルス I_{cp1} を出力する。これにより、コアループ2による電圧制御発振器10の制御が可能となる。

【0075】

図1に戻り、ループフィルタ15は、チャージポンプ22から出力された電流パルス I_{cp1} を入力し、電流パルス I_{cp1} に応じた制御電圧 V_c を出力する。 10

【0076】

電流制御発振器10は、制御電圧 V_c に応じた周波数の出力パルス信号 V_{out} を出力する。この出力パルス信号 V_{out} は、ディバイダ14に入力される。

【0077】

次に、PLL回路100の動作について説明する。

【0078】

まず、基準パルス信号 Ref と、出力パルス信号 V_{out} との間の周波数が同期していない状態では、図17に示すように、周波数同期ループ1及びコアループ2が両方動作し、出力パルス信号 V_{out} の周波数及び位相を基準パルス信号 Ref に同期させる。 20

【0079】

帰還パルス信号 Div と基準パルス信号 Ref との位相差が $0.5ns$ 以内になると、デッドゾーン生成回路12から出力される位相差パルス信号は0となり、電流パルス I_{cp2} は、0となる。その後は、図18に示すように、コアループ2によって電流制御発振器10が制御される。

【0080】

図19(A)には、コアループ2における制御信号 I_{cp1} の変化の一例が示されている。また、図19(B)には、周波数同期ループ1における制御信号 I_{cp2} の変化の一例が示されている。さらに、図19(C)には、制御電圧 V_c の変化の一例が示されている。図19(A)に示すように、PLL回路100の動作中、コアループ2は、常に制御信号 I_{cp1} を出力しているが、図19(B)に示すように、周波数同期ループ1が制御信号 I_{cp2} を出力するのは、図19(C)に示すように制御電圧 V_c が収束するまでの初期の段階となる。 30

【0081】

以上詳細に説明したように、本実施形態によれば、ディバイダ14が設けられた周波数同期ループ1を構成するデッドゾーン生成回路12によってチャージポンプ13に出力する位相差パルス信号を0にするデッドゾーンの幅を自由に設定することができる。これにより、電圧制御発振器10を制御するループを周波数同期ループからコアループ2に切り替えるタイミングを、制御ループの特性に適したものとすることができるので、より高精度な発振制御が可能となる。 40

【0082】

より具体的には、デッドゾーン生成回路12のデッドゾーンの幅を、基準パルス信号の周期に関わらず、設定できるので、リング V_{CO} のようなチューニングゲインの高い V_{CO} を用いた場合にも有効的に位相雑音を低減することができる。

【0083】

また、本実施形態によれば、実質的に、分周器のない制御ループ(コアループ2)で、電圧制御発振器10を制御させるようになるので、位相雑音を低減することができる。

【0084】

また、本実施形態によれば、電圧制御発振器10としてリング型の V_{CO} を採用しているので、位相雑音を低減しながらも、装置を小型化し、かつ消費電力を低減することがで 50

きる。

【 0 0 8 5 】

本実施形態に係る P L L 回路 1 0 0 と、従来の P L L 回路（リング型 V C O）との比較結果を、以下の表にまとめる。比較対象としては、以下のものが採用された。

A.Sai et al., "A 570fsrms Integrated-Jitter Ring VCO-Based 1.21GHz PLL with Hybrid Loop", ISSCC, pp.98-100, 2011

【表 1】

	P L L 回路 1 0 0	従来の R i n g V C O を 組み込んだ P L L 回路 (世界トップ性能)
出力周波数 f_0 (G H z)	2. 0 8	1. 2 1
入力周波数 f_{ref} (M H z)	1 3 0	5 5
V C O タイプ	R i n g	R i n g
帯域内位相雑音 $L_{in_band}(f)$ (d B c / H z)	- 1 1 9. 1 (1 M H z)	- 1 1 9. 6 (1 M H z)
R M S ジッタ σ_{RMS} (p s)	0. 7 3 (1 k - 1 0 M)	0. 5 7 (1 k - 1 0 M)
消費電力 (m W)	2 0. 4	5 1. 6
コア面積 (m m ²)	0. 4 6	0. 1 2
F O M (Figure Of Merit) (d B)	- 2 2 9. 7	- 2 2 7. 7
回路製造技術	6 5 n m C M O S	6 5 n m C M O S

ここで、性能指標として、次式で示される F O M (Figure Of Merit) を導入した。

【数 3】

$$FOM = 10 \log \left[\left(\frac{\sigma_f}{1s} \right)^2 \times \left(\frac{P}{1mW} \right) \right] \dots (3)$$

【 0 0 8 6 】

上記表 1 に示すように、本実施形態に係る P L L 回路 1 0 0 により、帯域内位相雑音が - 1 1 9. 1 d B c / H z、R M S ジッタが 0. 7 3 p s、消費電力が 2 0. 4 m W、F O M が - 2 2 9. 7 d B、チップ面積が 2. 7 4 m m² という数値性能が達成された。R M S ジッタ 0. 7 3 p s は、リング型 V C O を用いた場合には、格段に低いジッタとなっている。ループ帯域の制御パラメータを変更するなどしてフィルタを最適化すれば、帯域内位相雑音、R M S ジッタはさらに改善することが可能であることが予想される。

【 0 0 8 7 】

P L L 回路 1 0 0 及び各構成要素の回路構成は、上記実施形態のものには限られない。例えば、チャージポンプ 1 3、サブサンプリング位相比較器 2 0、パルス 2 1、チャージポンプ 2 2、ループフィルタ 1 5 などは、電流制御発振器 1 0 は、他の回路構成を有するものであってもよい。

【 0 0 8 8 】

本発明は、この発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明を説明するためのものであり、本発明の範囲を限定するものではない。すなわち、本発明の範囲は、実施形態では

なく、特許請求の範囲によって示される。そして、特許請求の範囲内及びそれと同等の発明の意義の範囲内で施される様々な変形が、本発明の範囲内とみなされる。

【産業上の利用可能性】

【0089】

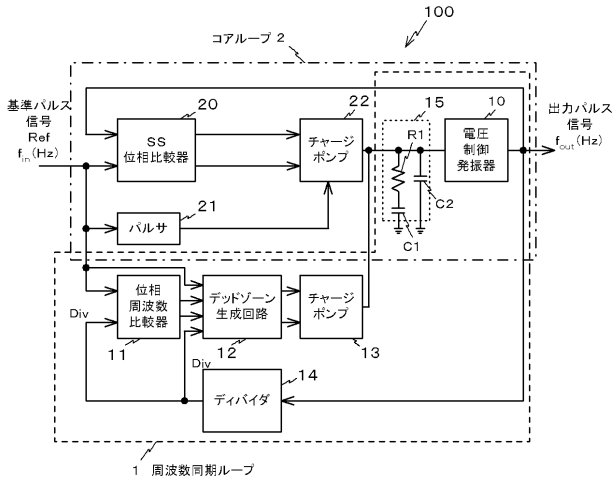
本発明は、通信機器やデジタル機器に用いられるPLL回路に好適である。

【符号の説明】

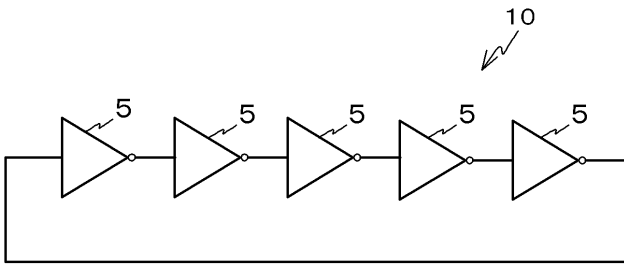
【0090】

1	周波数同期ループ	
2	コアループ	
5	インバータ回路	10
10	電圧制御発振器	
11	位相周波数比較器	
12	デッドゾーン生成回路	
13	チャージポンプ	
14	分周器(ディバイダ)	
15	ループフィルタ	
20	サブサンプリング位相比較器	
21	パルサ	
22	チャージポンプ	
31、32	Dフリップフロップ	20
33	論理積回路	
40~45	インバータ回路	
46、47	遅延回路	
48、49	インバータ回路	
50、51	論理積回路	
60	電流ミラー	
70	差動対	
71	電流ミラー	
100	位相同期ループ(PLL)回路	

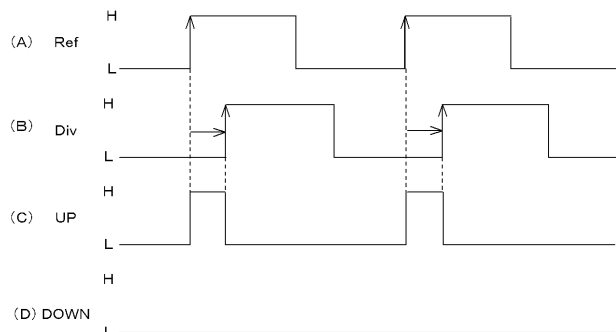
【図1】



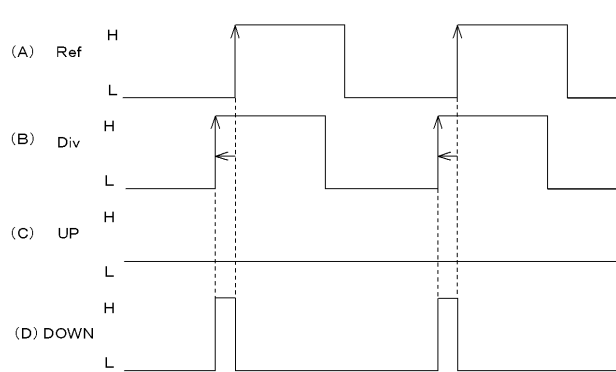
【図2】



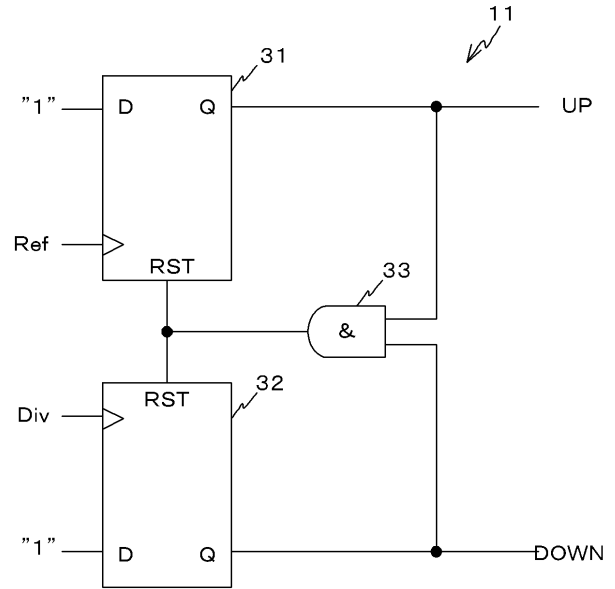
【図4】



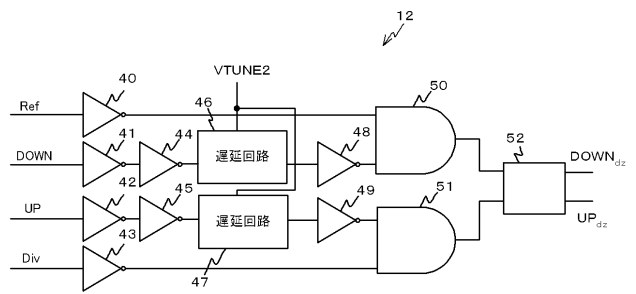
【図5】



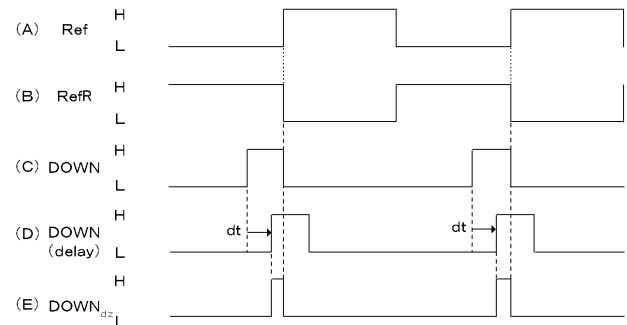
【図3】



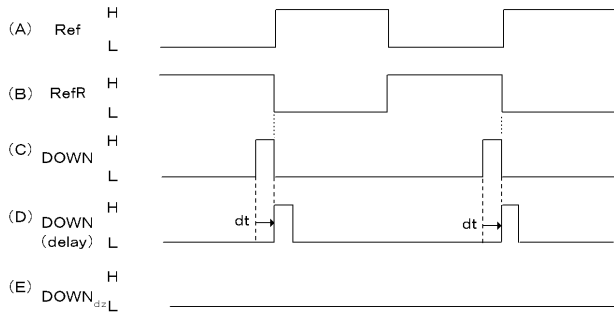
【図6】



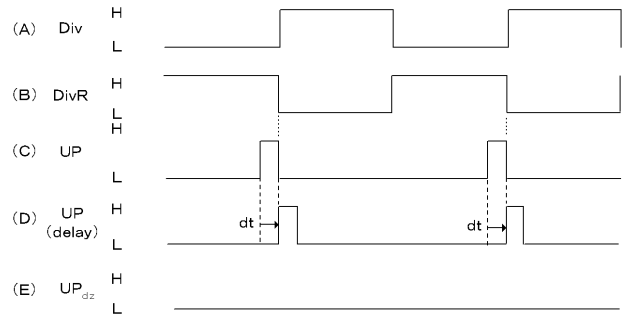
【図7】



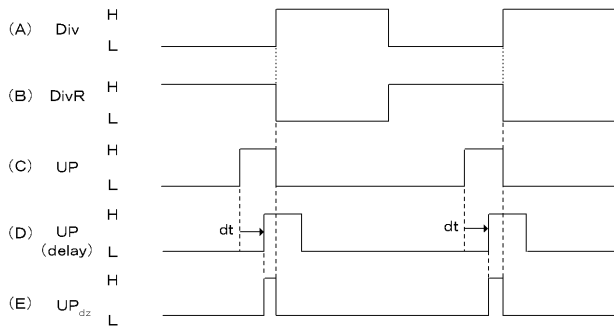
【 8 】



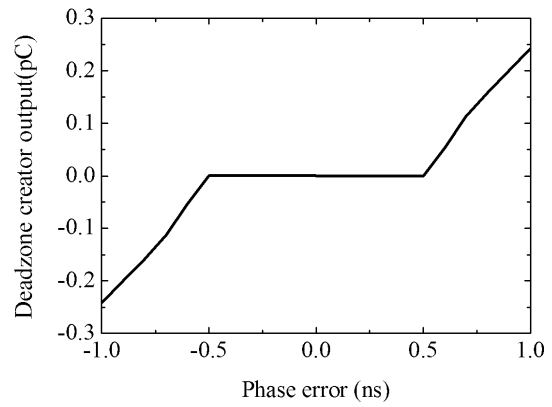
【 1 0 】



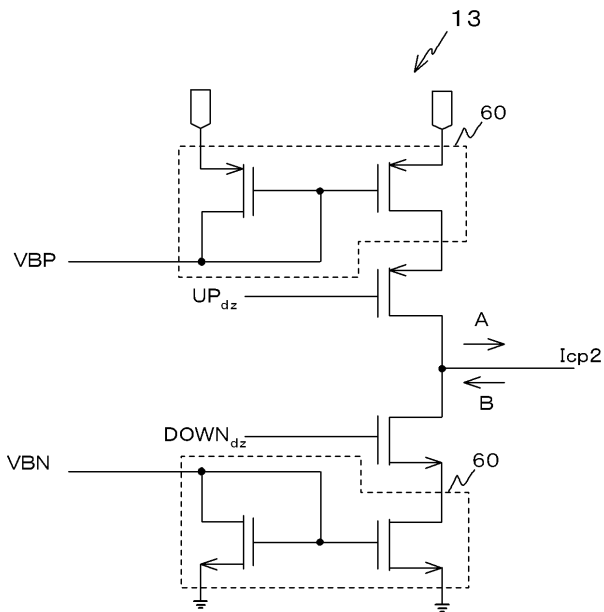
【 9 】



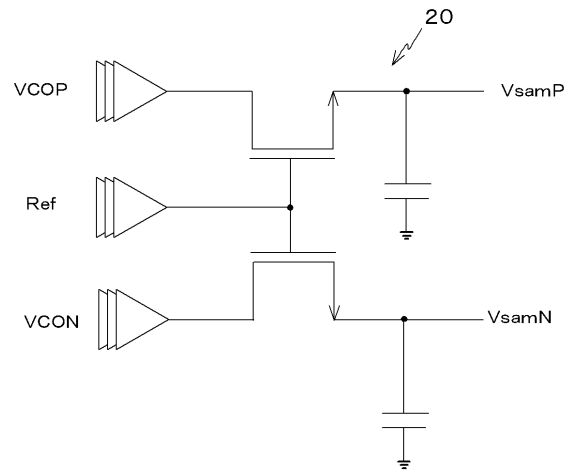
【 1 1 】



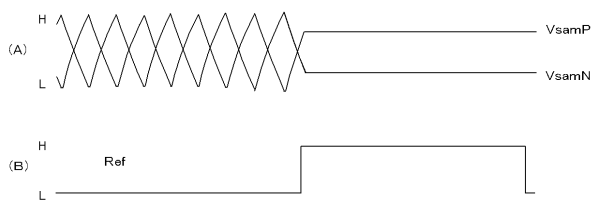
【 1 2 】



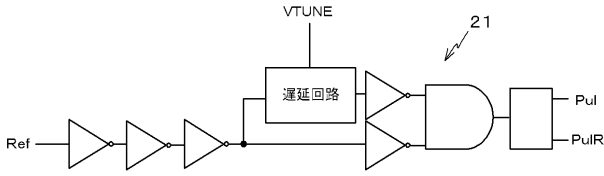
【 1 3 】



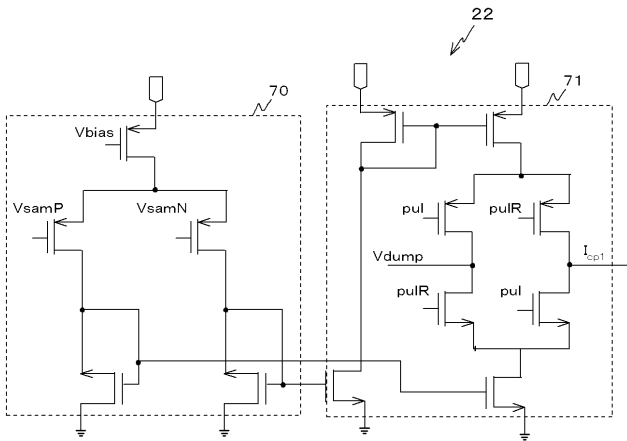
【 1 4 】



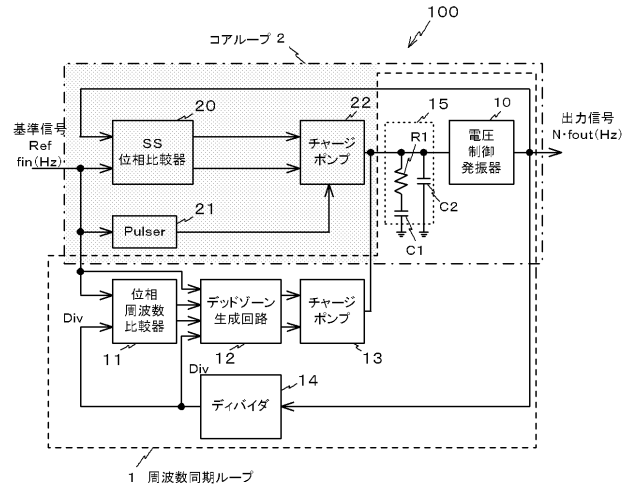
【図15】



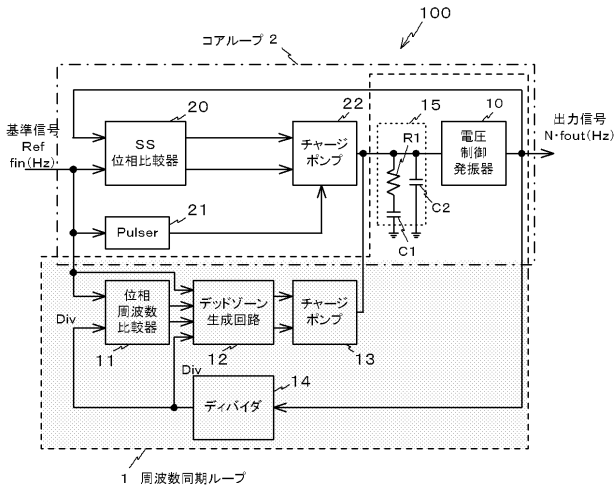
【図16】



【図17】

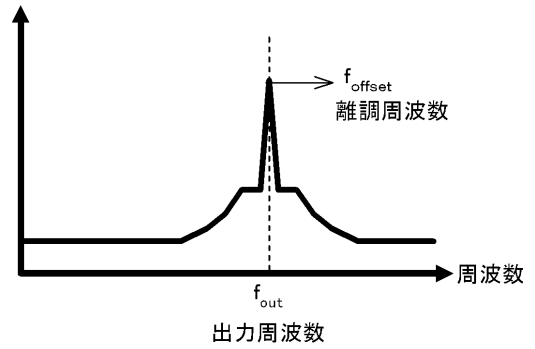


【図18】



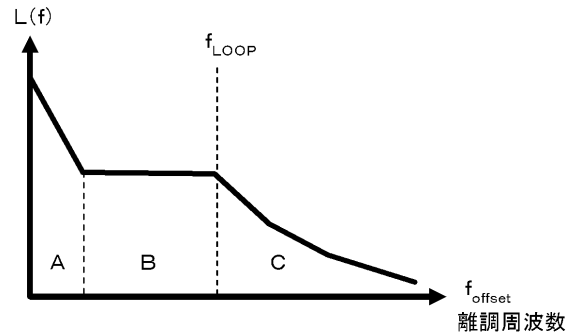
【図20】

出力パワー

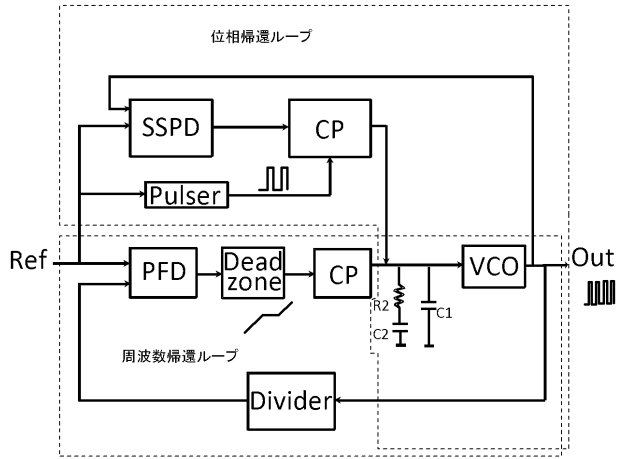


【図21】

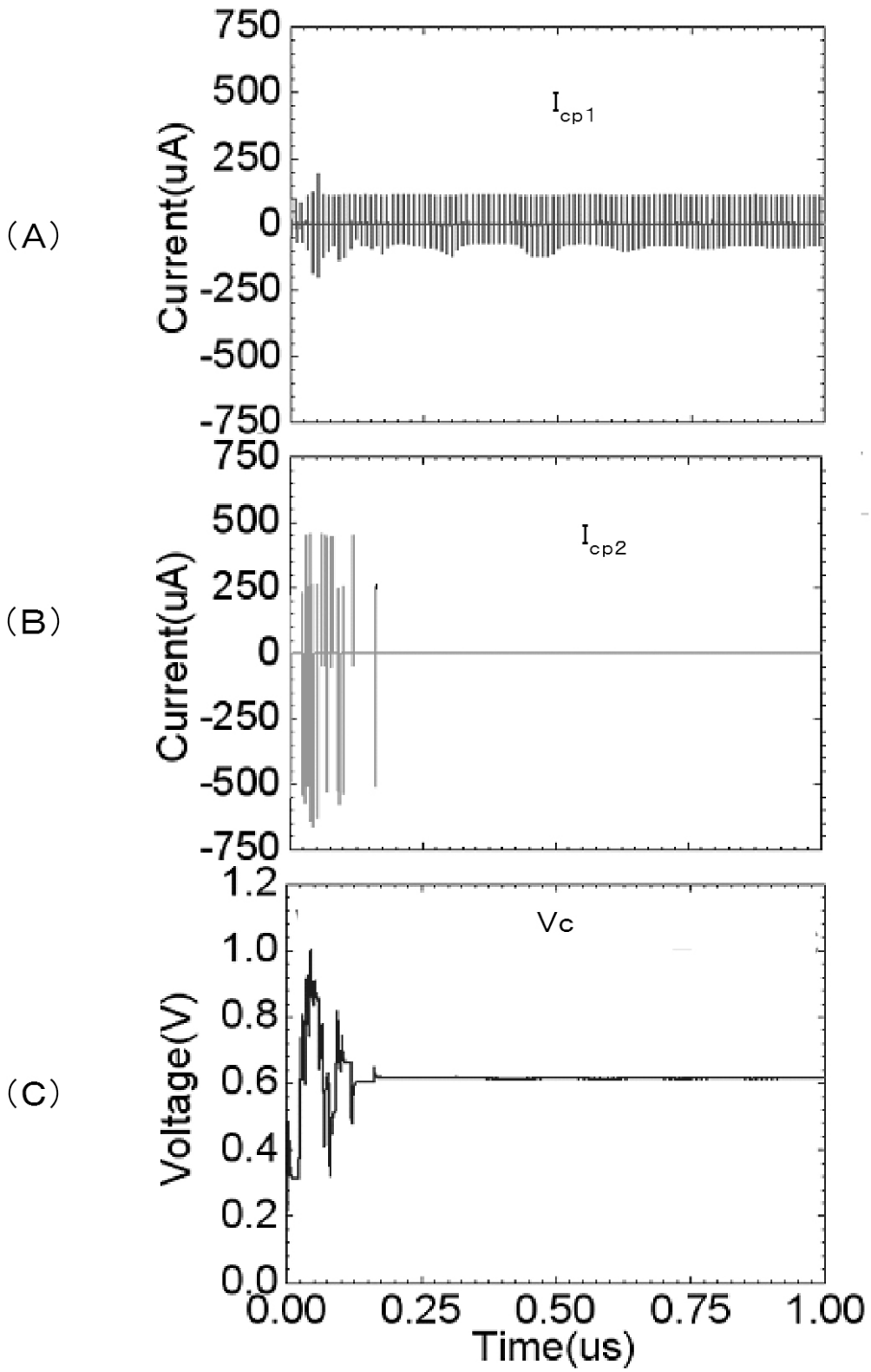
位相雑音



【 図 2 2 】



【 図 1 9 】



フロントページの続き

(72)発明者 外谷 昭洋

広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内

(72)発明者 十河 健太

広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内

Fターム(参考) 5J106 AA04 CC01 CC25 CC30 CC35 CC41 CC52 DD32 FF09 JJ02
JJ03 KK05 KK25 LL01 LL02 LL03 PP03 QQ07 SS01 SS03