

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-143857

(P2013-143857A)

(43) 公開日 平成25年7月22日(2013.7.22)

(51) Int.Cl.
H02M 7/12 (2006.01)

F I
H02M 7/12 F

テーマコード(参考)
5H006

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2012-3261(P2012-3261)
(22) 出願日 平成24年1月11日(2012.1.11)

(71) 出願人 000004606
ニチコン株式会社
京都府京都市中京区烏丸通御池上る二条殿町551番地
(71) 出願人 504145364
国立大学法人群馬大学
群馬県前橋市荒牧町四丁目2番地
(74) 代理人 110000475
特許業務法人みのり特許事務所
(72) 発明者 ▲けい▼ 林
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
(72) 発明者 高 虹
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内

最終頁に続く

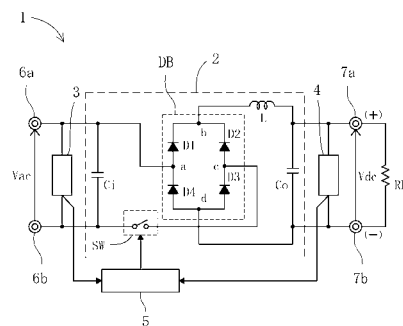
(54) 【発明の名称】 AC/DC変換装置

(57) 【要約】

【課題】従来のものよりも効率に優れ、かつ、簡単な構成で安定化された直流出力電圧を得ることができるAC/DC変換装置を提供することができる。

【解決手段】チョッパ部2と、入力電圧検知部3と、出力電圧検知部4と、制御部5とが備えられ、第1入力端6aと第2入力端6bの間にダイオードブリッジDBとスイッチング素子SWが直列接続され、ダイオードブリッジの対角頂点部cと第2入力端6bとの間にスイッチング素子が接続され、ダイオードブリッジの対角頂点部bと第1出力端7aとの間にコイルLが接続され、ダイオードブリッジの対角頂点部dと第2出力端7bとが接続され、コンデンサCoが第1出力端と第2出力端との間に接続され、制御部は、スイッチング素子をオン/オフ制御して、交流入力電圧Vacを目標電圧値を有する直流出力電圧Vdcに変換する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 入力端および第 2 入力端からなる入力端子対に入力される交流入力電圧を所望の目標電圧値を有する直流出力電圧に変換して第 1 出力端および第 2 出力端からなる出力端子対から出力させる AC / DC 変換装置において、

コイル、コンデンサ、ダイオードブリッジおよびスイッチング素子を有するチョッパ部と、

前記交流入力電圧の電圧値を検知する入力電圧検知部と、

前記直流出力電圧の電圧値を検知する出力電圧検知部と、

前記入力電圧検知部および前記出力電圧検知部が検知した電圧値に基づいて、前記直流出力電圧の電圧値が前記目標電圧値となるように前記チョッパ部の前記スイッチング素子をオン / オフ制御する制御部と

を備え、

前記第 1 入力端と前記第 2 入力端との間に前記ダイオードブリッジおよび前記スイッチング素子からなる直列回路が接続され、

前記ダイオードブリッジの入力側にある一对の対角頂点部の一方と、前記第 1 入力端および前記第 2 入力端の少なくとも一方との間に前記スイッチング素子が接続され、

前記ダイオードブリッジの出力側にある一对の対角頂点部の一方に前記コイルの一端が接続され、前記コイルの他端が前記第 1 出力端に接続され、

前記ダイオードブリッジの出力側にある一对の対角頂点部の他方と前記第 2 出力端とが接続され、

前記コンデンサが、前記第 1 出力端と前記第 2 出力端との間に接続され、

前記制御部は、前記交流入力電圧の電圧値および前記目標電圧値に応じて、前記スイッチング素子をオン / オフ制御して、前記交流入力電圧を前記目標電圧値を有する直流出力電圧に変換することを特徴とする AC / DC 変換装置。

【請求項 2】

前記制御部は、

前記交流入力電圧の電圧値が正であって、かつ、該電圧値が前記目標電圧値以上である場合には、前記チョッパ部を正の降圧チョッパ動作状態にし、

前記交流入力電圧の電圧値が負であって、かつ、該電圧値の絶対値が前記目標電圧値以上である場合には、前記チョッパ部を負の降圧チョッパ動作状態にし、

前記交流入力電圧の電圧値の絶対値が前記目標電圧値未満である場合には、前記チョッパ部をチョッパ動作停止状態にすることを特徴とする請求項 1 に記載の AC / DC 変換装置。

【請求項 3】

前記交流入力電圧の入力が開始されてから所定の時間が経過するまでの間および / または前記直流出力電圧の電圧値が所定の電圧値に到達するまでの間、前記制御部は、前記正の降圧チョッパ動作状態において、前記スイッチング素子のオン時間を短くすることにより、デューティを低く設定することを特徴とする請求項 1 または 2 に記載の AC / DC 変換装置。

【請求項 4】

前記交流入力電圧の入力が開始されてから所定の時間が経過するまでの間および / または前記直流出力電圧の電圧値が所定の電圧値に到達するまでの間、前記制御部は、前記負の降圧チョッパ動作状態において、前記スイッチング素子のオン時間を短くすることにより、デューティを低く設定することを特徴とする請求項 1 ~ 3 のいずれかに記載の AC / DC 変換装置。

【請求項 5】

前記スイッチング素子は、互いに逆直列接続された一对の MOSFET からなり、

前記一对の MOSFET の各ゲートが前記制御部に共通接続され、ソース同士が接続され、一方のドレインが前記第 1 入力端および前記第 2 入力端のいずれか一方に接続され、

他方のドレインが前記ダイオードブリッジの入力側にある一対の対角頂点部の一方に接続されていることを特徴とする請求項 1 ~ 4 のいずれかに記載の A C / D C 変換装置。

【請求項 6】

前記ダイオードブリッジを構成するダイオードは、S i C、G a N またはダイヤモンドのワイドギャップ半導体からなるショットキーバリアダイオードからなることを特徴とする請求項 1 ~ 5 のいずれかに記載の A C / D C 変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、交流入力電圧を所望の目標電圧値を有する直流出力電圧に変換する A C / D C 変換装置に関する。

10

【背景技術】

【0002】

従来の A C / D C 変換装置として、例えば特許文献 1 には図 7 に示す A C / D C 変換装置 10 が開示されている。同図に示すように、A C / D C 変換装置 10 は、交流入力電圧 V a c を所望の目標電圧値を有する直流出力電圧 V d c に変換するものであって、ダイオードブリッジ回路 11 と、高周波フィルタ回路 12 と、昇圧チョッパ回路からなる力率改善回路 13 と、降圧チョッパ回路からなる D C - D C 変換回路 14 とを備えている。

【0003】

この A C / D C 変換装置 10 は、昇圧チョッパ回路および降圧チョッパ回路の両方を備えているので、上記目標電圧値を交流入力電圧 V a c の電圧値よりも低い電圧値に設定することも、高い電圧値に設定することもできる。

20

【0004】

また、従来別の A C / D C 変換装置として、例えば非特許文献 1 には図 8 に示す A C / D C 変換装置 20 が開示されている。同図に示すように、A C / D C 変換装置 20 は、交流入力電圧 V a c を所望の目標電圧値（ただし、交流入力電圧 V a c の電圧値以上）を有する直流出力電圧 V d c に変換するものであって、ノイズフィルタ回路 21 と、突入防止回路 22 と、ダイオードブリッジ回路 23 と、スイッチング素子 S W 等からなるチョッパ回路と、直流出力電圧 V d c の電圧値および各部の電流値に基づいてスイッチング素子 S W を制御する制御部 24 とを備えている。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2001 - 86737 号公報

【非特許文献】

【0006】

【非特許文献 1】山崎浩、「アクティブフィルタの特徴と開発・応用現状」、電子技術、日刊工業新聞社、平成 2 年 3 月発行、第 32 巻、第 3 号、p . 76 (図 9)

【発明の概要】

【発明が解決しようとする課題】

40

【0007】

しかしながら、上記 A C / D C 変換装置 10、20 は、ダイオードブリッジ回路 11、23 に常に入力電流が流れるため、出力電力が増加して入力電流が増加すると、それに伴ってダイオードブリッジ回路 11、23 で発生する損失が増加し、効率が悪化するという問題があった。そして、A C / D C 変換装置 20 については、突入防止回路 22 にも常に入力電流が流れるため、当該回路においても損失が発生していた。

【0008】

また、目標電圧値を広い範囲で設定できる A C / D C 変換装置 10 の効率は、直列接続された力率改善回路（昇圧チョッパ回路）13 および D C - D C 変換回路（降圧チョッパ回路）14 の効率の積となるので、一般的に低く、改善の余地は限定的であった。そして

50

、上記の通り、AC/DC変換装置20は、目標電圧値を交流入力電圧Vacよりも低く設定することができない。

【0009】

また、特に上記AC/DC変換装置10では、昇圧チョッパ動作および降圧チョッパ動作が行われるので、安定化された直流出力電圧Vdcを得るための制御が複雑化していた。

【0010】

本発明は上記事情に鑑みてなされたものであって、その課題とするところは、従来のものよりも効率に優れ、かつ、簡単な構成で安定化された直流出力電圧を得ることができるAC/DC変換装置を提供することにある。

10

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明に係るAC/DC変換装置は、第1入力端および第2入力端からなる入力端子対に入力される交流入力電圧を所望の目標電圧値を有する直流出力電圧に変換して第1出力端および第2出力端からなる出力端子対から出力させるAC/DC変換装置において、コイル、コンデンサ、ダイオードブリッジおよびスイッチング素子を有するチョッパ部と、交流入力電圧の電圧値を検知する入力電圧検知部と、直流出力電圧の電圧値を検知する出力電圧検知部と、入力電圧検知部および出力電圧検知部が検知した電圧値に基づいて、直流出力電圧の電圧値が目標電圧値となるようにチョッパ部のスイッチング素子をオン/オフ制御する制御部とを備え、第1入力端と第2入力端との間にダイオードブリッジおよびスイッチング素子からなる直列回路が接続され、ダイオードブリッジの入力側にある一対の対角頂点部の一方と、第1入力端および第2入力端の少なくとも一方との間にスイッチング素子が接続され、ダイオードブリッジの出力側にある一対の対角頂点部の一方にコイルの一端が接続され、コイルの他端が第1出力端に接続され、ダイオードブリッジの出力側にある一対の対角頂点部の他方と第2出力端とが接続され、コンデンサが、第1出力端と第2出力端との間に接続され、制御部は、交流入力電圧の電圧値および目標電圧値に応じて、スイッチング素子をオン/オフ制御して、交流入力電圧を目標電圧値を有する直流出力電圧に変換することを特徴としている。

20

【0012】

この構成によれば、交流入力電圧の電圧値および目標電圧値に応じてスイッチング素子がオン/オフ制御されることにより、交流入力電圧が直接スイッチングされるので、常に交流入力電圧を整流するダイオードブリッジ回路を不要とすることができ、該回路による損失の発生を防ぐことができる。また、この構成によれば、2以上のチョッパ回路を直列接続する必要がないので、効率が悪化するのを防ぐことができる。

30

【0013】

ここで、上記AC/DC変換装置の制御部は、交流入力電圧の電圧値が正であって、かつ、該電圧値が目標電圧値以上である場合には、チョッパ部を正の降圧チョッパ動作状態にし、交流入力電圧の電圧値が負であって、かつ、該電圧値の絶対値が目標電圧値以上である場合には、チョッパ部を負の降圧チョッパ動作状態にし、交流入力電圧の電圧値の絶対値が目標電圧値未満である場合には、チョッパ部をチョッパ動作停止状態にすることが好ましい。

40

【0014】

この構成によれば、チョッパ部が降圧チョッパ動作を行うのみであるため、制御部が簡単な構成となるAC/DC変換装置を提供することができる。

【0015】

また、上記AC/DC変換装置の制御部は、交流入力電圧の入力が開始されてから所定の時間が経過するまでの間および/または直流出力電圧の電圧値が所定の電圧値に到達するまでの間、正の降圧チョッパ動作状態において、スイッチング素子のオン時間を短くすることにより、デューティを低く設定することが好ましい。

【0016】

50

この構成によれば、正の降圧チョッパ動作状態におけるデューティを変えるだけでソフトスタート機能を実現することができるので、突入防止回路を不要とすることができ、該回路による損失の発生を防ぐことができる。

【0017】

また、上記AC/DC変換装置の制御部は、交流入力電圧の入力が開始されてから所定の時間が経過するまでの間および/または直流出力電圧の電圧値が所定の電圧値に到達するまでの間、負の降圧チョッパ動作状態において、スイッチング素子のオン時間を短くすることにより、デューティを低く設定することが好ましい。

【0018】

この構成によれば、負の降圧チョッパ動作状態におけるデューティを変えるだけでソフトスタート機能を実現することができるので、突入防止回路を不要とすることができ、該回路による損失の発生を防ぐことができる。

【0019】

また、上記AC/DC変換装置のスイッチング素子は、互いに逆直列接続された一対のMOSFETからなり、一対のMOSFETの各ゲートが制御部に共通接続され、ソース同士が接続され、一方のドレインが第1入力端および第2入力端のいずれか一方に接続され、他方のドレインがダイオードブリッジの入力側にある一対の対角頂点部の一方に接続されていることが好ましい。

【0020】

この構成によれば、互いに逆直列接続された一対のMOSFETはスイッチング素子の中でも動作効率が特に良好なため、より効率に優れたAC/DC変換装置を実現できる。

【0021】

また、上記AC/DC変換装置のダイオードブリッジを構成するダイオードは、SiC、GaNまたはダイヤモンドのワイドギャップ半導体からなるショットキーバリアダイオードからなることが好ましい。

【0022】

この構成によれば、SiC、GaNまたはダイヤモンドのワイドギャップ半導体からなるショットキーバリアダイオードはダイオードの中でも特に低損失であるため、より低損失で低ノイズのAC/DC変換装置を実現できる。

【発明の効果】

【0023】

本発明によれば、従来のもよりも効率に優れ、かつ、簡単な構成で安定化された直流出力電圧を得ることができるAC/DC変換装置を提供することができる。

【図面の簡単な説明】

【0024】

【図1】本発明に係るAC/DC変換装置の概略構成図である。

【図2】(A)は、交流入力電圧と直流出力電圧の対応関係を示す時間波形であり、(B)は、交流入力電流を示す時間波形である。

【図3】本発明に係るAC/DC変換装置の正の降圧チョッパ動作状態の等価回路図である。

【図4】本発明に係るAC/DC変換装置の負の降圧チョッパ動作状態の等価回路図である。

【図5】本発明に係るAC/DC変換装置のチョッパ動作停止状態の等価回路図である。

【図6】本発明に係るAC/DC変換装置の変形例を示す概略構成図である。

【図7】従来のAC/DC変換装置の概略構成図である。

【図8】従来のAC/DC変換装置の概略構成図である。

【発明を実施するための形態】

【0025】

以下、添付図面を参照して、本発明に係るAC/DC変換装置の好ましい実施形態について説明する。

10

20

30

40

50

【0026】

図1は、本発明に係るAC/DC変換装置1の概略構成図である。同図に示すように、AC/DC変換装置1は、第1入力端6aおよび第2入力端6bからなる入力端子対に入力された交流入力電圧 V_{ac} を所望の目標電圧値 V_t を有する直流出力電圧 V_{dc} に変換し、該直流出力電圧 V_{dc} を第1出力端7aおよび第2出力端7bからなる出力端子対から負荷 R_L に出力するものであって、チョッパ部2と、交流入力電圧 V_{ac} の電圧値を検知する入力電圧検知部3と、直流出力電圧 V_{dc} の電圧値を検知する出力電圧検知部4と、入力電圧検知部3および出力電圧検知部4が検知した電圧値に基づいて、直流出力電圧 V_{dc} の電圧値が目標電圧値 V_t となるようにチョッパ部2を制御する制御部5とを備えている。

10

【0027】

チョッパ部2は、第1入力端6aと第2入力端6bとの間に接続されたダイオードブリッジDBおよびスイッチング素子SWの直列回路と、コイルLと、コンデンサCoとを有する。

【0028】

ダイオードブリッジDBは、第1～第4ダイオードD1～D4から構成され、入力側にある一对の対角頂点部a、cと、出力側にある一对の対角頂点部b、dとを有する。

ダイオードブリッジDBの入力側にある対角頂点部aには、第1ダイオードD1のアノードおよび第4ダイオードD4のカソードが接続され、ダイオードブリッジDBの入力側にある対角頂点部cには、第2ダイオードD2のアノードおよび第3ダイオードD3のカソードが接続されている。

20

一方、ダイオードブリッジDBの出力側にある対角頂点部bには、第1ダイオードD1のカソードおよび第2ダイオードD2のカソードが接続され、ダイオードブリッジDBの出力側にある対角頂点部dには、第3ダイオードD3のアノードおよび第4ダイオードD4のアノードが接続されている。

また、ダイオードブリッジDBの入力側にある対角頂点部aと第1入力端6aとが接続され、ダイオードブリッジDBの出力側にある対角頂点部dと第2出力端7bとが接続されている。

【0029】

スイッチング素子SWは、制御部5によりオン/オフ制御されるものであって、ダイオードブリッジDBの入力側にある対角頂点部cと第2入力端6bとの間に接続されている。なお、スイッチング素子SWは、対角頂点部aと第1入力端6aとの間に接続されていてもよい。また、制御を容易にするために、対角頂点部aと第1入力端6aとの間および対角頂点部cと第2入力端6bとの間の両方にスイッチング素子SWを挿入するようにしてもよい。

30

【0030】

コイルLの一端は、ダイオードブリッジDBの出力側にある対角頂点部bに接続され、コイルLの他端は、第1出力端7aに接続されている。

コンデンサCoは、第1出力端7aと第2出力端7bとの間に接続されている。

【0031】

なお、チョッパ部2は、第1入力端6aと第2入力端6bとの間に接続されたコンデンサCiも備えているが、該コンデンサCiはコンデンサCoに比べて容量が非常に小さく、チョッパ部2の動作状態にはほとんど影響を与えないので、以下では、説明を簡単化するためにコンデンサCiを無視する。

40

【0032】

図2(A)および(B)に示すように、本発明では、交流入力電圧 V_{ac} (第2入力端6bを基準とした場合の第1入力端6aの電位)の電圧値と目標電圧値 V_t (負荷 R_L に出力すべき直流出力電圧 V_{dc} の電圧値)とに応じて制御部5がスイッチング素子SWの制御を変更する。言い換えると、本発明では、交流入力電圧 V_{ac} の電圧値および目標電圧値 V_t に応じてチョッパ部2のチョッパ動作状態が変更される。

50

【 0 0 3 3 】

具体的には、本発明に係る A C / D C 変換装置 1 のチョッパ部 2 は、図 2 (A) および (B) に示すように、(1) 交流入力電圧 V_{ac} の電圧値が正であって、かつ、該電圧値が目標電圧値 V_t 以上である場合には、入力電圧が正である場合における降圧チョッパ動作状態 (以下「正の降圧チョッパ動作状態」という) になり、(2) 交流入力電圧 V_{ac} の電圧値が負であって、かつ、該電圧値の絶対値が目標電圧値 V_t 以上である場合には、入力電圧が負である場合における降圧チョッパ動作状態 (以下「負の降圧チョッパ動作状態」という) になり、(3) 交流入力電圧 V_{ac} の電圧値の絶対値が目標電圧値 V_t 未満である場合には、チョッパ動作停止状態になる。これらの動作状態により、直流出力電圧 V_{dc} の電圧値は、目標電圧値 V_t に維持 (安定化) される。なお、図 2 (A) は、上記の制御により直流出力電圧 V_{dc} の電圧値が目標電圧値 V_t となった状態を示している。

10

【 0 0 3 4 】

次に、チョッパ部 2 の 3 つの動作状態のうち、まず正の降圧チョッパ動作状態について説明する。本動作状態における A C / D C 変換装置 1 は、図 3 (A) および (B) に示す簡素な等価回路で表現される。なお、図 3 (A) においては、スイッチング素子 S W がオン状態になっており、図 3 (B) においては、スイッチング素子 S W がオフ状態になっている。

【 0 0 3 5 】

図 3 (A) に示すように、スイッチング素子 S W がオン状態とされると、ダイオードブリッジ D B を構成する第 1 ~ 第 4 ダイオード D 1 ~ D 4 のうち、第 1 および第 3 ダイオード D 1、D 3 が導通状態となり、コイル L にエネルギーが蓄えられる。一方、図 3 (B) に示すように、スイッチング素子 S W がオフ状態とされると、第 1 ~ 第 4 ダイオード D 1 ~ D 4 が導通状態となり、コイル L に蓄えられたエネルギーが放出される。

20

【 0 0 3 6 】

この正の降圧チョッパ動作状態において、1 スwitching 周期 T におけるスイッチング素子 S W のオン時間を T_{on} とすると、スイッチング素子 S W のデューティ ($= T_{on} / T$) は次式で求めることができる。

$$\text{デューティ} = V_{dc} \text{ の電圧値} / V_{ac} \text{ の電圧値}$$

【 0 0 3 7 】

したがって、この正の降圧チョッパ動作状態において、適切なデューティ でスイッチング素子 S W をオン状態またはオフ状態にして、交流入力電圧 V_{ac} を降圧することによって、電圧値が目標電圧値 V_t である直流出力電圧 V_{dc} を得、該直流出力電圧 V_{dc} を負荷 R L に供給することができる。

30

【 0 0 3 8 】

次に、負の降圧チョッパ動作状態について説明する。本動作状態における A C / D C 変換装置 1 は、図 4 (A) および (B) に示す簡素な等価回路で表現される。なお、図 4 (A) においては、スイッチング素子 S W がオン状態になっており、図 4 (B) においては、スイッチング素子 S W がオフ状態になっている。また、図 4 (B) は、図 3 (B) と同じ等価回路を示している。

40

【 0 0 3 9 】

図 4 (A) に示すように、スイッチング素子 S W がオン状態とされると、第 2 および第 4 ダイオード D 2、D 4 が導通状態となり、コイル L にエネルギーが蓄えられる。一方、図 4 (B) に示すように、スイッチング素子 S W がオフ状態とされると、図 3 (B) と同様、第 1 ~ 第 4 ダイオード D 1 ~ D 4 が導通状態となり、コイル L に蓄えられたエネルギーが放出される。

【 0 0 4 0 】

また、この負の降圧チョッパ動作において、1 スwitching 周期 T におけるスイッチング素子 S W のオン時間を T_{on} とすると、スイッチング素子 S W のデューティ ($= T_{on} / T$) は次式で求めることができる。

50

デューティ = V_{dc} の電圧値 / V_{ac} の電圧値の絶対値

【0041】

したがって、この負の降圧チョッパ動作状態においても、適切なデューティでスイッチング素子 SW をオン状態またはオフ状態にして、交流入力電圧 V_{ac} を降圧することによって、電圧値が目標電圧値 V_t である直流出力電圧 V_{dc} を得、該直流出力電圧 V_{dc} を負荷 RL に供給することができる。

【0042】

最後に、チョッパ動作停止状態における AC/DC 変換装置 1 は、図 5 に示す簡素な等価回路で表現される。

交流入力電圧 V_{ac} の電圧値の絶対値が目標電圧値 V_t 未満である場合には、チョッパ部 2 の降圧チョッパ動作によって目標電圧値 V_t である直流出力電圧 V_{dc} を得ることはできないため、このチョッパ動作停止状態においては、スイッチング素子 SW がオフ状態に維持されて、チョッパ部 2 のチョッパ動作が停止される。

【0043】

以上のように、本発明に係る AC/DC 変換装置 1 では、制御部 5 が、(1) 交流入力電圧 V_{ac} の電圧値が正であって、かつ、該電圧値が目標電圧値 V_t 以上である場合には、チョッパ部 2 を正の降圧チョッパ動作状態にし、(2) 交流入力電圧 V_{ac} の電圧値が負であって、かつ、該電圧値の絶対値が目標電圧値 V_t 以上である場合には、チョッパ部 2 を負の降圧チョッパ動作状態にし、(3) 交流入力電圧 V_{ac} の電圧値の絶対値が目標電圧値 V_t 未満である場合には、チョッパ部 2 をチョッパ動作停止状態にする。

したがって、本発明に係る AC/DC 変換装置 1 によれば、交流入力電圧 V_{ac} の電圧値および目標電圧値 V_t に応じてスイッチング素子 SW がオン/オフ制御されることにより、交流入力電圧 V_{ac} が直接スイッチングされるので、従来技術のような常に交流入力電圧を整流するダイオードブリッジ回路(図 7 の符号 11、図 8 の符号 23)を不要とすることができるので、該回路による損失の発生を防ぐことができ、効率を改善することができる。

【0044】

また、図 1 および図 3 ~ 図 5 から明らかなように、本発明に係る AC/DC 変換装置 1 は、2 つ以上のチョッパ回路を直列接続した構成とはなっていない。したがって、本発明に係る AC/DC 変換装置 1 によれば、2 つ以上のチョッパ回路のそれぞれが効率を悪化させることによる装置全体の効率の悪化を防ぐことができる。

【0045】

さらに、本発明に係る AC/DC 変換装置 1 によれば、チョッパ部 2 は降圧チョッパ動作を行うのみであるため、制御部 5 が簡単な構成となる。

【0046】

なお、本発明に係る AC/DC 変換装置 1 は上記構成に限定されるものではなく、種々の変形例が考えられる。

【0047】

(変形例 1)

上記 AC/DC 変換装置 1 のスイッチング素子 SW は、例えば、図 6 に示すような、互いに逆直列接続された一対の N チャネル $MOSFET$ Q_1 および Q_2 からなり、一対の N チャネル $MOSFET$ Q_1 および Q_2 は、各ゲートが制御部 5 に共通接続され、ソース同士が接続され、一方のドレインが第 2 入力端 6b に接続され、他方のドレインが対角頂点部 c に接続されていることが好ましい。

【0048】

この構成によれば、互いに逆直列接続された一対の N チャネル $MOSFET$ Q_1 および Q_2 はスイッチング素子の中でも動作効率が特に良好なため、より効率に優れた AC/DC 変換装置 1 を実現できる。なお、効率が許容できれば、制御の容易さから N チャネル $MOSFET$ に代えて P チャネル $MOSFET$ を用いてもよい。

10

20

30

40

50

【 0 0 4 9 】

(変形例 2)

また、上記 A C / D C 変換装置 1 のダイオードブリッジ D B を構成する各ダイオード D 1 ~ D 4 は、S i C (シリコンカーバイド)、G a N (ガリウムナイトライド) またはダイヤモンドのワイドギャップ半導体からなるショットキーバリアダイオードからなることが好ましい。

【 0 0 5 0 】

この構成によれば、S i C、G a N またはダイヤモンドのワイドギャップ半導体からなるショットキーバリアダイオードはダイオードの中でも特に低損失であるため、より低損失で低ノイズの A C / D C 変換装置 1 を実現できる。

10

【 0 0 5 1 】

(変形例 3)

また、効率をさらに改善するためには、交流入力電圧 V a c の入力開始してから所定の時間が経過するまでの間および / または直流出力電圧 V d c の電圧値が所定の電圧値 (例えば、目標電圧値 V t の約 9 5 %) に到達するまでの間、各チョッパ動作状態におけるデューティを通常時とは異なったデューティとすることが好ましい。

【 0 0 5 2 】

例えば、正の降圧チョッパ動作状態においては、スイッチング素子 S W がオフ状態に切り替えられたときに、コイル L に蓄積されていたエネルギーがコンデンサ C o に供給され、また、負の降圧チョッパ動作状態においても、スイッチング素子 S W がオフ状態に切り替えられたときに、コイル L に蓄積されていたエネルギーがコンデンサ C o に供給されるので、通常時よりもデューティ (= T o n / T) を低めに設定してスイッチング素子 S W のオン時間 T o n を短くし、コイル L に蓄積されるエネルギーを減らすことで、突入電流の量を制限することができる。

20

【 0 0 5 3 】

したがって、この構成によれば、突入防止回路 (図 8 の符号 2 2) がなくても突入電流の量を制限することができるので、該回路による損失の発生を防ぐことができる。

【 0 0 5 4 】

(変形例 4)

さらに、図示しない入力電流検出回路を設けて、制御部 5 が、入力電流波形を入力電圧波形に近づけるようにスイッチング素子 S W の制御を行うように構成されてもよい。

30

この構成によれば、高調波電流が抑制され、力率が改善され、より安定化された直流出力電圧 V d c を得ることのできる A C / D C 変換装置 1 が実現できる。

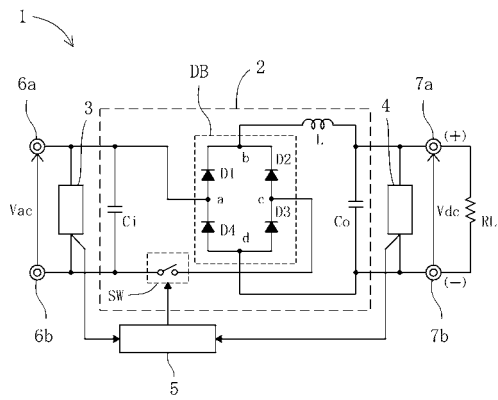
【 符号の説明 】

【 0 0 5 5 】

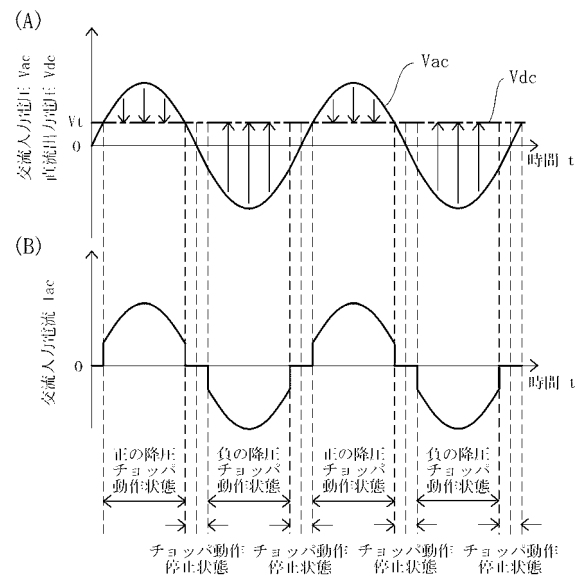
- 1 A C / D C 変換装置
- 2 チョッパ部
- 3 入力電圧検知部
- 4 出力電圧検知部
- 5 制御部

40

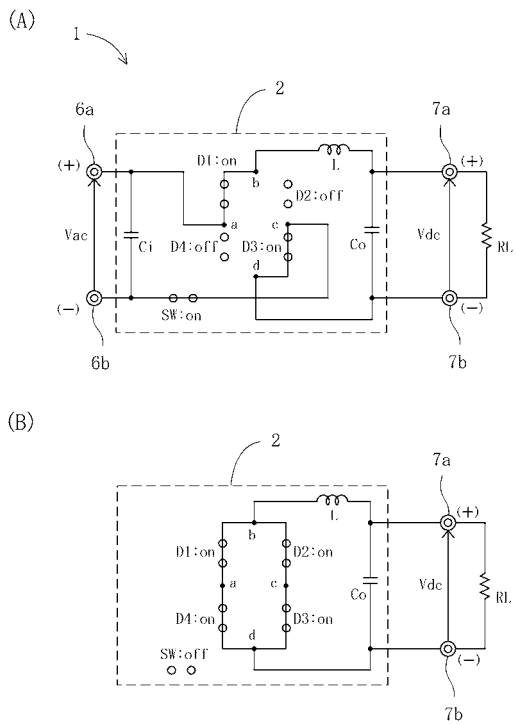
【図 1】



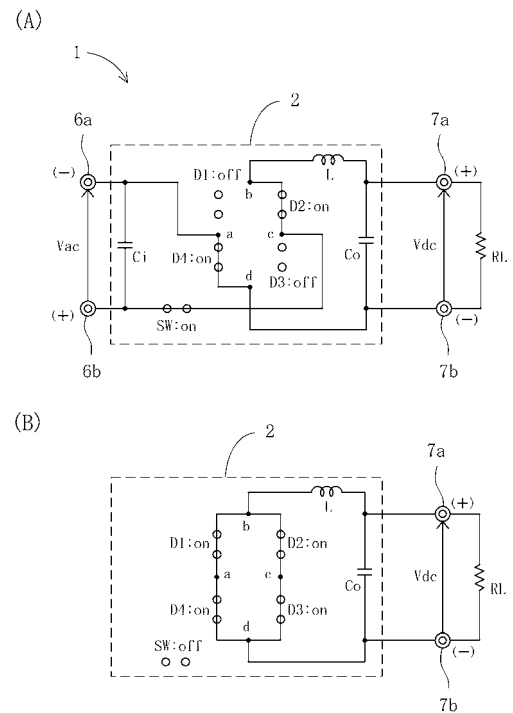
【図 2】



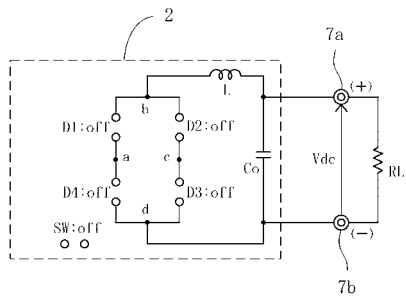
【図 3】



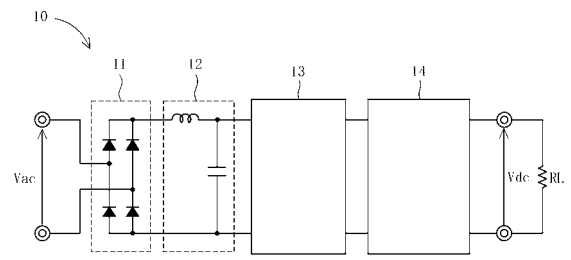
【図 4】



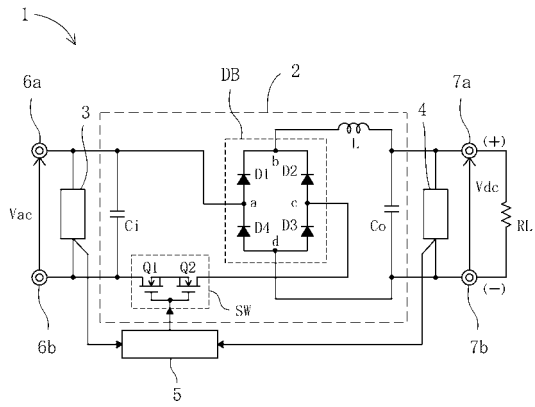
【図5】



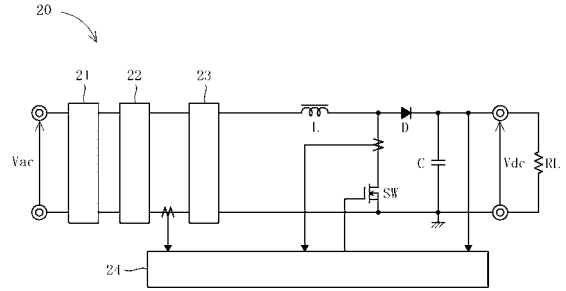
【図7】



【図6】



【図8】



フロントページの続き

- (72)発明者 小堀 康功
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 小林 春夫
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 志々目 卓治
京都府京都市中京区烏丸通御池上る二条殿町5 5 1番地 ニチコン株式会社内
- (72)発明者 大島 正樹
京都府京都市中京区烏丸通御池上る二条殿町5 5 1番地 ニチコン株式会社内
- Fターム(参考) 5H006 CA07 CB01 CC02 DA04 DB02 DC05