

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/155532

発行日 平成25年8月1日(2013.8.1)

(43) 国際公開日 平成23年12月15日(2011.12.15)

(51) Int.Cl. F I テーマコード(参考)
H03K 3/037 (2006.01) H03K 3/037 B 5J043

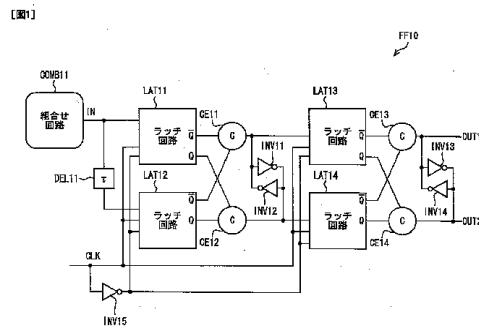
審査請求 未請求 予備審査請求 未請求 (全 30 頁)

出願番号	特願2012-519416 (P2012-519416)	(71) 出願人	504255685 国立大学法人京都工芸繊維大学 京都府京都市左京区松ヶ崎橋上町1番地
(21) 国際出願番号	PCT/JP2011/063154	(74) 代理人	110000338 特許業務法人原謙三国際特許事務所
(22) 国際出願日	平成23年6月8日(2011.6.8)	(72) 発明者	小林 和淑 日本国京都府京都市左京区松ヶ崎橋上町1番地 国立大学法人京都工芸繊維大学内
(31) 優先権主張番号	特願2010-134066 (P2010-134066)	(72) 発明者	古田 潤 日本国京都府京都市左京区浄土寺東田町67 ジュンヒル201
(32) 優先日	平成22年6月11日(2010.6.11)	(72) 発明者	小野寺 秀俊 日本国滋賀県大津市仰木の里東3丁目3-5
(33) 優先権主張国	日本国(JP)	Fターム(参考)	5J043 AA08 AA25 DD02 JJ10 KK08 最終頁に続く

(54) 【発明の名称】 フリップフロップ回路、半導体装置および電子機器

(57) 【要約】

本発明に係るフリップフロップ回路(FF10)は、マスタラッチ回路(LAT11・LAT12)と、スレーブラッチ回路(LAT13・LAT14)と、Cエレメント回路(CE11~CE14)と、インバータ回路(INV11~INV14)と、を備える。インバータ回路(INV11・INV12)は、Cエレメント回路(CE11)とCエレメント回路(CE12)との間で相互接続され、インバータ回路(INV13・INV14)は、Cエレメント回路(CE13)とCエレメント回路(CE14)との間で相互接続されている。



COMB11 - COMBINING CIRCUIT
 LAT11, LAT12, LAT13, LAT14 - LATCH CIRCUIT

【特許請求の範囲】

【請求項 1】

入力データを保持するフリップフロップ回路であって、
 前記入力データをラッチする第 1 および第 2 のマスタラッチ回路と、
 第 1 のマスタラッチ回路の反転出力および第 2 のマスタラッチ回路の反転出力が入力される第 1 の C エlement 回路と、
 第 1 のマスタラッチ回路の非反転出力および第 2 のマスタラッチ回路の非反転出力が入力される第 2 の C エlement 回路と、
 第 1 の C エlement 回路の出力をラッチする第 1 のスレーブラッチ回路と、
 第 2 の C エlement 回路の出力をラッチする第 2 のスレーブラッチ回路と、
 第 1 のスレーブラッチ回路の反転出力および第 2 のスレーブラッチ回路の反転出力が入力される第 3 の C エlement 回路と、
 第 1 のスレーブラッチ回路の非反転出力および第 2 のスレーブラッチ回路の非反転出力が入力される第 4 の C エlement 回路と、
 相互接続された第 1 および第 2 のインバータ回路と、
 相互接続された第 3 および第 4 のインバータ回路と、を備え、
 第 1 のインバータ回路の入力端子と第 2 のインバータ回路の出力端子とは、第 1 の C エlement 回路の出力端子と第 1 のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、
 第 1 のインバータ回路の出力端子と第 2 のインバータ回路の入力端子とは、第 2 の C エlement 回路の出力端子と第 2 のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、
 第 3 のインバータ回路の入力端子と第 4 のインバータ回路の出力端子とは、第 3 の C エlement 回路の出力端子に接続され、
 第 3 のインバータ回路の出力端子と第 4 のインバータ回路の入力端子とは、第 4 の C エlement 回路の出力端子に接続されている、ことを特徴とするフリップフロップ回路。

10

20

【請求項 2】

入力データを保持するフリップフロップ回路であって、
 前記入力データをラッチする第 1 および第 2 のマスタラッチ回路と、
 第 1 のマスタラッチ回路の反転出力および第 2 のマスタラッチ回路の反転出力が入力される第 1 の C エlement 回路と、
 第 1 のマスタラッチ回路の非反転出力および第 2 のマスタラッチ回路の非反転出力が入力される第 2 の C エlement 回路と、
 第 1 の C エlement 回路の出力をラッチする第 1 のスレーブラッチ回路と、
 第 2 の C エlement 回路の出力をラッチする第 2 のスレーブラッチ回路と、
 第 1 のスレーブラッチ回路の反転出力および第 2 のスレーブラッチ回路の反転出力が入力される第 3 の C エlement 回路と、
 相互接続された第 1 および第 2 のインバータ回路と、
 相互接続された第 3 および第 4 のインバータ回路と、を備え、
 第 1 のインバータ回路の入力端子と第 2 のインバータ回路の出力端子とは、第 1 の C エlement 回路の出力端子と第 1 のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、
 第 1 のインバータ回路の出力端子と第 2 のインバータ回路の入力端子とは、第 2 の C エlement 回路の出力端子と第 2 のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、
 第 3 のインバータ回路の入力端子と第 4 のインバータ回路の出力端子とは、第 3 の C エlement 回路の出力端子に接続されている、ことを特徴とするフリップフロップ回路。

30

40

【請求項 3】

入力データを保持するフリップフロップ回路であって、
 前記入力データをラッチする第 1 および第 2 のマスタラッチ回路と、

50

第 1 のマスタラッチ回路の反転出力および第 2 のマスタラッチ回路の反転出力が入力される第 1 の C エlement 回路と、

第 1 のマスタラッチ回路の非反転出力および第 2 のマスタラッチ回路の非反転出力が入力される第 2 の C エlement 回路と、

第 1 の C エlement 回路の出力をラッチする第 1 のスレーブラッチ回路と、

第 2 の C エlement 回路の出力をラッチする第 2 のスレーブラッチ回路と、

第 1 のスレーブラッチ回路の非反転出力および第 2 のスレーブラッチ回路の非反転出力が入力される第 4 の C エlement 回路と、

相互接続された第 1 および第 2 のインバータ回路と、

相互接続された第 3 および第 4 のインバータ回路と、を備え、

第 1 のインバータ回路の入力端子と第 2 のインバータ回路の出力端子とは、第 1 の C エlement 回路の出力端子と第 1 のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、

第 1 のインバータ回路の出力端子と第 2 のインバータ回路の入力端子とは、第 2 の C エlement 回路の出力端子と第 2 のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、

第 3 のインバータ回路の出力端子と第 4 のインバータ回路の入力端子とは、第 4 の C エlement 回路の出力端子に接続されている、ことを特徴とするフリップフロップ回路。

【請求項 4】

さらに遅延回路を備え、

前記入力データは、前記遅延回路を介して第 2 のマスタラッチ回路に入力される、ことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載のフリップフロップ回路。

【請求項 5】

第 1 のマスタラッチ回路の反転出力端子と第 1 の C エlement 回路の一方の入力端子との間を接続するノードを第 1 のノード、

第 2 のマスタラッチ回路の反転出力端子と第 1 の C エlement 回路の他方の入力端子との間を接続するノードを第 2 のノード、

第 2 の C エlement 回路の出力端子と第 1 のインバータ回路の出力端子と第 2 のインバータ回路の入力端子と第 2 のスレーブラッチ回路の入力端子との間を接続するノードを第 3 のノード、

第 1 のマスタラッチ回路の非反転出力端子と第 2 の C エlement 回路の一方の入力端子との間を接続するノードを第 4 のノード、

第 2 のマスタラッチ回路の非反転出力端子と第 2 の C エlement 回路の他方の入力端子との間を接続するノードを第 5 のノード、

第 1 の C エlement 回路の出力端子と第 1 のインバータ回路の入力端子と第 2 のインバータ回路の出力端子と第 1 のスレーブラッチ回路の入力端子との間を接続するノードを第 6 のノード、

第 1 のスレーブラッチ回路の反転出力端子と第 3 の C エlement 回路の一方の入力端子との間を接続するノードを第 7 のノード、

第 2 のスレーブラッチ回路の反転出力端子と第 3 の C エlement 回路の他方の入力端子との間を接続するノードを第 8 のノード、

第 4 の C エlement 回路の出力端子と第 3 のインバータ回路の出力端子と第 4 のインバータ回路の入力端子との間を接続するノードを第 9 のノード、

第 1 のスレーブラッチ回路の非反転出力端子と第 4 の C エlement 回路の一方の入力端子との間を接続するノードを第 10 のノード、

第 2 のスレーブラッチ回路の非反転出力端子と第 4 の C エlement 回路の他方の入力端子との間を接続するノードを第 11 のノード、

第 3 の C エlement 回路の出力端子と第 3 のインバータ回路の入力端子と第 4 のインバータ回路の出力端子との間を接続するノードを第 12 のノードとして、

第 1 ~ 第 3 の各ノード間の距離、第 4 ~ 第 6 の各ノード間の距離、第 7 ~ 第 9 の各ノード

10

20

30

40

50

ド間の距離、並びに、第10～第12の各ノード間の距離が、 $0.86\mu\text{m}$ 以上であることを特徴とする請求項1に記載のフリップフロップ回路。

【請求項6】

第1のマスタラッチ回路の反転出力端子と第1のCエレメント回路の一方の入力端子との間を接続するノードを第1のノード、

第2のマスタラッチ回路の反転出力端子と第1のCエレメント回路の他方の入力端子との間を接続するノードを第2のノード、

第2のCエレメント回路の出力端子と第1のインバータ回路の出力端子と第2のインバータ回路の入力端子と第2のスレーブラッチ回路の入力端子との間を接続するノードを第3のノード、

第1のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の一方の入力端子との間を接続するノードを第4のノード、

第2のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の他方の入力端子との間を接続するノードを第5のノード、

第1のCエレメント回路の出力端子と第1のインバータ回路の入力端子と第2のインバータ回路の出力端子と第1のスレーブラッチ回路の入力端子との間を接続するノードを第6のノード、

第1のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の一方の入力端子との間を接続するノードを第7のノード、

第2のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の他方の入力端子との間を接続するノードを第8のノード、

第3のインバータ回路の出力端子と第4のインバータ回路の入力端子との間を接続するノードを第9のノードとして、

第1～第3の各ノード間の距離、第4～第6の各ノード間の距離、並びに、第7～第9の各ノード間の距離が、 $0.86\mu\text{m}$ 以上であることを特徴とする請求項2に記載のフリップフロップ回路。

【請求項7】

第1のマスタラッチ回路の反転出力端子と第1のCエレメント回路の一方の入力端子との間を接続するノードを第1のノード、

第2のマスタラッチ回路の反転出力端子と第1のCエレメント回路の他方の入力端子との間を接続するノードを第2のノード、

第2のCエレメント回路の出力端子と第1のインバータ回路の出力端子と第2のインバータ回路の入力端子と第2のスレーブラッチ回路の入力端子との間を接続するノードを第3のノード、

第1のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の一方の入力端子との間を接続するノードを第4のノード、

第2のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の他方の入力端子との間を接続するノードを第5のノード、

第1のCエレメント回路の出力端子と第1のインバータ回路の入力端子と第2のインバータ回路の出力端子と第1のスレーブラッチ回路の入力端子との間を接続するノードを第6のノード、

第1のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の一方の入力端子との間を接続するノードを第10のノード、

第2のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の他方の入力端子との間を接続するノードを第11のノード、

第3のインバータ回路の入力端子と第4のインバータ回路の出力端子との間を接続するノードを第12のノードとして、

第1～第3の各ノード間の距離、第4～第6の各ノード間の距離、並びに、第10～第12の各ノード間の距離が、 $0.86\mu\text{m}$ 以上であることを特徴とする請求項3に記載のフリップフロップ回路。

10

20

30

40

50

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載のフリップフロップ回路を備えた半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ソフトウェアに対する耐性を高めたフリップフロップ回路に関する。

【背景技術】

【0002】

10

プロセスの微細化に伴い、ソフトウェアに代表される一過性のエラーが増加している。ソフトウェアは宇宙空間や S R A M の問題であったが、近年では地上でもソフトウェアの対策が必要となってきた。地上でのソフトウェアの主要因は、高エネルギー中性子である。

【0003】

図 9 に示すように、高エネルギー中性子が基板の S i 原子に衝突すると 2 次イオンが生じる。2 次イオンが拡散層の近傍を通過すると、拡散や空乏層の電界によるドリフトにより拡散層に電子または正孔が集まる。この電子または正孔によりドレインの電荷が変化して出力が反転する。

【0004】

20

ソフトウェアは、高エネルギー中性子が衝突する場所によって、S E U (S i n g l e E v e n t U p s e t)、S E T (S i n g l e E v e n t T r a n s i e n t) および M C U (M u l t i p l e C e l l U p s e t) の 3 種類に分類される。S E U は、図 10 の (a) に示すように、高エネルギー中性子が F F (フリップフロップ) や S R A M に衝突して直接保持データを反転させるエラーである。S E T は、図 10 の (b) に示すように、高エネルギー中性子が組合せ回路に衝突してパルスが発生させるエラーである。M C U は、図 10 の (c) に示すように、集積度の高い S R A M において、一度に複数の S R A M の保持データが反転するエラーである。

【0005】

F F の S E U によるエラー率は $1 e - 3$ F I T 付近まで増加している。F I T とは、 $1 e 9$ 時間にエラーが発生する回数の期待値であり、100 万個の F F が使用されるチップでは、約 100 年間使用すると 1 度エラーが起こる計算となる。なお、F F と S R A M とでは、S E U によるエラー率は同等である。

30

【0006】

S E T の場合はパルスがラッチ回路に取り込まれることでエラーとなるため、S E T によるエラー率は S E U によるエラー率に比べて小さくなる。しかしながら、高いソフトウェア耐性を持つ回路を実現するためには、S E U だけでなく、S E T によるエラーの対策も不可欠である。S E U および S E T によるエラーを軽減するために、F F を冗長化した複数モジュラー F F が使用されている。複数モジュラー F F を用いた回路構成として、T M R (T r i p l e M o d u l a r R e d u n d a n c y) および遅延挿入 T M R (D T M R) がある。

40

【0007】

図 11 は、一般的な T M R であるフリップフロップ回路 F F 50 の構成を示す図である。フリップフロップ回路 F F 50 は、3 つのマスタラッチ回路 L A T 51 ~ L A T 53、3 つのスレーブラッチ回路 L A T 54 ~ L A T 56、3 つの多数決回路 V O T 51 ~ V O T 53、および 1 つのインバータ回路 I N V 51 を備えている。マスタラッチ回路 L A T 51 ~ L A T 53 の各入力端子にはそれぞれ、3 つの組合せ回路 C O M B 51 ~ C O M B 53 からの入力データ I N 0 ・ I N 1 ・ I N 2 が入力される。また、スレーブラッチ回路 L A T 54 ~ L A T 56 はそれぞれ、出力データ O U T 0 ・ O U T 1 ・ O U T 2 を出力する。

50

【 0 0 0 8 】

このように、フリップフロップ回路 F F 5 0 では、組合せ回路、マスタラッチ回路、スレーブラッチ回路および多数決回路を 3 重化している。これにより、複数のラッチ回路が同時に反転しない限りエラーとならないため、エラー耐性は非常に高い。しかしながら、ラッチ回路および多数決回路だけでなく、組合せ回路も 3 重化しているため、フリップフロップ回路 F F 5 0 の回路規模は、普通の非冗長 F F の回路規模に比べ 3 倍以上となってしまう、面積のオーバーヘッドが大きい。

【 0 0 0 9 】

図 1 2 は、一般的な D T M R であるフリップフロップ回路 F F 6 0 の構成を示す図である。フリップフロップ回路 F F 6 0 は、3 つのマスタラッチ回路 L A T 6 1 ~ L A T 6 3、3 つのスレーブラッチ回路 L A T 6 4 ~ L A T 6 6、1 つの多数決回路 V O T 6 1、2 つの遅延回路 D E L 6 1・D E L 6 2 および 1 つのインバータ回路 I N V 6 1 を備えている。マスタラッチ回路 L A T 6 1 の入力端子および遅延回路 D E L 6 1 の入力端子には、組合せ回路 C O M B 6 1 からの入力データ I N が入力される。また、多数決回路 V O T 6 1 は、出力データ O U T を出力する。

10

【 0 0 1 0 】

このように、フリップフロップ回路 F F 6 0 では、組合せ回路を 3 重化せずに、組合せ回路 C O M B 6 1 に生じた S E T パルスを、2 つの遅延回路 D E L 6 1・D E L 6 2 によって除去している。これにより、多数決回路 V O T 6 1 で生じた S E T パルスも次段の遅延回路によって除去されるため、多数決回路 V O T 6 1 は 3 重化する必要がない。よって、フリップフロップ回路 F F 6 0 は、T M R であるフリップフロップ回路 F F 5 0 に比べ回路規模は小さい。しかしながら、フリップフロップ回路 F F 6 0 では、2 つの遅延回路 D E L 6 1・D E L 6 2 によって遅延時間が増大するという問題がある。

20

【 0 0 1 1 】

また、フリップフロップ回路 F F 5 0 およびフリップフロップ回路 F F 6 0 では、多数決回路を使用しているため、M C U によるエラー耐性が低いという問題がある。具体的には、3 つのマスタラッチ回路のうちの 2 つ、または 3 つのスレーブラッチ回路のうちの 2 つが反転すると、出力も反転してしまう。

【 0 0 1 2 】

上記のフリップフロップ回路 F F 5 0 およびフリップフロップ回路 F F 6 0 に対し、C エlement回路およびウィークキーパー回路を使用した遅延挿入 D M R (D D M R、B I S E R) が提案されている。図 1 3 の (a) は、B I S E R であるフリップフロップ回路 F F 7 0 の構成を示す図であり、図 1 3 の (b) は、フリップフロップ回路 F F 7 0 の C エlement回路の構成を示す図である。

30

【 0 0 1 3 】

図 1 3 の (a) に示すように、フリップフロップ回路 F F 7 0 は、2 つのマスタラッチ回路 L A T 7 1・L A T 7 2、2 つのスレーブラッチ回路 L A T 7 3・L A T 7 4、2 つの C エlement回路 C E 7 1・C E 7 2、2 つのウィークキーパー回路 W K 7 1・W K 7 2、1 つの遅延回路 D E L 7 1 および 1 つのインバータ回路 I N V 7 1 を備えている。マスタラッチ回路 L A T 7 1 の入力端子および遅延回路 D E L 7 1 の入力端子には、組合せ回路 C O M B 7 1 からの入力データ I N が入力される。

40

【 0 0 1 4 】

ウィークキーパー回路 W K 7 1 は、2 つのインバータ回路 I N V 7 2・I N V 7 3 から構成されている。同様に、ウィークキーパー回路 W K 7 2 は、2 つのインバータ回路 I N V 7 4・I N V 7 5 から構成されている。これにより、ウィークキーパー回路 W K 7 1・W K 7 2 はそれぞれ、C エlement回路 C E 7 1・C E 7 2 からの出力データを保持する。

【 0 0 1 5 】

図 1 3 の (b) に示すように、C エlement回路は、2 つの P M O S トランジスタ M P 1・M P 2 および 2 つの N M O S トランジスタ M N 1・M N 2 を備えている。トランジス

50

タMP1・MP2は、電源電位VCCと出力ノードN3との間に直列接続されており、NMOSトランジスタMN1・MN2は、出力ノードN3と接地電位VSSとの間に直列接続されている。また、トランジスタMP1・MN2の各ゲートがCエレメント回路の第1の入力ノードN1に接続され、トランジスタMP2・MN1の各ゲートがCエレメント回路の第2の入力ノードN2に接続されている。これにより、Cエレメント回路は、入力ノードN1・N2に入力される値が互いに異なる場合は、直前の値を保持する。

【0016】

このため、フリップフロップ回路FF70では、マスタラッチ回路の一方の保持データが反転してもエラーとならない。また、組合せ回路COMB71に生じたSETパルスも、遅延回路DEL71によって除去される。さらに、フリップフロップ回路FF70の回路規模はDTMRと比べても小さく、遅延回路も1つであるため遅延時間もDTMRほど大きくなる。10

【0017】

しかしながら、図13に示すフリップフロップ回路FF70では、Cエレメント回路で生じたSETパルスによるエラーに脆弱であるという欠点がある。具体的には、図14に示すように、Cエレメント回路に高エネルギー中性子が衝突することによってSETパルスが生じると、そのSETパルスを2つのスレーブラッチ回路LAT73・LAT74の両方がラッチしてしまうため、後段のCエレメント回路CE72の出力が反転してしまう。また、フリップフロップ回路FF70は、クロック周波数が低いときにはエラー耐性が高いが、クロック周波数の増加とともにエラー耐性が低くなるという問題を有している。20

【0018】

そこで、本出願の発明者は、エラー耐性をさらに強化したDMRとして、D³MR(Double Delayed DMR)およびED²MR(Enhanced Delayed DMR)を提案した(非特許文献1)。

【0019】

図15は、D³MRであるフリップフロップ回路FF80の構成を示す図である。フリップフロップ回路FF80は、図13に示すフリップフロップ回路FF70において、スレーブラッチ回路LAT74の入力端子の前に遅延回路DEL81を挿入した構成である。遅延回路DEL81によって、Cエレメント回路CE71で生じたSETパルスを除去することができる。30

【0020】

図16は、ED²MRであるフリップフロップ回路FF90の構成を示す図である。フリップフロップ回路FF90は、図13に示すフリップフロップ回路FF70において、Cエレメント回路CE91およびウィークキーパー回路WK91をさらに備え、Cエレメント回路CE71およびウィークキーパー回路WK71をスレーブラッチ回路LAT73に接続し、Cエレメント回路CE91およびウィークキーパー回路WK91をスレーブラッチ回路LAT74に接続した構成である。ウィークキーパー回路WK91は、ウィークキーパー回路WK71・WK72と同様に、2つのインバータ回路INV91・INV92から構成されている。40

【0021】

フリップフロップ回路FF90では、マスタラッチ回路とスレーブラッチ回路との間のCエレメント回路とウィークキーパー回路を2重にしているので、Cエレメント回路CE71・CE91の一方でSETパルスが生じても、後段のCエレメント回路CE72の出力は反転しない。これにより、Cエレメント回路で生じたSETパルスによるエラーに対する耐性を高めることができる。

【先行技術文献】

【非特許文献】

【0022】

【非特許文献1】古田 潤、小林 和淑、小野寺 秀俊、「高いSEU/SET耐性を持つ省面積・低遅延二重化フリップフロップ」、第22回回路とシステム軽井沢ワークショップ 50

ップ、2009年4月、p.456 - 461

【発明の概要】

【発明が解決しようとする課題】

【0023】

しかしながら、図15に示すフリップフロップ回路FF80では、図13に示すフリップフロップ回路FF70に遅延回路をさらに挿入した構成であるため、遅延時間のオーバーヘッドが増大してしまうという問題がある。

【0024】

また、図16に示すフリップフロップ回路FF90では、図13に示すフリップフロップ回路FF70と比較して、遅延時間の増加なしにCエレメント回路で生じたSETパルスを防ぐことができるが、Cエレメント回路CE91およびウィークキーパー回路WK91を追加しているため、回路面積のオーバーヘッドが大きいという問題がある。

【0025】

また、従来のフリップフロップ回路では、Cエレメント回路およびウィークキーパー回路を構成するトランジスタの製造ばらつきに対する遅延時間の変化が大きいという問題がある。図17は、図13に示すフリップフロップ回路FF70および図16に示すフリップフロップ回路FF90における、遅延時間のばらつきを示すグラフである。同図では、Cエレメント回路およびウィークキーパー回路を構成するトランジスタのゲート長が製造ばらつきにより変化した場合の遅延時間の変化をモンテカルロシミュレーションにより評価したものである。ゲート長は $1 = 1 \text{ nm}$ の正規分布に従ってばらつくと想定し、電源電圧は 1.2 V としている。横軸はフリップフロップ回路FF70・FF90の平均遅延時間を1として正規化している。フリップフロップ回路FF70の遅延時間は $\pm 3\%$ まで分布しており、フリップフロップ回路FF90の遅延時間は $\pm 2.5\%$ まで分布していることが分かる。

【0026】

本発明は、上記の問題点を解決するためになされたもので、その目的は、回路面積を大幅に縮小することができ、かつ、遅延時間のばらつきの少ないフリップフロップ回路を実現することにある。

【課題を解決するための手段】

【0027】

上記の課題を解決するために、本発明に係るフリップフロップ回路は、入力データを保持するフリップフロップ回路であって、前記入力データをラッチする第1および第2のマスタラッチ回路と、第1のマスタラッチ回路の反転出力および第2のマスタラッチ回路の反転出力が入力される第1のCエレメント回路と、第1のマスタラッチ回路の非反転出力および第2のマスタラッチ回路の非反転出力が入力される第2のCエレメント回路と、第1のCエレメント回路の出力をラッチする第1のスレーブラッチ回路と、第2のCエレメント回路の出力をラッチする第2のスレーブラッチ回路と、第1のスレーブラッチ回路の反転出力および第2のスレーブラッチ回路の反転出力が入力される第3のCエレメント回路と、第1のスレーブラッチ回路の非反転出力および第2のスレーブラッチ回路の非反転出力が入力される第4のCエレメント回路と、相互接続された第1および第2のインバータ回路と、相互接続された第3および第4のインバータ回路と、を備え、第1のインバータ回路の入力端子と第2のインバータ回路の出力端子とは、第1のCエレメント回路の出力端子と第1のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第1のインバータ回路の出力端子と第2のインバータ回路の入力端子とは、第2のCエレメント回路の出力端子と第2のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第3のインバータ回路の入力端子と第4のインバータ回路の出力端子とは、第3のCエレメント回路の出力端子に接続され、第3のインバータ回路の出力端子と第4のインバータ回路の入力端子とは、第4のCエレメント回路の出力端子に接続されていることを特徴としている。

【0028】

上記の構成によれば、第1のCエレメント回路は、第1のマスタラッチ回路の反転出力と第2のマスタラッチ回路の反転出力とが異なる値の場合、直前のデータを保持する。また、第2のCエレメント回路は、第1のマスタラッチ回路の非反転出力と第2のマスタラッチ回路の非反転出力とが異なる値の場合、直前のデータを保持する。このため、ソフトウェアによって第1および第2のマスタラッチ回路のいずれかの出力が反転しても、第1および第2のCエレメント回路の出力は反転しない。すなわち、第1および第2のインバータ回路は、第1のCエレメント回路からの出力のウィークキーパー回路としての機能と、第2のCエレメント回路からの出力のウィークキーパー回路としての機能との両方を備えている。したがって、第1および第2のCエレメント回路のそれぞれにウィークキーパー回路を設ける従来構成に比べ、回路面積を縮小することができる。

10

【0029】

同様に、第3のCエレメント回路は、第1のスレーブラッチ回路の反転出力と第2のスレーブラッチ回路の反転出力とが異なる値の場合、直前のデータを保持する。また、第4のCエレメント回路は、第1のスレーブラッチ回路の非反転出力と第2のスレーブラッチ回路の非反転出力とが異なる値の場合、直前のデータを保持する。このため、ソフトウェアによって第1および第2のスレーブラッチ回路のいずれかの出力が反転しても、第3および第4のCエレメント回路の出力は反転しない。すなわち、第3および第4のインバータ回路は、第3のCエレメント回路からの出力のウィークキーパー回路としての機能と、第4のCエレメント回路からの出力のウィークキーパー回路としての機能との両方を備えている。したがって、第3および第4のCエレメント回路のそれぞれにウィークキーパー回路を設ける従来構成に比べ、回路面積を縮小することができる。

20

【0030】

また、ソフトウェアによって第1および第2のCエレメント回路のいずれかの出力が反転しても、反転した出力が第1および第2のスレーブラッチ回路にラッチされることを防止することができる。同様に、ソフトウェアによって第3および第4のCエレメント回路のいずれかの出力が反転しても、反転した出力がフリップフロップ回路から出力されることを防止することができる。

【0031】

また、相互接続されたインバータ回路で構成されるデータ保持回路は、二重化されたCエレメント回路のそれぞれに接続される従来ウィークキーパー回路に比べ、保持データの書き換えが容易である。そのため、第1～第4のCエレメント回路を構成するトランジスタのサイズを、従来フリップフロップ回路のCエレメント回路を構成するトランジスタに比べて小さくすることが可能となる。よって、本発明に係るフリップフロップ回路は、従来フリップフロップ回路に比べて、回路面積をさらに小さくすることが可能である。

30

【0032】

相互接続されたインバータ回路で構成されるデータ保持回路は、二重化されたCエレメント回路のそれぞれに接続される従来ウィークキーパー回路に比べ、保持データの書き換えが容易である。そのため、ばらつきによってウィークキーパー回路を構成するトランジスタのゲート長や閾値電圧が変化しても遅延時間に与える影響が小さい。

40

【0033】

また、保持データの書き換えが容易であるため、ウィークキーパー回路を構成するトランジスタのサイズを小さくする必要がない。そのため、ウィークキーパー回路を構成するトランジスタのゲート長や閾値電圧のばらつきが小さくなり、遅延時間のばらつきが改善する。したがって、回路面積を大幅に縮小することができ、かつ、遅延時間のばらつきの少ないフリップフロップ回路を実現することができる。

【発明の効果】**【0034】**

以上のように、本発明に係るフリップフロップ回路は、入力データを保持するフリップフロップ回路であって、前記入力データをラッチする第1および第2のマスタラッチ回路

50

と、第1のマスターラッチ回路の反転出力および第2のマスターラッチ回路の反転出力が入力される第1のCエレメント回路と、第1のマスターラッチ回路の非反転出力および第2のマスターラッチ回路の非反転出力が入力される第2のCエレメント回路と、第1のCエレメント回路の出力をラッチする第1のスレーブラッチ回路と、第2のCエレメント回路の出力をラッチする第2のスレーブラッチ回路と、第1のスレーブラッチ回路の反転出力および第2のスレーブラッチ回路の反転出力が入力される第3のCエレメント回路と、第1のスレーブラッチ回路の非反転出力および第2のスレーブラッチ回路の非反転出力が入力される第4のCエレメント回路と、相互接続された第1および第2のインバータ回路と、相互接続された第3および第4のインバータ回路と、を備え、第1のインバータ回路の入力端子と第2のインバータ回路の出力端子とは、第1のCエレメント回路の出力端子と第1のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第1のインバータ回路の出力端子と第2のインバータ回路の入力端子とは、第2のCエレメント回路の出力端子と第2のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第3のインバータ回路の入力端子と第4のインバータ回路の出力端子とは、第3のCエレメント回路の出力端子に接続され、第3のインバータ回路の出力端子と第4のインバータ回路の入力端子とは、第4のCエレメント回路の出力端子に接続されている構成であるので、回路面積を大幅に縮小することができ、かつ、遅延時間のばらつきの少ないフリップフロップ回路を実現することができるという効果を奏する。

10

【図面の簡単な説明】

【0035】

20

【図1】本発明の第1の実施形態に係るフリップフロップ回路の構成を示す図である。

【図2】従来のフリップフロップ回路および本実施形態に係るフリップフロップ回路における、遅延回路の遅延時間に対するエラー率を示すグラフである。

【図3】従来のフリップフロップ回路および本実施形態に係るフリップフロップ回路の、回路面積に対するエラー率を示すグラフである。

【図4】従来のフリップフロップ回路および本実施形態に係るフリップフロップ回路における、遅延時間のばらつきを示すグラフである。

【図5】(a)は、図16に示す従来のフリップフロップ回路の一部の回路構成を示す図であり、(b)は、本実施形態に係るフリップフロップ回路の一部の回路構成を示す図である。

30

【図6】図13に示す従来のフリップフロップ回路および本実施形態に係るフリップフロップ回路の、動作電圧に対する遅延時間および出力を示す表である。

【図7】フリップフロップ回路のエラー耐性を測定するための回路構成を示す図である。

【図8】シフト動作させるクロック周波数と、約3万回シフト動作させた場合のSEUによるエラー数との関係を示すグラフである。

【図9】ソフトエラーの発生を模式的に示す図である。

【図10】(a)は、SEU (Single Event Upset) のソフトエラーを示す図であり、(b)は、SET (Single Event Transient) のソフトエラーを示す図であり、(c)は、MCU (Multiple Cell Upset) のソフトエラーを示す図である。

40

【図11】従来のフリップフロップ回路の構成を示す図である。

【図12】従来の他のフリップフロップ回路の構成を示す図である。

【図13】(a)は、従来のさらに他のフリップフロップ回路の構成を示す図であり、(b)は、当該フリップフロップ回路のCエレメント回路の構成を示す図である。

【図14】図13の(a)に示すフリップフロップ回路のCエレメント回路に高エネルギー中性子が衝突してソフトエラーが発生した状態を示す図である。

【図15】従来のさらに他のフリップフロップ回路の構成を示す図である。

【図16】従来のさらに他のフリップフロップ回路の構成を示す図である。

【図17】図13に示すフリップフロップ回路および図16に示すフリップフロップ回路における、遅延時間のばらつきを示すグラフである。

50

【図 18】本発明に係るフリップフロップ回路および従来のフリップフロップ回路の回路面積と遅延時間との関係を示すグラフである。

【図 19】(a)は、本発明に係るフリップフロップ回路で構成された発振器の発振周波数のばらつきを示すグラフであり、(b)は、従来のフリップフロップ回路で構成された発振器の発振周波数のばらつきを示すグラフである。

【図 20】図 1 に示すフリップフロップ回路におけるセンシティブノードを示す図である。

【図 21】(a)は、センシティブノード間の距離とソフトエラー発生率との関係を示すグラフであり、(b)は、(a)に示すグラフの一部を拡大したグラフである。

【図 22】本発明の第 2 の実施形態に係るフリップフロップ回路の一例を示す図である。

【図 23】本発明の第 2 の実施形態に係るフリップフロップ回路の他の一例を示す図である。

【図 24】本発明の第 2 の実施形態に係る液晶表示装置の要部構成を示すブロック図である。

【発明を実施するための形態】

【0036】

〔実施形態 1〕

本発明の第 1 の実施形態について図 1 ~ 図 21 に基づいて説明すれば以下のとおりである。

【0037】

(本実施形態に係るフリップフロップ回路の構成)

図 1 は、本実施形態に係るフリップフロップ回路 FF10 の構成を示す図である。フリップフロップ回路 FF10 は、組合せ回路 COMB11 からの入力データ IN を保持するフリップフロップ回路であって、2 つのマスタラッチ回路 LAT11・LAT12、2 つのスレーブラッチ回路 LAT13・LAT14、4 つの C エlement 回路 CE11 ~ CE14、5 つのインバータ回路 INV11 ~ INV15、および遅延回路 DEL11 を備えている。

【0038】

マスタラッチ回路 LAT11・LAT12 はそれぞれ、特許請求の範囲に記載の第 1 および第 2 のマスタラッチ回路に相当する。マスタラッチ回路 LAT11 の入力端子には、組合せ回路 COMB11 からの入力データ IN が入力される。また、マスタラッチ回路 LAT12 の入力端子には、組合せ回路 COMB11 からの入力データ IN が遅延回路 DEL11 を介して入力される。これにより、マスタラッチ回路 LAT11・LAT12 は、クロック CLK に応じて入力データ IN をラッチする。

【0039】

C エlement 回路 CE11 は、特許請求の範囲に記載の第 1 の C エlement 回路に相当する。C エlement 回路 CE11 の一方の入力端子は、マスタラッチ回路 LAT11 の反転出力端子 \bar{Q} に接続されており、C エlement 回路 CE11 の他方の入力端子は、マスタラッチ回路 LAT12 の反転出力端子 \bar{Q} に接続されている。すなわち、C エlement 回路 CE11 には、マスタラッチ回路 LAT11 の反転出力およびマスタラッチ回路 LAT12 の反転出力が入力される。

【0040】

C エlement 回路 CE12 は、特許請求の範囲に記載の第 2 の C エlement 回路に相当する。C エlement 回路 CE12 の一方の入力端子は、マスタラッチ回路 LAT11 の非反転出力端子 Q に接続されており、C エlement 回路 CE12 の他方の入力端子は、マスタラッチ回路 LAT12 の非反転出力端子 Q に接続されている。すなわち、C エlement 回路 CE12 には、マスタラッチ回路 LAT11 の非反転出力およびマスタラッチ回路 LAT12 の非反転出力が入力される。

【0041】

スレーブラッチ回路 LAT13・LAT14 はそれぞれ、特許請求の範囲に記載の第 1

10

20

30

40

50

および第2のスレーブラッチ回路に相当する。スレーブラッチ回路LAT13のデータ入力端子は、Cエレメント回路CE11の出力端子に接続されており、スレーブラッチ回路LAT13は、Cエレメント回路CE11の出力をラッチする。スレーブラッチ回路LAT14のデータ入力端子は、Cエレメント回路CE12の出力端子に接続されており、スレーブラッチ回路LAT14は、Cエレメント回路CE12の出力をラッチする。

【0042】

Cエレメント回路CE13は、特許請求の範囲に記載の第3のCエレメント回路に相当する。Cエレメント回路CE13の一方の入力端子は、スレーブラッチ回路LAT13の反転出力端子P-Qに接続されており、Cエレメント回路CE13の他方の入力端子は、スレーブラッチ回路LAT14の反転出力端子P-Qに接続されている。すなわち、Cエレメント回路CE13には、スレーブラッチ回路LAT13の反転出力およびスレーブラッチ回路LAT14の反転出力が入力される。

10

【0043】

Cエレメント回路CE14は、特許請求の範囲に記載の第4のCエレメント回路に相当する。Cエレメント回路CE14の一方の入力端子は、スレーブラッチ回路LAT13の非反転出力端子Qに接続されており、Cエレメント回路CE14の他方の入力端子は、スレーブラッチ回路LAT14の非反転出力端子Qに接続されている。すなわち、Cエレメント回路CE14には、スレーブラッチ回路LAT13の非反転出力およびスレーブラッチ回路LAT14の非反転出力が入力される。

【0044】

20

インバータ回路INV11・INV12はそれぞれ、特許請求の範囲に記載の第1および第2のインバータ回路に相当する。インバータ回路INV11・INV12は、相互接続されていると共に、インバータ回路INV11の入力端子とインバータ回路INV12の出力端子とは、Cエレメント回路CE11の出力端子とスレーブラッチ回路LAT13のデータ入力端子との間の接続点に接続されている。また、インバータ回路INV11の出力端子とインバータ回路INV12の入力端子とは、Cエレメント回路CE12の出力端子とスレーブラッチ回路LAT14のデータ入力端子との間の接続点に接続されている。

【0045】

インバータ回路INV13・INV14はそれぞれ、特許請求の範囲に記載の第3および第4のインバータ回路に相当する。インバータ回路INV13・INV14は、相互接続されていると共に、インバータ回路INV13の入力端子とインバータ回路INV14の出力端子とは、Cエレメント回路CE13の出力端子に接続されている。また、インバータ回路INV13の出力端子とインバータ回路INV14の入力端子とは、Cエレメント回路CE14の出力端子に接続されている。

30

【0046】

なお、Cエレメント回路CE11～CE14の構成は、図13の(b)に示す構成と略同一である。

【0047】

(従来構成との比較)

40

このように、本実施形態に係るフリップフロップ回路FF10は、図16に示す従来のフリップフロップ回路FF90と同様に、Cエレメント回路を二重化した構造である。また、フリップフロップ回路FF10は、フリップフロップ回路FF90において、ウィークキー回路を二重化する代わりに、ウィークキー回路を構成していた2つのインバータ回路を、2つのCエレメント回路の間にクロスカップルさせた構成である。これにより、フリップフロップ回路FF10は、フリップフロップ回路FF90に比べてインバータ回路の個数を少なくすることができるので、回路規模を縮小させることができる。

【0048】

図2は、従来のフリップフロップ回路FF60、FF80、FF90および本実施形態に係るフリップフロップ回路FF10における、遅延回路の遅延時間に対するエラー率を

50

示すグラフである。同図に示すように、本実施形態に係るフリップフロップ回路 F F 1 0 の遅延時間に対するエラー率は、フリップフロップ回路 F F 8 0 ・ F F 9 0 におけるものとほぼ同一である。

【 0 0 4 9 】

図 3 は、従来のフリップフロップ回路 F F 6 0、F F 8 0、F F 9 0 および本実施形態に係るフリップフロップ回路 F F 1 0 の、回路面積に対するエラー率を示すグラフである。同図から明らかなように、本実施形態に係るフリップフロップ回路 F F 1 0 は、従来のフリップフロップ回路 F F 6 0、F F 8 0、F F 9 0 と比較して、小さい回路面積で高いエラー耐性を有していることが分かる。このように、本実施形態に係るフリップフロップ回路 F F 1 0 は、従来のフリップフロップ回路と比較して、エラー耐性を低下させることなく、回路規模を縮小することができる。

10

【 0 0 5 0 】

また、本実施形態に係るフリップフロップ回路 F F 1 0 は、トランジスタの製造ばらつきに対する遅延時間の変化が小さいという利点を有している。図 4 は、従来のフリップフロップ回路 F F 7 0 ・ F F 9 0 および本実施形態に係るフリップフロップ回路 F F 1 0 における、遅延時間のばらつきを示すグラフである。フリップフロップ回路 F F 7 0 ・ F F 9 0 の特性は、図 1 7 に示すものと同一である。図 4 において、フリップフロップ回路 F F 1 0 の遅延時間の分布は、 $\pm 2\%$ の範囲内であり、フリップフロップ回路 F F 7 0 ・ F F 9 0 に比べ、遅延時間の変化が小さいことが分かる。

【 0 0 5 1 】

20

また、本実施形態に係るフリップフロップ回路 F F 1 0 は、C エlement 回路を構成するトランジスタのサイズを、従来のフリップフロップ回路 F F 7 0 ・ F F 8 0 ・ F F 9 0 の C エlement 回路を構成するトランジスタよりも小さくすることができるという利点がある。以下、図 5 を参照して説明する。

【 0 0 5 2 】

図 5 の (a) は、図 1 6 に示す従来のフリップフロップ回路 F F 9 0 の一部の回路構成を示す図であり、図 5 の (b) は、本実施形態に係るフリップフロップ回路 F F 1 0 の一部の回路構成を示す図である。図 5 の (a) では、インバータ回路 I N V 7 2 ・ I N V 7 3 で構成されるウィークキーパー回路のデータを書き換える場合、インバータ回路 I N V 7 3 の出力が C エlement 回路 7 1 からの出力を妨げる。そのため、ウィークキーパー回路のデータ書き換えのために必要な C エlement 回路 7 1 の出力は、インバータ回路 I N V 7 2 ・ I N V 7 3 の出力の約 1 0 倍となる。

30

【 0 0 5 3 】

一方、図 5 の (b) では、2 つの C エlement 回路 C E 1 1 ・ C E 1 2 の出力によって、インバータ回路 I N V 1 1 ・ I N V 1 2 で構成されるデータ保持回路のデータ書き換えを行う。そのため、インバータ回路 I N V 1 1 ・ I N V 1 2 で構成されるデータ保持回路のデータ書き換えのために必要な C エlement 回路 1 1 の出力は、インバータ回路 I N V 1 1 ・ I N V 1 2 の出力の約 2 倍程度でよい。このように、インバータ回路 I N V 1 1 ・ I N V 1 2 で構成されるデータ保持回路は、従来のフリップフロップ回路 F F 9 0 のウィークキーパー回路に比べ、保持データの書き換えが容易である。

40

【 0 0 5 4 】

したがって、本実施形態に係るフリップフロップ回路 F F 1 0 の C エlement 回路を構成するトランジスタのサイズを、従来のフリップフロップ回路 F F 9 0 の C エlement 回路を構成するトランジスタに比べて小さくすることが可能となる。したがって、フリップフロップ回路 F F 1 0 は、従来のフリップフロップ回路に比べて、回路面積をさらに縮小することが可能である。

【 0 0 5 5 】

また、本実施形態に係るフリップフロップ回路 F F 1 0 は、動作電圧が極めて低い場合でも、従来のフリップフロップ回路に比べ性能が低下しないという利点を有している。図 6 は、図 1 3 に示す従来のフリップフロップ回路 F F 7 0 および本実施形態に係るフリッ

50

フリップフロップ回路 F F 1 0 の、動作電圧に対する遅延時間および出力を示す表である。フリップフロップ回路 F F 1 0 ・ F F 7 0 の回路面積はどちらも同一である。従来のフリップフロップ回路 F F 7 0 では、動作電圧が 0 . 5 V の場合は、動作電圧が 1 . 2 V の場合に比べて、遅延時間が大きくなっている。これに対し、本実施形態に係るフリップフロップ回路 F F 1 0 では、動作電圧が 0 . 5 V の場合においても、動作電圧が 1 . 2 V の場合に比べて遅延時間があまり大きくなる。

【 0 0 5 6 】

このように、本実施形態に係るフリップフロップ回路 F F 1 0 は、動作電圧が極めて低い場合でも高い性能を維持することができるので、将来的に実用化が検討されているサブスレシホールド回路等の低電圧回路に好適である。

10

【 実施例 1 】

【 0 0 5 7 】

本発明に係るフリップフロップ回路が従来のフリップフロップ回路よりも高いエラー耐性を有していることを証明するための実験を行った。

【 0 0 5 8 】

図 7 に示すように、本発明に係るフリップフロップ回路 F F 1 0 が 8 個カスケード接続されたシフトレジスタを構成する。初段のフリップフロップ回路 F F 1 0 には、2 つのセレクト回路 S E L 1 1 ・ S E L 1 2 が接続されている。セレクト回路 S E L 1 1 の一方の入力端子には入力信号 S I が入力され、セレクト回路 S E L 1 2 の一方の入力端子には反転入力信号バー S I が入力される。また、セレクト回路 S E L 1 1 の他方の入力端子には、最終段のフリップフロップ回路 F F 1 0 の一方のデータ出力端子が接続され、セレクト回路 S E L 1 2 の他方の入力端子には、最終段のフリップフロップ回路 F F 1 0 の他方のデータ出力端子が接続されている。また、セレクト回路 S E L 1 1 ・ S E L 1 2 には、セレクト信号として信号 R S が入力される。

20

【 0 0 5 9 】

これにより、8 個のフリップフロップ回路 F F 1 0 で 1 つのローカルループユニットを形成する。さらに、このローカルループユニットを複数カスケード接続して、これらのローカルループユニットに対して、 ^{241}Am が発生する 粒子を照射する。

【 0 0 6 0 】

粒子を照射した状態で、セレクト回路 S E L 1 1 ・ S E L 1 2 がそれぞれ入力信号 S I および反転入力信号バー S I を選択するように、信号 R S を制御するとともに、図示しないクロック C L K を各フリップフロップ回路 F F 1 0 に入力することにより、シフト動作を開始させる。続いて、セレクト回路 S E L 1 1 ・ S E L 1 2 が最終段のフリップフロップ回路 F F 1 0 の出力を選択するように、信号 R S を制御する。これにより、シフト動作が繰り返される。所定時間経過後、シフト動作を停止させて、最終段のフリップフロップ回路 F F 1 0 の出力 S O ・ バー S O を検出する。

30

【 0 0 6 1 】

また、上記構成と比較するため、図 1 3 の (a) に示す従来のフリップフロップ回路 F F 7 0 を図 7 と同様に 8 個カスケード接続してローカルループユニットを構成し、 ^{241}Am が発生する 粒子をカスケード接続された複数のローカルループユニットに照射した。

40

【 0 0 6 2 】

実験では、1 M H z、1 0 M H z および 1 6 0 M H z の 3 種類のクロック C L K でフリップフロップ回路を動作させた。それぞれの周波数で 5 0 0 分動作させながら、1 0 分ごとに保持データを取り出して、エラーの検出を行った。その結果を図 8 に示す。

【 0 0 6 3 】

図 8 は、ローカルループ状態にし 1 0 0 分間 線を照射した場合のクロック周波数と反転したフリップフロップ数との関係を示すグラフである。同図において、黒棒が本発明に係るフリップフロップ回路 F F 1 0 のエラー数を示しており、白棒が従来のフリップフロップ回路 F F 7 0 のエラー数を示している。フリップフロップ回路 F F 7 0 では、クロック周波数が大きくなるほどエラー数が大きくなっている。これに対し、フリップフロップ

50

回路 F F 1 0 では、クロック周波数に関わらず殆どエラーが観察されなかった。特に、クロック周波数が 1 6 0 M H z の場合は、フリップフロップ回路 F F 1 0 のエラー数は、フリップフロップ回路 F F 7 0 のエラー数の約 1 / 1 5 0 であり、クロック周波数が高いほどフリップフロップ回路 F F 1 0 のエラー耐性は従来構成よりも高くなることが分かる。

【 0 0 6 4 】

以上の実験により、本発明に係るフリップフロップ回路は、従来のフリップフロップ回路よりも非常に高いエラー耐性を有していることが分かった。

【 0 0 6 5 】

図 1 8 は、本発明に係るフリップフロップ回路 F F 1 0 および従来のフリップフロップ回路 F F 6 0 ・ F F 7 0 ・ F F 8 0 ・ F F 9 0 の回路面積と遅延時間との関係を示すグラフである。同図から、本発明に係るフリップフロップ回路 F F 1 0 が最も面積遅延積 (A D P) が小さいことが分かる。

10

【実施例 2】

【 0 0 6 6 】

さらに、本発明の発明者は、中性子線の照射実験も行った。本発明に係るフリップフロップ回路 F F 1 0 が 8 個カスケード接続されたシフトレジスタ (図 7) および従来のフリップフロップ回路 F F 9 0 が 8 個カスケード接続されたシフトレジスタに対し中性子線を照射し、所定時間におけるエラー数を測定した。その結果、回路の動作周波数が 1 0 0 M H z の場合、フリップフロップ回路 F F 1 0 で構成されるシフトレジスタにおけるエラー数は、フリップフロップ回路 F F 9 0 で構成されるシフトレジスタにおけるエラー数の約 3 1 % であった。また、回路の動作周波数が 1 0 M H z の場合、フリップフロップ回路 F F 1 0 で構成されるシフトレジスタにおけるエラー数は、フリップフロップ回路 F F 9 0 で構成されるシフトレジスタにおけるエラー数の約 4 7 % であった。さらに、回路の動作周波数が 1 M H z の場合、フリップフロップ回路 F F 1 0 で構成されるシフトレジスタにおけるエラー数は、フリップフロップ回路 F F 9 0 で構成されるシフトレジスタにおけるエラー数の約 6 % であった。

20

【 0 0 6 7 】

このように、本発明に係るフリップフロップ回路 F F 1 0 は、従来のフリップフロップ回路に比べ、中性子線に対するエラー耐性も高いことが分かった。

【実施例 3】

【 0 0 6 8 】

続いて、フリップフロップ回路で発振器 (R i n g O s c i l l a t o r) を構成した場合の、発振周波数のばらつきを測定した。その結果を図 1 9 に示す。

30

【 0 0 6 9 】

図 1 9 の (a) は、本発明に係るフリップフロップ回路 F F 1 0 で構成された発振器の発振周波数のばらつきを示すグラフであり、図 1 9 の (b) は、従来のフリップフロップ回路 F F 9 0 で構成された発振器の発振周波数のばらつきを示すグラフである。これらのグラフから、本発明に係るフリップフロップ回路のほうが、発振周波数のばらつきが少ない、すなわち遅延時間のばらつきが小さいことが分かる。

40

【 0 0 7 0 】

(エラー耐性をさらに強化するためのレイアウト構造)

続いて、エラー耐性をさらに強化するためのレイアウト構造について説明する。フリップフロップ回路 F F 1 0 では、電位が同時に反転すると出力が反転するノードの組合せ (以下、「センシティブノード」と称する) が存在する。センシティブノードの具体例を図 2 0 に示す。

【 0 0 7 1 】

本願発明の発明者は、図 2 0 に示すフリップフロップ回路 F F 1 0 において、ノード n 1 ・ n 2 ・ n 3 の組合せ、n 4 ・ n 5 ・ n 6 の組合せ、n 7 ・ n 8 ・ n 9 の組合せ、および、n 1 0 ・ n 1 1 ・ n 1 2 の組合せがセンシティブノードであることを見出した。これらのノードは、以下のように定義される。

50

【 0 0 7 2 】

ノード n 1 は、ラッチ回路 L A T 1 1 の反転出力端子バー Q と C エlement 回路 C E 1 1 の一方の入力端子との間を接続するノードである。ノード n 2 は、ラッチ回路 L A T 1 2 の反転出力端子バー Q と C エlement 回路 C E 1 1 の他方の入力端子との間を接続するノードである。ノード n 3 は、C エlement 回路 C E 1 2 の出力端子とインバータ回路 I N V 1 1 の出力端子とインバータ回路 I N V 1 2 の入力端子とラッチ回路 L A T 1 4 のデータ入力端子との間を接続するノードである。

【 0 0 7 3 】

ノード n 4 は、ラッチ回路 L A T 1 1 の非反転出力端子 Q と C エlement 回路 C E 1 2 の一方の入力端子との間を接続するノードである。ノード n 5 は、ラッチ回路 L A T 1 2 の非反転出力端子 Q と C エlement 回路 C E 1 2 の他方の入力端子との間を接続するノードである。ノード n 6 は、C エlement 回路 C E 1 1 の出力端子とインバータ回路 I N V 1 1 の入力端子とインバータ回路 I N V 1 2 の出力端子とラッチ回路 L A T 1 3 のデータ入力端子との間を接続するノードである。

10

【 0 0 7 4 】

ノード n 7 は、ラッチ回路 L A T 1 3 の反転出力端子バー Q と C エlement 回路 C E 1 3 の一方の入力端子との間を接続するノードである。ノード n 8 は、ラッチ回路 L A T 1 4 の反転出力端子バー Q と C エlement 回路 C E 1 3 の他方の入力端子との間を接続するノードである。ノード n 9 は、C エlement 回路 C E 1 4 の出力端子とインバータ回路 I N V 1 3 の出力端子とインバータ回路 I N V 1 4 の入力端子との間を接続するノードである。

20

【 0 0 7 5 】

ノード n 1 0 は、ラッチ回路 L A T 1 3 の非反転出力端子 Q と C エlement 回路 C E 1 4 の一方の入力端子との間を接続するノードである。ノード n 1 1 は、ラッチ回路 L A T 1 4 の非反転出力端子 Q と C エlement 回路 C E 1 4 の他方の入力端子との間を接続するノードである。ノード n 1 2 は、C エlement 回路 C E 1 3 の出力端子とインバータ回路 I N V 1 3 の入力端子とインバータ回路 I N V 1 4 の出力端子との間を接続するノードである。

【 0 0 7 6 】

ノード n 1 ~ n 1 2 はそれぞれ、特許請求の範囲に記載の第 1 ~ 第 1 2 のノードに相当する。このように各ノードを定義した場合、ノード n 1 ・ n 2 ・ n 3 の組合せ、ノード n 4 ・ n 5 ・ n 6 の組合せ、ノード n 7 ・ n 8 ・ n 9 の組合せ、およびノード n 1 0 ・ n 1 1 ・ n 1 2 の組合せが、それぞれセンシティブノードとなる。そのため、放射線により電位が同時に反転しないためにはノード n 1 ・ n 2 ・ n 3 間、ノード n 4 ・ n 5 ・ n 6 間、ノード n 7 ・ n 8 ・ n 9 間、およびノード n 1 0 ・ n 1 1 ・ n 1 2 間のそれぞれの距離を、できるだけ大きくすることが望ましい。

30

【 0 0 7 7 】

ここで、センシティブノード間の距離とソフトエラー発生率との関係について、図 2 1 を参照して説明する。

【 0 0 7 8 】

図 2 1 の (a) において、横軸は、センシティブノード間の距離であり、縦軸は、S E U に対する M C U の発生率である。図 2 1 の (b) は、図 2 1 の (a) に示すグラフの横軸の一部を拡大したものであり、センシティブノード間の距離が 1 . 5 ~ 3 . 5 μ m における、S E U に対する M C U の発生率を示している。

40

【 0 0 7 9 】

また、実線は、M C U のうち電化共有 (C h a r g e S h a r i n g , C S) による M C U の S E U に対する発生率を示しており、破線は、M C U のうち連続衝突 (S u c c e s s i v e H i t s , S H) による M C U の S E U に対する発生率を示している。一点鎖線は、C S と S H とを合わせた M C U の S E U に対する発生率を示している。

【 0 0 8 0 】

50

SEUに対するMCUの発生率（以下、「エラー率」とする）は、冗長化されたフリップフロップ回路が通常のフリップフロップ回路に対してどの程度ソフトエラーに耐性があるかを表している。図21の(a)に示すように、センシティブノード間の距離を $0.86\mu\text{m}$ 以上とすれば、エラー率を $1/10$ （10%）以下とすることができる。さらに、図21の(b)に示すように、センシティブノード間の距離を $1.75\mu\text{m}$ 以上とすれば、エラー率を $1/100$ （1%）以下とすることができ、センシティブノード間の距離を $3.50\mu\text{m}$ 以上とすれば、エラー率を $1/1000$ （0.1%）以下とすることができる。

【0081】

そのため、図20に示すフリップフロップ回路FF10においても、各素子のレイアウトを適切に設定することにより、センシティブノード間の距離を $0.86\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは、当該距離を $1.75\mu\text{m}$ 以上、さらに好ましくは、当該距離を $3.50\mu\text{m}$ 以上とすることにより、さらにソフトエラー耐性を高めることができる。

【0082】

〔実施形態2〕

本発明の第2の実施形態について図22～図24に基づいて説明すれば以下のとおりである。本実施形態では、第1の実施形態に係るフリップフロップ回路FF10の変形例、および本発明に係るフリップフロップ回路を用いた半導体装置および電子機器について説明する。

【0083】

（本実施形態に係るフリップフロップ回路の構成）

図22は、本実施形態に係るフリップフロップ回路FF20の構成を示す図である。フリップフロップ回路FF20は、第1の実施形態に係るフリップフロップ回路FF10において、Cエレメント回路CE14を省略した構成である。

【0084】

すなわち、フリップフロップ回路FF20は、スレーブラッチ回路LAT13・LAT14の出力側に接続される構成が、図13～図16に示す従来のフリップフロップ回路におけるものと同一である。このフリップフロップ回路FF20をカスケード接続してシフトレジスタを構成した場合、Cエレメント回路CE13からSETパルスが生じて、SETパルスが生じたフリップフロップ回路FF20の後段に接続されたフリップフロップ回路FF20において、遅延回路DEL11が設けられていることにより、SETパルスが2つのマスタラッチ回路LAT11・LAT12に同時にラッチされることはない。そのため、フリップフロップ回路FF20は、第1の実施形態に係るフリップフロップ回路FF10と同等のエラー耐性を有している。

【0085】

なお、マスタラッチ回路LAT11・LAT12とスレーブラッチ回路LAT13・LAT14との間を従来構成と同一にした場合、マスタラッチ回路LAT11・LAT12の出力側に接続されたCエレメント回路は直接スレーブラッチ回路に接続されているため、当該Cエレメント回路で生じたSETパルスは、スレーブラッチ回路LAT13・LAT14の両方に取込まれてしまう。

【0086】

フリップフロップ回路FF20では、スレーブラッチ回路LAT13・LAT14の反転出力端子バーQにCエレメント回路CE13が接続されていたが、Cエレメント回路をスレーブラッチ回路LAT13・LAT14の非反転出力端子Qに接続させてもよい。その構成を図23に示す。

【0087】

図23は、本実施形態に係るフリップフロップ回路FF30の構成を示す図である。フリップフロップ回路FF30は、第1の実施形態に係るフリップフロップ回路FF10において、Cエレメント回路CE13を省略した構成である。フリップフロップ回路FF3

10

20

30

40

50

0も、第1の実施形態に係るフリップフロップ回路FF10と同等のエラー耐性を有している。

【0088】

また、フリップフロップ回路FF20・FF30は、フリップフロップ回路FF10に比べて回路を構成する素子の数が少ない。そのため、フリップフロップ回路FF20・FF30は、小型化が必要な電子機器に好適である。

【0089】

また、エラー耐性をさらに高めるために、フリップフロップ回路FF20・FF30においても、センシティブノード間の距離をできるだけ大きくすることが望ましい。具体的には、図22に示すフリップフロップ回路FF20では、ノードn1・n2・n3間、ノードn4・n5・n6間、およびノードn7・n8・n9間のそれぞれの距離を、できるだけ大きくすることが望ましい。また、図23に示すフリップフロップ回路FF30では、ノードn1・n2・n3間、ノードn4・n5・n6間、およびノードn10・n11・n12間のそれぞれの距離を、できるだけ大きくすることが望ましい。

【0090】

フリップフロップ回路FF20・FF30において、センシティブノード間の距離は、0.86μm以上であることが好ましい。さらに好ましくは、当該距離を1.75μm以上、さらに好ましくは、当該距離を3.50μm以上とすることにより、さらにソフトエラー耐性を高めることができる。

【0091】

(フリップフロップ回路を用いた電子機器の一例)

本発明は、あらゆる電子機器に適用可能であるが、その電子機器が液晶表示装置である場合の例について説明する。

【0092】

図24は、本実施形態に係る液晶表示装置1の要部構成を示すブロック図である。液晶表示装置1は、液晶パネル2、ゲートドライバ3、ソースドライバ4およびコントローラ5を有している。ゲートドライバ3は、コントローラ5から入力される動作クロック等に基づいて、液晶パネル2内のゲートラインを順次走査するための走査信号を出力する。ソースドライバ4は、コントローラ5から入力された表示データを時分割して、時分割された表示データをD/A変換することにより、表示対象画素の明るさに応じた階調表示用のデータ信号を液晶パネル2に出力する。

【0093】

ここで、ゲートドライバ3は、特許請求の範囲に記載の半導体装置に相当するものであり、複数のフリップフロップ回路がカスケード接続されたシフトレジスタで構成されている。各フリップフロップ回路の出力端子は、次段のフリップフロップ回路および液晶パネル2内のゲートラインに接続されている。

【0094】

また、液晶表示装置1では、ゲートドライバ3を構成するフリップフロップ回路として、上述したフリップフロップ回路FF10を用いている。これにより、液晶表示装置1は、ソフトエラーに起因する乱れが殆ど生じることのない高品質の画像を表示することができる。

【0095】

〔付記事項〕

本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

【0096】

本発明に係るフリップフロップ回路は、入力データを保持するフリップフロップ回路であって、前記入力データをラッチする第1および第2のマスタラッチ回路と、第1のマスタラッチ回路の反転出力および第2のマスタラッチ回路の反転出力が入力される第1のC

10

20

30

40

50

エレメント回路と、第1のマスタラッチ回路の非反転出力および第2のマスタラッチ回路の非反転出力が入力される第2のCエレメント回路と、第1のCエレメント回路の出力をラッチする第1のスレーブラッチ回路と、第2のCエレメント回路の出力をラッチする第2のスレーブラッチ回路と、第1のスレーブラッチ回路の反転出力および第2のスレーブラッチ回路の反転出力が入力される第3のCエレメント回路と、相互接続された第1および第2のインバータ回路と、相互接続された第3および第4のインバータ回路と、を備え、第1のインバータ回路の入力端子と第2のインバータ回路の出力端子とは、第1のCエレメント回路の出力端子と第1のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第1のインバータ回路の出力端子と第2のインバータ回路の入力端子とは、第2のCエレメント回路の出力端子と第2のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第3のインバータ回路の入力端子と第4のインバータ回路の出力端子とは、第3のCエレメント回路の出力端子に接続されている、ことを特徴としている。

10

20

30

40

50

【0097】

本発明に係るフリップフロップ回路は、入力データを保持するフリップフロップ回路であって、前記入力データをラッチする第1および第2のマスタラッチ回路と、第1のマスタラッチ回路の反転出力および第2のマスタラッチ回路の反転出力が入力される第1のCエレメント回路と、第1のマスタラッチ回路の非反転出力および第2のマスタラッチ回路の非反転出力が入力される第2のCエレメント回路と、第1のCエレメント回路の出力をラッチする第1のスレーブラッチ回路と、第2のCエレメント回路の出力をラッチする第2のスレーブラッチ回路と、第1のスレーブラッチ回路の非反転出力および第2のスレーブラッチ回路の非反転出力が入力される第4のCエレメント回路と、相互接続された第1および第2のインバータ回路と、相互接続された第3および第4のインバータ回路と、を備え、第1のインバータ回路の入力端子と第2のインバータ回路の出力端子とは、第1のCエレメント回路の出力端子と第1のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第1のインバータ回路の出力端子と第2のインバータ回路の入力端子とは、第2のCエレメント回路の出力端子と第2のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第3のインバータ回路の出力端子と第4のインバータ回路の入力端子とは、第4のCエレメント回路の出力端子に接続されている、ことを特徴としている。

【0098】

上記の構成によれば、第1のCエレメント回路は、第1のマスタラッチ回路の反転出力と第2のマスタラッチ回路の反転出力とが異なる値の場合、直前のデータを保持する。また、第2のCエレメント回路は、第1のマスタラッチ回路の非反転出力と第2のマスタラッチ回路の非反転出力とが異なる値の場合、直前のデータを保持する。このため、ソフトウェアによって第1および第2のマスタラッチ回路のいずれかの出力が反転しても、第1および第2のCエレメント回路の出力は反転しない。すなわち、第1および第2のインバータ回路は、第1のCエレメント回路からの出力のウィークキーパー回路としての機能と、第2のCエレメント回路からの出力のウィークキーパー回路としての機能との両方を備えている。したがって、第1および第2のCエレメント回路のそれぞれにウィークキーパー回路を設ける従来構成に比べ、回路面積を縮小することができる。

【0099】

また、ソフトウェアによって第1および第2のCエレメント回路のいずれかの出力が反転しても、反転した出力が第1および第2のスレーブラッチ回路にラッチされることを防止することができる。

【0100】

また、相互接続されたインバータ回路で構成されるデータ保持回路は、二重化されたCエレメント回路のそれぞれに接続される従来のウィークキーパー回路に比べ、保持データの書き換えが容易である。そのため、第1および第2のCエレメント回路を構成するトランジスタのサイズを、従来のフリップフロップ回路のCエレメント回路を構成するトランジスタに比べて小さくすることが可能となる。よって、本発明に係るフリップフロップ回

路は、従来のフリップフロップ回路に比べて、回路面積をさらに小さくすることが可能である。

【0101】

相互接続されたインバータ回路で構成されるデータ保持回路は、二重化されたCエレメント回路のそれぞれに接続される従来のウィークキーパー回路に比べ、保持データの書き換えが容易である。そのため、ばらつきによってウィークキーパー回路を構成するトランジスタのゲート長や閾値電圧が変化しても遅延時間に与える影響が小さい。

【0102】

また、保持データの書き換えが容易であるため、ウィークキーパー回路を構成するトランジスタのサイズを小さくする必要がない。そのため、ウィークキーパー回路を構成するトランジスタのゲート長や閾値電圧のばらつきが小さくなり、遅延時間のばらつきが改善する。したがって、回路面積を大幅に縮小することができ、かつ、遅延時間のばらつきの少ないフリップフロップ回路を実現することができる。

【0103】

本発明に係るフリップフロップ回路では、さらに遅延回路を備え、前記入力データは、前記遅延回路を介して第2のマスタラッチ回路に入力されることが好ましい。

【0104】

上記の構成によれば、入力データをフリップフロップ回路に出力する組合せ回路等に高エネルギー中性子が衝突することによりソフトエラーが発生しても、遅延回路によって、第1および第2のマスタラッチ回路の両方がエラーパルスをラッチすることを防止することができる。よって、フリップフロップ回路のエラー耐性をさらに高めることができる。

【0105】

本発明に係るフリップフロップ回路では、第1のマスタラッチ回路の反転出力端子と第1のCエレメント回路の一方の入力端子との間を接続するノードを第1のノード、第2のマスタラッチ回路の反転出力端子と第1のCエレメント回路の他方の入力端子との間を接続するノードを第2のノード、第2のCエレメント回路の出力端子と第1のインバータ回路の出力端子と第2のインバータ回路の入力端子と第2のスレーブラッチ回路の入力端子との間を接続するノードを第3のノード、第1のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の一方の入力端子との間を接続するノードを第4のノード、第2のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の他方の入力端子との間を接続するノードを第5のノード、第1のCエレメント回路の出力端子と第1のインバータ回路の入力端子と第2のインバータ回路の出力端子と第1のスレーブラッチ回路の入力端子との間を接続するノードを第6のノード、第1のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の一方の入力端子との間を接続するノードを第7のノード、第2のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の他方の入力端子との間を接続するノードを第8のノード、第4のCエレメント回路の出力端子と第3のインバータ回路の出力端子と第4のインバータ回路の入力端子との間を接続するノードを第9のノード、第1のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の一方の入力端子との間を接続するノードを第10のノード、第2のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の他方の入力端子との間を接続するノードを第11のノード、第3のCエレメント回路の出力端子と第3のインバータ回路の入力端子と第4のインバータ回路の出力端子との間を接続するノードを第12のノードとして、第1～第3の各ノード間の距離、第4～第6の各ノード間の距離、第7～第9の各ノード間の距離、並びに、第10～第12の各ノード間の距離が、 $0.86\mu\text{m}$ 以上であることが好ましい。

【0106】

本発明に係るフリップフロップ回路では、第1のマスタラッチ回路の反転出力端子と第1のCエレメント回路の一方の入力端子との間を接続するノードを第1のノード、第2のマスタラッチ回路の反転出力端子と第1のCエレメント回路の他方の入力端子との間を接続するノードを第2のノード、第2のCエレメント回路の出力端子と第1のインバータ回路の出力端子と第2のインバータ回路の入力端子と第2のスレーブラッチ回路の入力端子

10

20

30

40

50

との間を接続するノードを第3のノード、第1のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の一方の入力端子との間を接続するノードを第4のノード、第2のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の他方の入力端子との間を接続するノードを第5のノード、第1のCエレメント回路の出力端子と第1のインバータ回路の入力端子と第2のインバータ回路の出力端子と第1のスレーブラッチ回路の入力端子との間を接続するノードを第6のノード、第1のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の一方の入力端子との間を接続するノードを第7のノード、第2のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の他方の入力端子との間を接続するノードを第8のノード、第3のインバータ回路の出力端子と第4のインバータ回路の入力端子との間を接続するノードを第9のノードとして、第1～第3の各ノード間の距離、第4～第6の各ノード間の距離、並びに、第7～第9の各ノード間の距離が、 $0.86\mu\text{m}$ 以上であることが好ましい。

10

【0107】

本発明に係るフリップフロップ回路では、第1のマスタラッチ回路の反転出力端子と第1のCエレメント回路の一方の入力端子との間を接続するノードを第1のノード、第2のマスタラッチ回路の反転出力端子と第1のCエレメント回路の他方の入力端子との間を接続するノードを第2のノード、第2のCエレメント回路の出力端子と第1のインバータ回路の出力端子と第2のインバータ回路の入力端子と第2のスレーブラッチ回路の入力端子との間を接続するノードを第3のノード、第1のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の一方の入力端子との間を接続するノードを第4のノード、第2のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の他方の入力端子との間を接続するノードを第5のノード、第1のCエレメント回路の出力端子と第1のインバータ回路の入力端子と第2のインバータ回路の出力端子と第1のスレーブラッチ回路の入力端子との間を接続するノードを第6のノード、第1のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の一方の入力端子との間を接続するノードを第10のノード、第2のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の他方の入力端子との間を接続するノードを第11のノード、第3のインバータ回路の入力端子と第4のインバータ回路の出力端子との間を接続するノードを第12のノードとして、第1～第3の各ノード間の距離、第4～第6の各ノード間の距離、並びに、第10～第12の各ノード間の距離が、 $0.86\mu\text{m}$ 以上であることが好ましい。

20

30

【0108】

上記の構成によれば、センシティブノード間の距離が大きいため、ソフトエラー耐性をさらに強化することができる。

【0109】

本発明に係る半導体装置は、上記のいずれかのフリップフロップ回路を備えている。また、本発明に係る電子機器は、上記の半導体装置を備えている。

【産業上の利用可能性】

【0110】

本発明は、特に低電圧で動作する集積回路に好適に利用することができる。また、本発明に係るフリップフロップ回路およびそれを用いた半導体装置は、あらゆる電子機器に適用できる。特に、エラーレートを極めて低くする必要があるため現時点では冗長性を大きく持たせた回路が使用されているスーパーコンピュータやサーバ用コンピュータといった高度で大規模な電子機器に対して、本発明は好適である。さらに、将来的には、パーソナルコンピュータ、表示装置、カメラ等の家庭用の電子機器や、携帯電話、スマートフォン、PDA、ノートパソコン、タブレット等の携帯用の電子機器も、確実に高性能化が進むと考えられる。そのため、本発明は、特殊用途の電子機器だけでなく、一般用途の電子機器においても、必須になると考えられる。

40

【符号の説明】

【0111】

1 液晶表示装置(電子機器)

50

3 ゲートドライバ(半導体装置)

FF10 フリップフロップ回路

FF20 フリップフロップ回路

FF30 フリップフロップ回路

CE11 Cエレメント回路(第1のCエレメント回路)

CE12 Cエレメント回路(第2のCエレメント回路)

CE13 Cエレメント回路(第3のCエレメント回路)

CE14 Cエレメント回路(第4のCエレメント回路)

COMB11 組合せ回路

DEL11 遅延回路

10

IN 入力データ

INV11 インバータ回路(第1のインバータ回路)

INV12 インバータ回路(第2のインバータ回路)

INV13 インバータ回路(第3のインバータ回路)

INV14 インバータ回路(第4のインバータ回路)

LAT11 マスタラッチ回路(第1のマスタラッチ回路)

LAT12 マスタラッチ回路(第2のマスタラッチ回路)

LAT13 スレーブラッチ回路(第1のスレーブラッチ回路)

LAT14 スレーブラッチ回路(第2のスレーブラッチ回路)

n1 ノード(第1のノード)

20

n2 ノード(第2のノード)

n3 ノード(第3のノード)

n4 ノード(第4のノード)

n5 ノード(第5のノード)

n6 ノード(第6のノード)

n7 ノード(第7のノード)

n8 ノード(第8のノード)

n9 ノード(第9のノード)

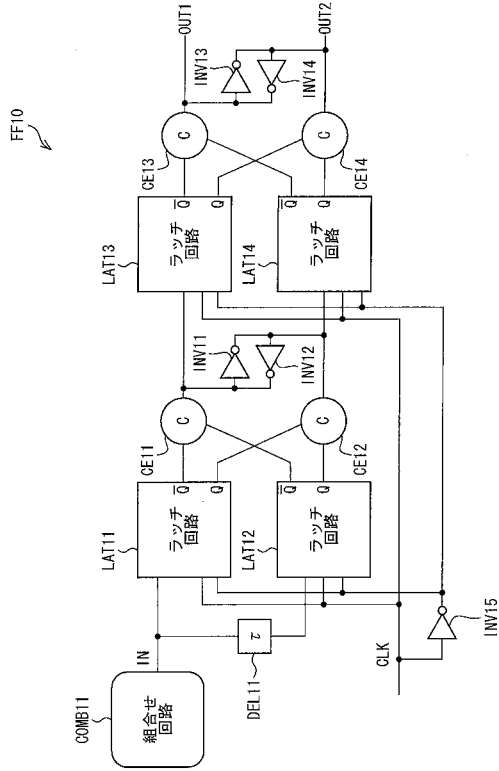
n10 ノード(第10のノード)

n11 ノード(第11のノード)

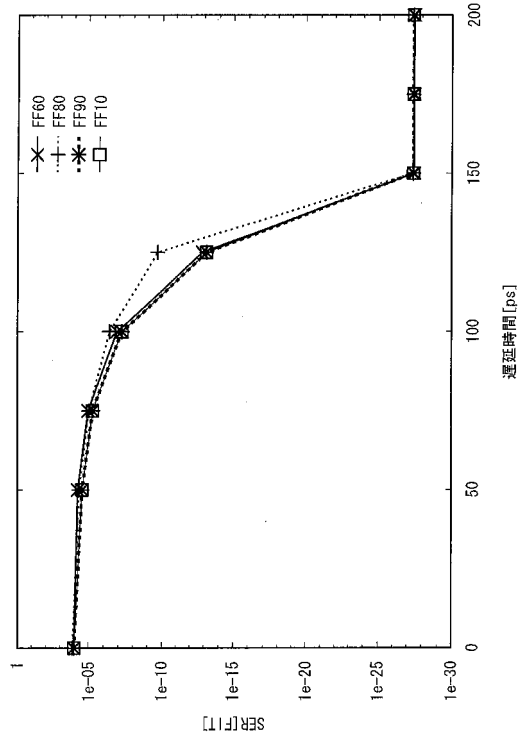
30

n12 ノード(第12のノード)

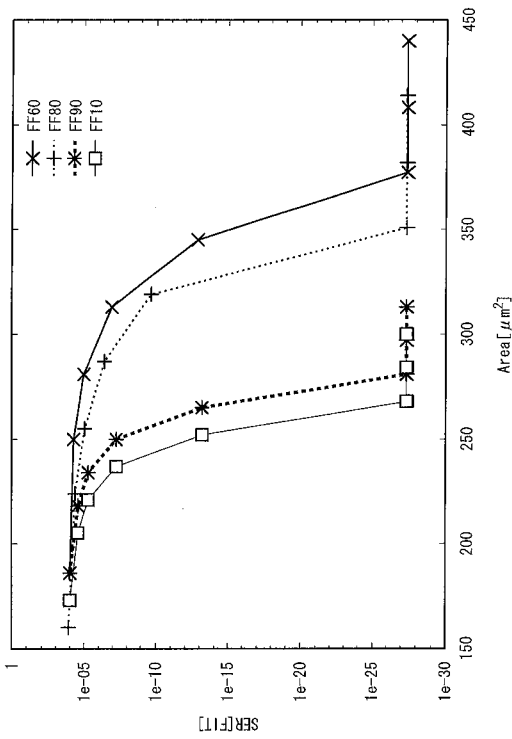
【図1】



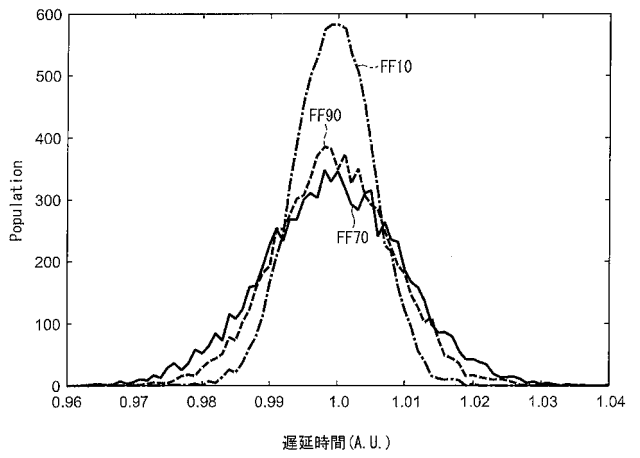
【図2】



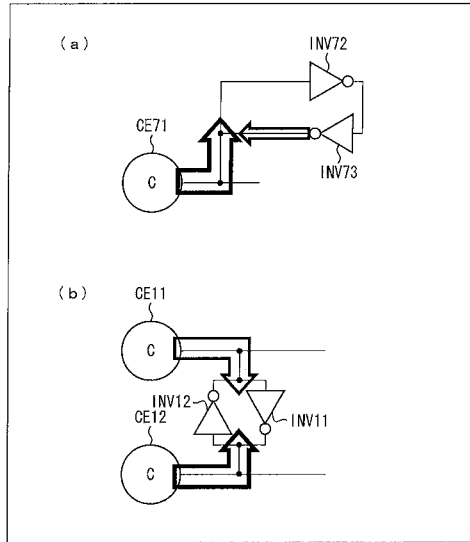
【図3】



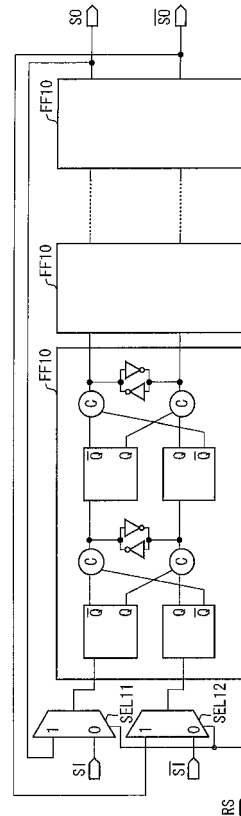
【図4】



【 図 5 】



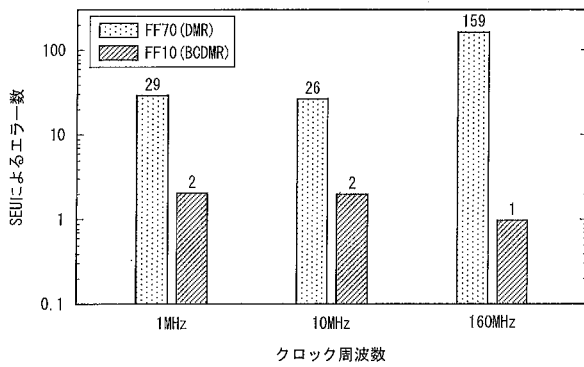
【 図 7 】



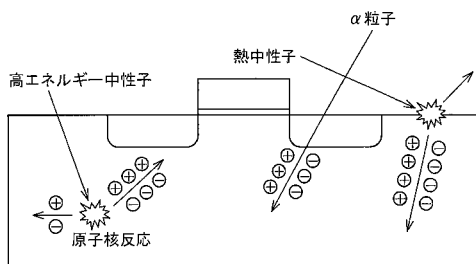
【 図 6 】

	FF70 (DMR)			FF10 (BCDMR)		
	Area	Delay	Power	Area	Delay	Power
1.2V	3.00	1.47	2.15	3.00	1.45	2.20
0.5V	3.00	1.96	2.39	3.00	1.57	2.23

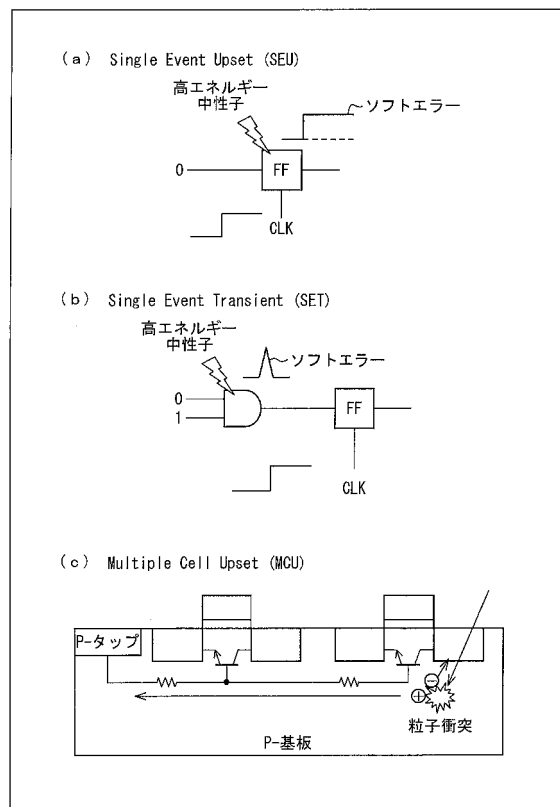
【 図 8 】



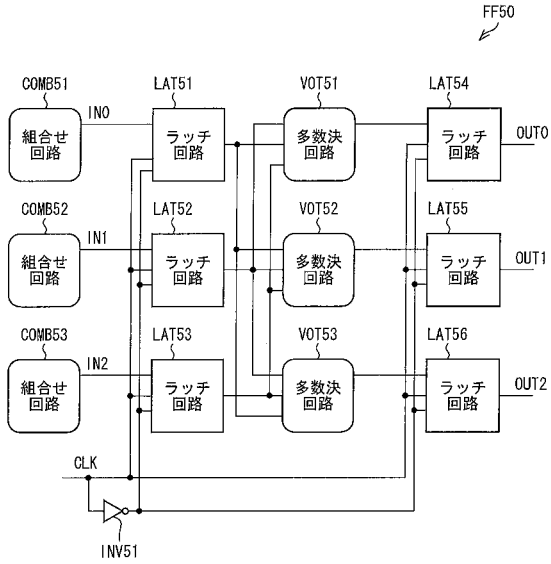
【 図 9 】



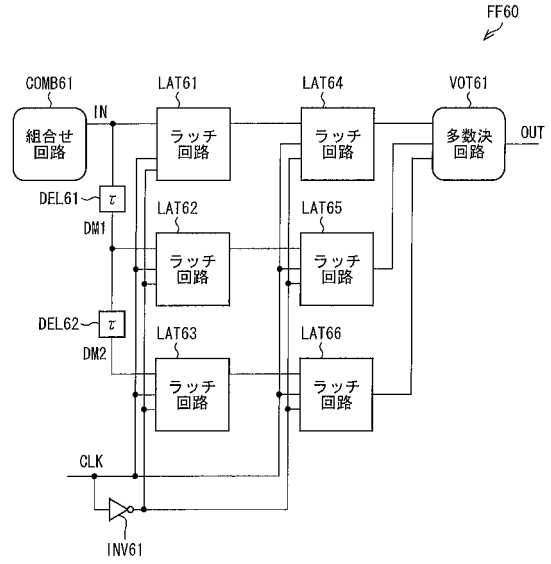
【 図 10 】



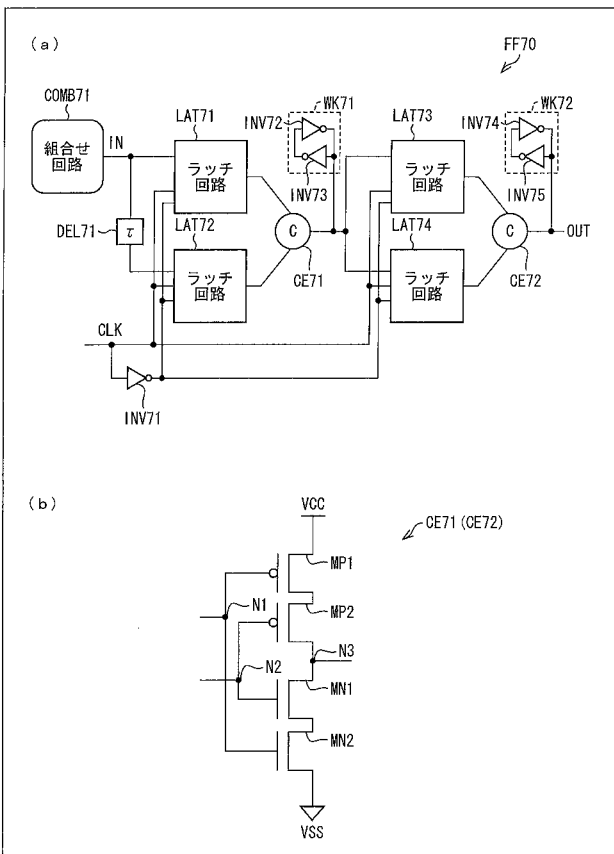
【図 1 1】



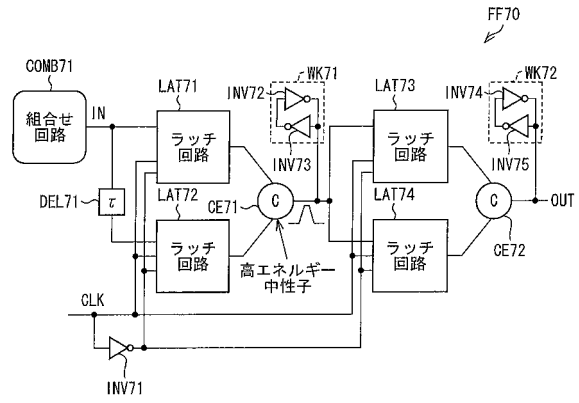
【図 1 2】



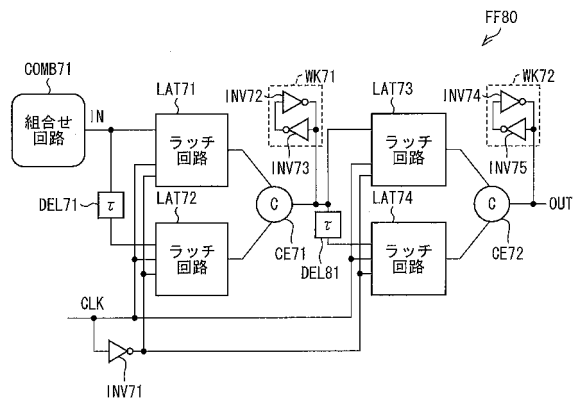
【図 1 3】



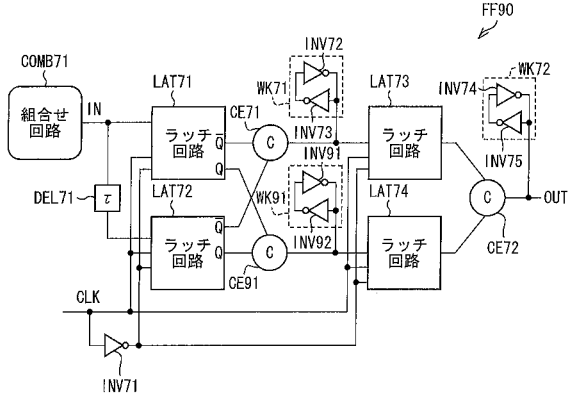
【図 1 4】



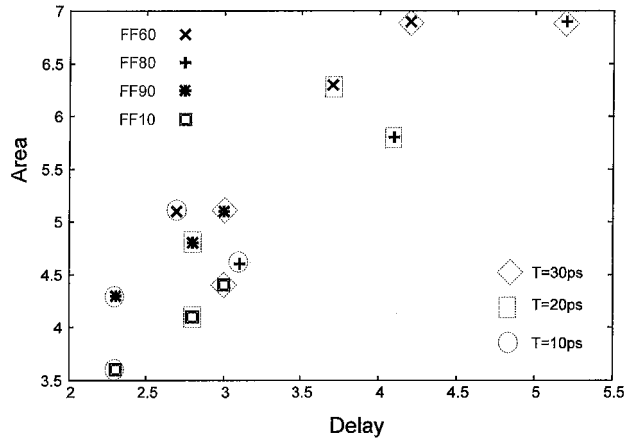
【図 1 5】



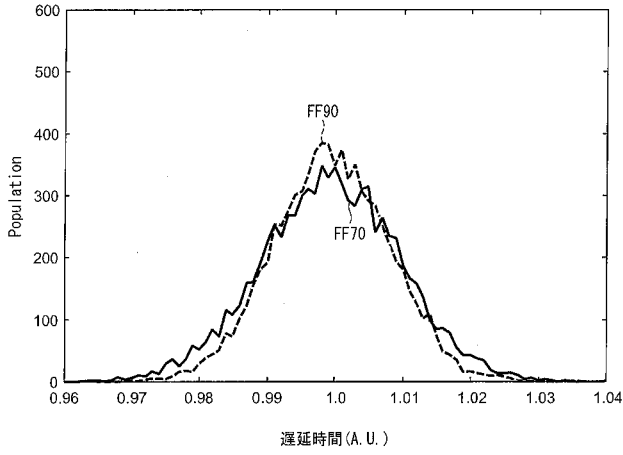
【図 16】



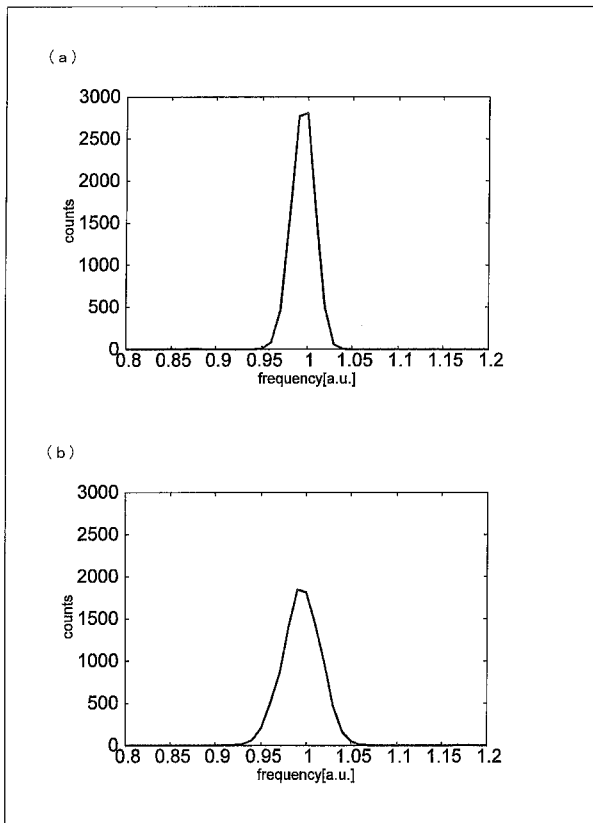
【図 18】



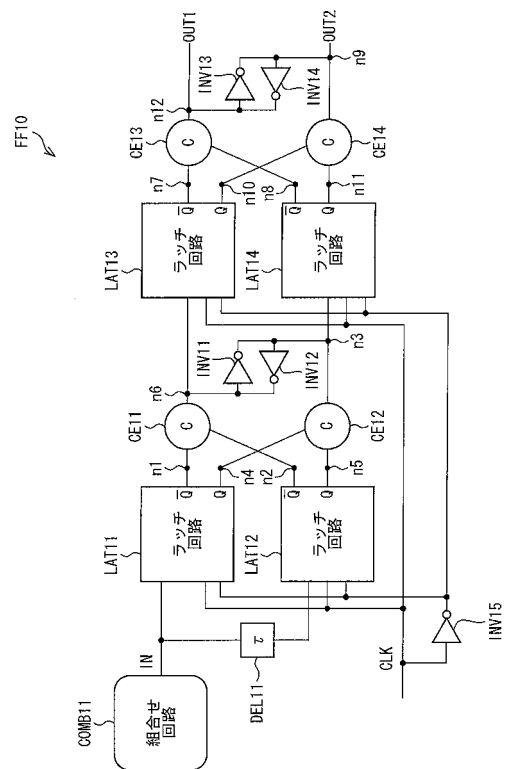
【図 17】



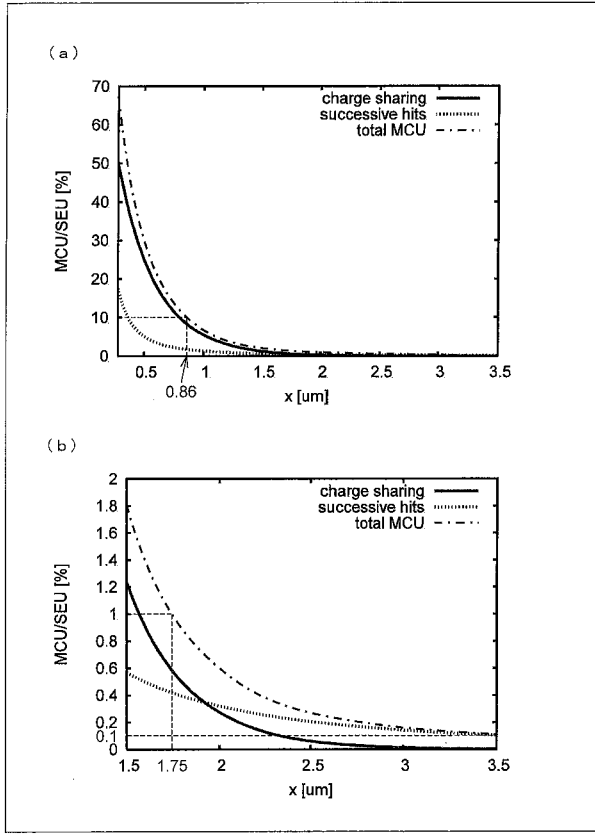
【図 19】



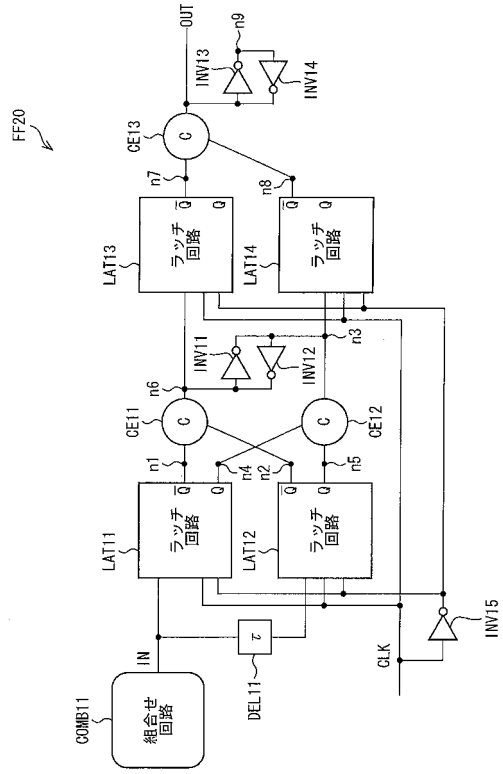
【図 20】



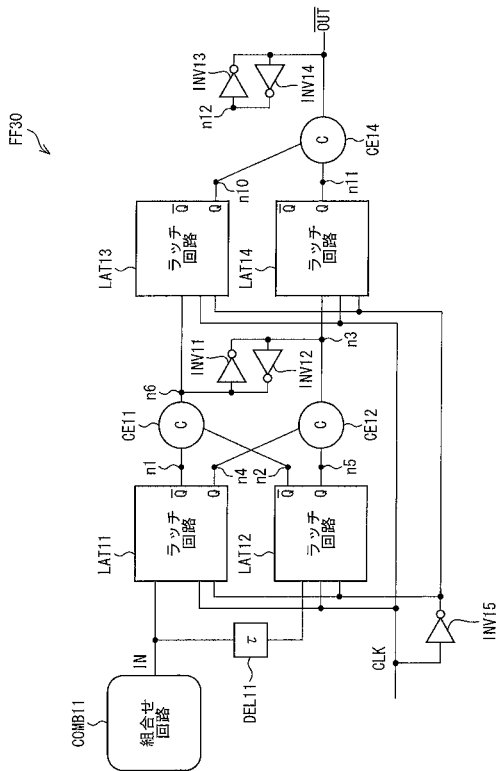
【図 2 1】



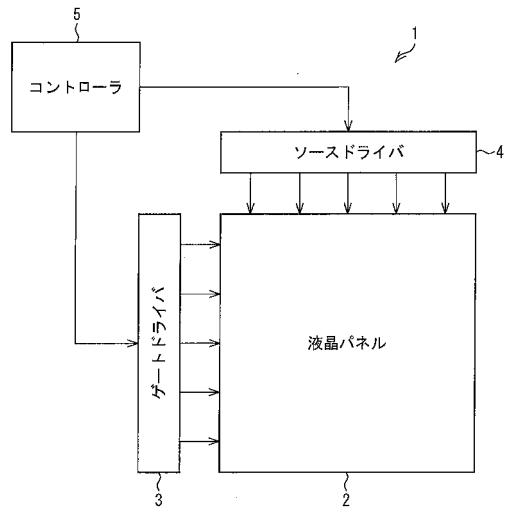
【図 2 2】



【図 2 3】



【図 2 4】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2011/063154
A. CLASSIFICATION OF SUBJECT MATTER H03K3/037(2006.01) i, H03K3/3562(2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03K3/037, H03K3/3562 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-115311 A (Toshiba Corp.), 27 April 2006 (27.04.2006), entire text; all drawings & US 2006/0082404 A1	1-9
A	JP 2004-95063 A (Mitsubishi Heavy Industries, Ltd.), 25 March 2004 (25.03.2004), entire text; all drawings (Family: none)	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 04 July, 2011 (04.07.11)		Date of mailing of the international search report 12 July, 2011 (12.07.11)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 6 3 1 5 4									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K3/037(2006.01)i, H03K3/3562(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K3/037, H03K3/3562											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2011年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2011年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2011年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2011年	日本国実用新案登録公報	1996-2011年	日本国登録実用新案公報	1994-2011年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2011年										
日本国実用新案登録公報	1996-2011年										
日本国登録実用新案公報	1994-2011年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	J P 2 0 0 6 - 1 1 5 3 1 1 A (株式会社東芝) 2006.04.27、全文、全図 & US 2006/0082404 A1	1-9									
A	J P 2 0 0 4 - 9 5 0 6 3 A (三菱重工業株式会社) 2004.03.25、全文、全図 (ファミリーなし)	1-9									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 04.07.2011		国際調査報告の発送日 12.07.2011									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 石田 勝	5 X 3 5 7 2								
		電話番号 03-3581-1101 内線	3 5 9 6								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。