

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-251380

(P2013-251380A)

(43) 公開日 平成25年12月12日(2013.12.12)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 M	4 K O 2 4
HO 1 L 21/768 (2006.01)	HO 1 L 21/28 3 O 1 R	4 M 1 O 4
HO 1 L 23/532 (2006.01)	HO 1 L 21/90 A	5 F O 3 3
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 B	
HO 1 L 21/288 (2006.01)	HO 1 L 21/288 E	

審査請求 未請求 請求項の数 8 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2012-124608 (P2012-124608)  
 (22) 出願日 平成24年5月31日 (2012.5.31)

(71) 出願人 504203572  
 国立大学法人茨城大学  
 茨城県水戸市文京2丁目1番1号  
 (74) 代理人 100176164  
 弁理士 江口 州志  
 (72) 発明者 篠嶋 妥  
 茨城県日立市中成沢町四丁目12番1号  
 国立大学法人茨城大  
 学 工学部内  
 (72) 発明者 大貫 仁  
 茨城県日立市中成沢町四丁目12番1号  
 国立大学法人茨城大  
 学 工学部内

最終頁に続く

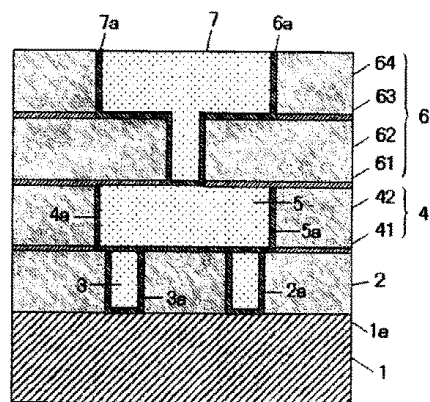
(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【課題】配線層の一層の低抵抗率化を図るとともに、耐エレクトロマイグレーション性に優れる半導体集積回路装置とその製造方法を提供する。

【解決する手段】回路素子が形成された半導体基体と、前記半導体基体の主表面上に形成された絶縁層と、少なくとも前記絶縁層を利用して形成されたトレンチと、前記トレンチ内に形成された銅配線とを備え、前記銅配線の線幅が70nm以下で、前記銅配線の前記トレンチの底面から前記トレンチの高さの1/4の距離にある部分の平均結晶粒径は、配線幅の1.3倍以上であり、且つ、前記トレンチの最上部表面の平均結晶粒径に対して比率が85%以上であることを特徴とする。このような特徴を有する半導体集積回路装置は、最高温度が450以上に設定されたサイクルアニール処理、又は純度が6Nを超える硫酸銅めっき浴及びアノード銅電極を用いた電解めっきによって製造される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

回路素子が形成された半導体基体と、前記半導体基体の主表面上に形成された絶縁層と、少なくとも前記絶縁層を利用して形成されたトレンチと、前記トレンチ内に形成された銅配線とを備え、前記銅配線の線幅が70nm以下で、前記銅配線の前記トレンチの底面から前記トレンチの高さの1/4の距離にある部分の平均結晶粒径は、配線幅の1.3倍以上であり、且つ、前記トレンチの最上部表面の平均結晶粒径に対して比率が85%以上であることを特徴とする半導体集積回路装置。

## 【請求項 2】

前記銅配線の前記トレンチの底部から前記トレンチの高さの1/4の距離にある部分の結晶粒は、45nm以下の結晶粒径の存在比が10%以下であることを特徴とする請求項1に記載の半導体集積回路装置。

10

## 【請求項 3】

前記銅配線の前記トレンチの底面から前記トレンチの高さの1/4の距離にある部分の平均結晶粒径は、前記トレンチの最上部表面の平均結晶粒径に対して比率が90%以上であることを特徴とする請求項2に記載の半導体集積回路装置。

## 【請求項 4】

請求項1～3の何れかに記載の半導体集積回路装置の製造方法であって、前記銅配線の配線層は、銅層を半導体基体にめっき法によって堆積させた後、前記の半導体基体に対して、下記の(1)式の条件で、周期数2回以上でサイクルアニールを行うことを特徴とする半導体集積回路装置の製造方法。

20

$$200 < T_L < 450 < T_H \quad (1)$$

(式中、 $T_L$ 及び $T_H$ は、それぞれサイクルアニールの最低温度及び最高温度である。)

## 【請求項 5】

前記のサイクルアニールの最高温度( $T_H$ )に保持される時間は、1周期当たり10分以内であることを特徴とする請求項4に記載の半導体集積回路装置の製造方法。

## 【請求項 6】

請求項1～3の何れかに記載の半導体集積回路装置の製造方法であって、純度がそれぞれ99.9999質量%を超える硫酸銅めっき浴、及びアノードに純度が99.9999質量%を超える銅電極を用いた電解めっきによって前記トレンチ内に銅めっき層を形成することを特徴とする半導体集積回路装置の製造方法。

30

## 【請求項 7】

請求項6に記載の製造方法によって前記トレンチ内に銅めっき層を堆積させた後、前記の半導体基体に対して、請求項4に記載の条件で、周期数2回以上でサイクルアニールを行うことを特徴とする半導体集積回路装置の製造方法。

## 【請求項 8】

請求項6に記載の製造方法によって前記トレンチ内に銅めっき層を堆積させた後、前記の半導体基体に対して、請求項5に記載の条件で、周期数2回以上でサイクルアニールを行うことを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

40

## 【技術分野】

## 【0001】

本発明は、半導体集積回路装置、特に配線幅70nm及びそれ以下の配線幅を備える高集積の半導体集積回路装置とその製造方法に関する。

## 【背景技術】

## 【0002】

半導体集積回路装置(LSI)はムーアの法則で言われている3年で集積度が4倍になるというハイスピードで高集積度化が進められており、国際半導体技術ロードマップ(International Technology Roadmap for Semiconductor)で、2009年版(ITRS 2009 Edition)のMP

50

U ( M i c r o P r o c e s s i n g U n i t ) の配線を例に挙げると、集積度を向上させるために配線幅の目標値が2013年は32nm、2015年は25nm、2017年は20nmとなっており、高速動作を確保するために抵抗率の目標値は夫々4.83  $\mu$  cm、5.44  $\mu$  cm、5.99  $\mu$  cm、となっている。

【0003】

このようなLSIの高集積化、高密度化及び高速化の要求に伴い、配線の微細化及び多層化が進展しており、LSIの配線についても、これまで広く使用されてきたアルミニウム ( A l ) 又はアルミニウム合金の代わりに、銅 ( C u ) 配線の実用化が検討されるようになった。Cu配線は、(1)低抵抗、(2)アルミニウムやその合金よりも大きな許容電流、(3)高いエレクトロマイグレーション耐性、及び(4)高融点等の特徴を有するため、Al配線に比べて微細化する上で優位である。また、Cu配線の実用化で必要となる技術、例えば、めっき法等による配線形成方法及び化学的機械研磨法CMP等による多層配線層の平坦化技術も同時に開発されており、多層Cu配線構造を有する半導体装置はLSIの分野において、今後、益々重要な地位を占めるようになってきている。

10

【0004】

多層Cu配線構造を有する半導体装置においては、銅配線層の低抵抗率化と耐エレクトロマイグレーションを向上させるために、銅配線層の平均結晶粒径(グレインサイズ)を大きくすることが有効であることがよく知られている(特許文献1~3を参照)。平均結晶粒径(グレインサイズ)を大きくするための様々な方法としては、例えば、前記の特許文献1において200以上600未満のアニール(加熱)処理を行うことが開示されている。同様に、前記の特許文献2には、450のアニール処理によって、平均結晶粒径を拡大させて、銅配線層の比抵抗を低減することが開示されている。

20

【0005】

本発明者等も、銅配線層の低抵抗率化と耐エレクトロマイグレーションの向上を図るために、銅配線のトレンチの側面と平行な面又は銅配線表面における平均結晶粒径を所定の範囲に規定するとともに、それらの各面における平均結晶粒径を均一化するために、平均結晶粒径を所定の範囲に制御できる様々な方法を提案した(特許文献4及び5)。その中で、前記の特許文献4には、高純度(99.99~99.999999質量%)の硫酸銅めっき浴及び高純度(99.99~99.999999質量%)の銅電極を用いた電解めっきによってトレンチ内に銅めっき層を形成する方法が開示されている。

30

【0006】

さらに、めっき法等による銅配線形成方法については、特許文献6において、半導体ウエハのパーティクルの付着を防止する電気銅めっき方法として、3N(99.9質量%)~6N(99.9999質量%)の純度を有する純銅をアノードとして使用することが提案されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2001-7039号公報

【特許文献2】特開2006-24754号公報

【特許文献3】特開平10-32203号公報

【特許文献4】特開2008-270250号公報

【特許文献5】国際公開第2010/064732号

【特許文献6】特開2003-171797号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

上記のように、銅配線層の低抵抗率化と耐エレクトロマイグレーションの向上に対して、銅配線層の平均結晶粒径が重要な因子であることは周知であるが、前記の特許文献1~3には具体的な平均結晶粒径が記載されておらず、前記の効果を奏するためには、どうい

40

50

った平均結晶粒径が望ましいのかが不明である。また、これらの特許文献に記載されているのは、アニール温度として当該分野では常識的な範囲であり、昇温速度についても大きくする方がよいという定性的な事項だけである。そのため、所望の平均結晶粒径を達成するためには、どういったアニール方法や条件が最適であるのかについては具体的に不明である。

#### 【0009】

前記の特許文献4及び5には、平均結晶粒径の具体的な範囲が規定され、加えて、その平均結晶粒径を実現するための製造方法や条件が開示されており、それによって銅配線層の低抵抗化と耐エレクトロマイグレーションの向上の効果を得ることができる。しかしながら、前記の特許文献4及び5に開示されている技術でも、今後、益々進展するLSIの高集積化、高密度化及び高速化において配線幅の減少に伴う抵抗率の増加と耐エレクトロマイグレーション性の低下を従来以上に抑えるという技術課題に対しては、以下の理由で十分に対応できないことが分かった。

10

#### 【0010】

図9に、従来の製造方法で作製した半導体集積回路装置の断面をFIB/TEM技術によって観察した組織図を示す。FIB/TEM技術とは、前記の特許文献4に記載されているように、試料としての銅配線からトレンチの側面と平行をなす面に沿う領域を集束イオンビーム(FIB)加工によって試料片として切り出して、その試料片のトレンチの側面と平行をなす面を透過型電子顕微鏡(TEM)によって観察を行うものである。図9に示す半導体集積回路装置は、トレンチの高さが200nmであり、配線層の抵抗率がやや高い値を有するものである。図9に示すように、トレンチの底部には小さな粒径を有する結晶粒(図9において矢印で示した結晶粒)の存在が確認された。本発明者等の検討によると、これらの小さな粒径を有する結晶粒が、配線層の抵抗率を高くする原因であり、配線層の低抵抗率化と耐エレクトロマイグレーションの向上に対して、新たに、トレンチ底面付近についても平均結晶粒径を規定するとともに、平均結晶粒径の均一化を図る必要があることが分かった。しかしながら、前記の特許文献4には、銅配線のトレンチの側面と平行な面の全領域に亘る結晶平均粒径とその偏差が規定されているだけであり、トレンチの局所的な平均結晶粒径の重要性については十分な認識がなされていない。また、前記の特許文献5に記載の平均結晶粒径も、トレンチ内部に着目して規定されたものではない。このように、トレンチ底面付近に小さな粒径を有する結晶粒が存在するという技術課題はこれまで認識がほとんどされておらず、具体的な検討も行われていなかった。

20

30

#### 【0011】

一方、めっき法等による銅配線形成方法については、前記の特許文献4に記載されているように、高純度の硫酸銅めっき浴及び高純度の銅電極を用いた電解めっきを用いることによって、平均結晶粒径の粗大化に対してある程度の効果は得られる。しかしながら、前記の特許文献4の実施例2に記載されているような純度6Nの硫酸銅めっき浴を用いる場合でも、今後の高集積半導体集積回路装置に必要な配線層の低抵抗率化と耐エレクトロマイグレーションの向上に対しては、効果が十分でないことが分かった。

#### 【0012】

また、前記の特許文献6にも、高純度(3N~6N)の純銅をアノードとして使用することが記載されているものの、この発明の目的は、半導体ウエハのパーティクルの付着を防止することであり、配線層の低抵抗率化と耐エレクトロマイグレーションの向上という目的と効果を奏するために適用できるようなめっき方法を想起するものではない。

40

#### 【0013】

本発明は、上記した従来の問題点を鑑みてなされたものであって、今後、益々進展するLSIの高集積化、高密度化及び高速化に対して、配線幅の減少に伴う抵抗率の増加と耐エレクトロマイグレーションの低下を従来以上に抑えて、配線層の一層の低抵抗率化を図るとともに、従来と同等以上の耐エレクトロマイグレーション性を確保できる半導体集積回路装置とその製造方法を提供することにある。

#### 【課題を解決するための手段】

50

## 【 0 0 1 4 】

本発明は、半導体集積回路装置において、配線層の低抵抗率化と耐エレクトロマイグレーションの向上に対して重大な影響を与える因子について鋭意検討した結果、特に、銅配線層のトレンチ底面付近の平均結晶粒径とその偏差に着目して、それらの物性値を最適化して規定するとともに、それらの物性値を制御できる製造方法を適用することによって、上記の課題を解決できることを見出して本発明に到った。

## 【 0 0 1 5 】

すなわち、本発明の構成は以下の通りである。

( 1 ) 本発明は、回路素子が形成された半導体基体と、前記半導体基体の主表面上に形成された絶縁層と、少なくとも前記絶縁層を利用して形成されたトレンチと、前記トレンチ内に形成された銅配線とを備え、前記銅配線の線幅が 70 nm 以下で、前記銅配線の前記トレンチの底面から前記トレンチの高さの 1 / 4 の距離にある部分の平均結晶粒径は、配線幅の 1 . 3 倍以上であり、且つ、前記トレンチの最上部表面の平均結晶粒径に対して比率が 85 % 以上であることを特徴とする半導体集積回路装置を提供する。

10

( 2 ) 本発明は、前記銅配線の前記トレンチの底部から前記トレンチの高さの 1 / 4 の距離にある部分の結晶粒は、45 nm 以下の結晶粒径の存在比が 10 % 以下であることを特徴とする前記 ( 1 ) に記載の半導体集積回路装置を提供する。

( 3 ) 本発明は、前記銅配線の前記トレンチの底面から前記トレンチの高さの 1 / 4 の距離にある部分の平均結晶粒径の、前記トレンチの最上部表面の平均結晶粒径に対する比率が 90 % 以上であることを特徴とする前記 ( 2 ) に記載の半導体集積回路装置を提供する。

20

( 4 ) 本発明は、前記 ( 1 ) ~ ( 3 ) の何れかに記載の半導体集積回路装置の製造方法であって、前記銅配線の配線層は、銅層を半導体基体にめっき法によって堆積させた後、前記の半導体基体に対して、下記の ( 1 ) 式の条件で、周期数 2 回以上でサイクルアニールを行うことを特徴とする半導体集積回路装置の製造方法を提供する。

$$200 \leq T_L < 450 \leq T_H \quad (1)$$

( 式中、 $T_L$  及び  $T_H$  は、それぞれサイクルアニールの最低温度及び最高温度である。 )

( 5 ) 本発明は、前記のサイクルアニールの最高温度 (  $T_H$  ) に保持される時間が、1 周期当たり 10 分以内であることを特徴とする前記 ( 4 ) に記載の半導体集積回路装置の製造方法。

30

( 6 ) 本発明は、前記 ( 1 ) ~ ( 3 ) の何れかに記載の半導体集積回路装置の製造方法であって、純度がそれぞれ 99 . 9999 質量 % を超える硫酸銅めっき浴、及びアノードに純度が 99 . 9999 質量 % を超える銅電極を用いた電解めっきによって前記トレンチ内に銅めっき層を形成することを特徴とする半導体集積回路装置の製造方法を提供する。

( 7 ) 本発明は、前記 ( 6 ) に記載の製造方法によって前記トレンチ内に銅めっき層を堆積させた後、前記の半導体基体に対して、前記 ( 4 ) に記載の条件で、周期数 2 回以上でサイクルアニールを行うことを特徴とする半導体集積回路装置の製造方法を提供する。

( 8 ) 本発明は、前記 ( 6 ) に記載の製造方法によって前記トレンチ内に銅めっき層を堆積させた後、前記の半導体基体に対して、前記 ( 5 ) に記載の条件で、周期数 2 回以上でサイクルアニールを行うことを特徴とする半導体集積回路装置の製造方法を提供する。

40

## 【 発明の効果 】

## 【 0 0 1 6 】

本発明によれば、銅配線のトレンチの底面から前記トレンチの高さの 1 / 4 の距離にある部分の平均結晶粒径を大きくするだけでなく、前記トレンチの最上部表面の平均結晶粒径に対する比率を高く規定して、前記トレンチの全領域で平均結晶粒径の拡大を図ることによって、配線層の一層の低抵抗率化を図ることができる。さらに、前記トレンチ底面付近で主に観測され、配線層の低抵抗率化に対して大きな障害要因となっていた 45 nm 以下の結晶粒径を有する結晶粒の存在比を 10 % 以下と規定することによって、配線層の抵抗率をさらに低くすることができる。また、前記トレンチ底面付近の平均結晶粒径を大きくするだけでなく、結晶粒径の小さな結晶粒の存在比を低くすることは、配線層の低抵抗

50

率化だけでなく、配線幅の減少に伴う耐エレクトロマイグレーションの低下を抑制して、耐エレクトロマイグレーションを向上させる効果を有する。

【0017】

本発明における半導体集積回路装置の製造方法によれば、めっき法によって堆積した銅配線層を、最低温度が200以上450未満で、最高温度が450以上である条件で2周期以上のサイクルアニール処理することによって、従来の電解めっき方法を用いても、前記トレンチ底面付近における平均結晶粒径とその偏差を、本発明の目的と効果を達成できるように所望の範囲に制御することができる。本発明によれば、最高温度を450以上に設定することによって、トレンチ底面付近における平均結晶粒径の粗大化を促進できる効果が得られる一方で、最高温度の保持時間を10分以内と短くすれば熱的なダメージを小さくでき、半導体集積回路装置の電氣的及び機械的な諸特性の低下を防止できる。また、前記トレンチ底面付近における平均結晶粒径とそのバラツキの制御は、従来よりも高純度、具体的には99.9999質量%を超える純度を有する硫酸銅めっき浴及びアノード銅電極を用いた電解めっき方法によっても達成することができる。さらに、これらの2つの方法の併用は、配線層の低抵抗率化と耐エレクトロマイグレーションの向上に対して相乗作用を生む結果となり、大きな効果が得られる。

10

【0018】

以上のように、本発明によれば、国際半導体技術ロードマップに開示されている70nm以下、さらには50nm以下の配線幅において必要とされる低抵抗率を有する配線を備えた高速で、高信頼性の半導体集積回路装置の実現を可能にする。

20

【図面の簡単な説明】

【0019】

【図1】本発明の半導体集積回路装置の断面図である。

【図2】本発明による半導体集積回路装置の銅配線のトレンチの側面と平行な面をTEMによって観察した組織の模式図である。

【図3】本発明において、周期数2回以上で行うサイクルアニールのパターン例を模式的に示す図である。

【図4】本発明の第1の実施形態において、周期数3回で行うサイクルアニールのパターンを示す図である。

【図5】本発明の第1の実施形態において、トレンチ底面からトレンチ高さの1/4の距離における平均結晶粒径を測定した結果を示す図である。

30

【図6】本発明の第3の実施形態において、トレンチ底面からトレンチの高さの異なる距離にある部分の平均結晶粒径を測定した結果を示す図である。

【図7】本発明の第3の実施形態において、トレンチ底面からトレンチの高さの異なる距離にある部分の結晶粒について、粒径が45nm以下である結晶粒の存在比を求めた結果を示す図である。

【図8】本発明の第5の実施形態である銅配線を有する半導体集積回路装置の製造方法を説明するための概略工程図である。

【図9】従来の製造方法で作製した半導体集積回路装置の断面をFIB/TEM技術によって観察した組織図である。

40

【発明を実施するための形態】

【0020】

本発明は、従来技術で作製した半導体集積回路装置にはトレンチ底部付近に小さな粒径を有する結晶粒が存在し(図9を参照)、この結晶粒が銅配線の抵抗率を高くする原因であるという新たな技術課題を見出すことによってなされたものである。この技術課題は、トレンチ底面付近に存在する結晶粒の平均結晶粒径を粗大化させることによって解決できる。本発明は、その実現のために半導体集積回路装置の製造方法について詳細に検討を行って達成されたものであり、(I)銅配線層を形成する際に、銅層を半導体基体にめっき法によって堆積させた後、前記の半導体基体を最高温度450以上の条件で周期数2回以上でサイクルアニールする方法、及び(II)半導体基体に銅層を堆積させるときに行

50

うめっき処理において、純度がそれぞれ99.9999質量%を超える硫酸銅めっき浴、及びアノードに純度が99.9999質量%を超える銅電極を用いた電解めっきを用いる方法、の少なくとも何れか1つを適用することを特徴とする。これら2つの方法によって製造される半導体集積回路は、トレンチ底面付近で平均結晶粒径の粗大化が確認されており、従来の製造方法とは異なる結晶状態が形成されることが分かった。本発明の目的と効果はこの結晶状態を形成することによって達成されるものであり、本発明の半導体集積回路装置は、トレンチ底面付近の平均結晶粒径及び当該平均結晶粒径とトレンチの最上部表面との平均結晶粒径との均一化によって特徴付けることができる。

#### 【0021】

以下、本発明の半導体集積回路装置及びその製造方法に好ましい実施形態を図面を用いて詳細に説明する。

#### 【0022】

図1は本発明の半導体集積回路装置の概略断面図であり、実際の半導体集積回路装置は配線層が8層、9層、それ以上になっているが、説明を簡略化するために2層配線構造を例示している。図1において、1は一方の主表面1aに隣接して多数個の回路素子(図示せず)が形成された半導体基体、2は半導体基体1の一方の主表面1a上に形成された例えばシリコン酸化物層からなる第1絶縁層、2aは第1絶縁層2に形成されたスルーホール、3はスルーホール2a内に形成された例えばタングステンからなるプラグ、3aはスルーホール2a、3aとプラグ3との間に、例えばTiN(窒化チタン)膜からなるバリア層、4は第1絶縁層2及びプラグ3上に例えば窒化シリコン層41を介して形成された例えばシリコン酸化物層42からなる第2絶縁層、4aは第2絶縁層4に形成された第1トレンチ、5は第1トレンチ4a内に形成された第1銅配線、5aは第1トレンチ4aと第1銅配線5との間に形成された例えばTaN(窒化タンタル)/Ta(タンタル)からなるバリア層、6は第2絶縁層4及び第1銅配線5上に例えば窒化シリコン層61を介して例えばシリコン酸化物層62、窒化シリコン層63、シリコン酸化物層64を順次積層して形成した第3絶縁層、6aは第2絶縁層6に形成された断面T字形を有する第2トレンチ、7は第2トレンチ6a内に形成された第2銅配線、7aは第2トレンチ6aと第2銅配線7の間に形成された例えばTa/TaN/Taからなるバリア層である。

#### 【0023】

本発明において、図1に示す第1トレンチ4a内に形成された第1銅配線5及び/又は第2トレンチ6a内に形成された第2銅配線7は、第1トレンチ4a又は第2トレンチ6aの底面から前記トレンチの高さの1/4の距離にある部分の平均結晶粒径が配線幅の1.3倍以上であり、且つ、当該平均結晶粒径の前記トレンチの最上部表面の平均結晶粒径に対する比率が85%以上、好ましくは90%以上となっている。例えば、配線幅が70nmで、トレンチの高さが200nmである場合は、トレンチの底面から50nmの平均結晶粒径は91nm以上に規定される。本発明の製造方法によって作製される第1及び第2のトレンチは、表面の平均結晶粒径が95~110 $\mu$ mの範囲にあるため、トレンチの底面から50nmに存在する結晶粒の平均結晶粒径は、前記トレンチ最上部表面の平均結晶粒径に対して85%以上を満たすように規定する。本発明による配線層の抵抗値は、トレンチの高さの1/4の距離にある部分の平均結晶粒径及び表面の平均結晶粒径との差異を小さくして平均結晶粒径の粗大化と均一化を図ることによって、配線層の抵抗率の上昇を抑え、従来よりも抵抗率を低くすることができる。

#### 【0024】

本発明において、トレンチ底面からトレンチの高さの1/4の距離にある部分の平均結晶粒径を規定する技術的意味を図2を用いて説明する。図2は、銅配線のトレンチの側面と平行な面をFIB/TEM技術を適用してTEMによって観察した組織の模式図である。FIB/TEM技術による観察は、前記の特許文献4に記載されているものと同じ方法で行った。

#### 【0025】

図2に示すように、小さな粒径を有する結晶粒(図2の矢印で示す部分)は、トレンチ

10

20

30

40

50

底面からトレンチ高さ(H)の1/2以下の領域に数多く存在する。また、図9に示すFIB/TEM写真からも分かるように、トレンチ底面に接触して形成される小さな結晶粒の数は少なく、一般的に、トレンチ底面からやや離れた距離に小さな結晶粒が数多く観測される。さらに、小さな結晶粒は、結晶粒径がトレンチ最上部表面より小さいものの、数十ミクロンの径を有する 경우가多く、結晶粒の中心がトレンチ高さの1/4の未満の領域に存在する場合であっても、その周辺はトレンチ高さの1/4の距離で観測される場合が多い。測定精度を上げるには、トレンチ高さの1/4だけではなく、1/4未満の距離の部分(例えば、1/8の距離の部分等)の平均結晶粒径についても同時に測定して、トレンチ最上部表面の平均結晶粒径と対比する方法を採用することが考えられる。しかし、その方法は測定解析に時間と手間がかかるだけで、前記の理由から測定精度の大幅な向上を図ることができないことが分かった。したがって、本発明においては、トレンチ底面付近に存在する結晶粒の結晶状態を簡便に、且つ比較的精度良く把握する方法として、トレンチの深さの1/4の距離にある部分に着目して、その部分の平均結晶粒径を測定する。平均結晶粒径は、TEM観察された結晶組織図において、図2に示すように各結晶粒の粒界に沿って線を引き、結晶粒を円形と仮定して粒径の面積を求め、最終的に個々の粒径を算出して、それらの平均値を求める。

10

20

30

40

50

#### 【0026】

本発明において、トレンチの高さの1/4の距離にある部分の平均結晶粒径を配線幅の1.3倍以上と規定したのは、前記の特許文献4の図2にも記載されているように、平均結晶粒径(D)と配線幅(W)との比(D/W)が1.3未満になると、急激な抵抗率の増大がみられるためである。前記の比(D/W)が1.3以上の場合に、低抵抗率が安定して得られる。この傾向は、配線幅が70nm以下でもみられ、例えば、50nm及び30nmの場合でも、ほぼ同じである。

#### 【0027】

本発明は、配線幅が70nm以下の半導体集積回路装置に適用するとき配線層の低抵抗率化に対して大きな効果を奏するため、配線幅は70nmに限定されず、50nmや将来的な30nmの場合にも適用できる。また、トレンチの高さも、40~300nmの範囲のものに使用できる。本発明において、トレンチの高さの1/4の距離にある結晶粒の平均結晶粒径は配線幅に応じて変化するため、配線幅が50nm及び30nmの場合は、平均結晶粒径がそれぞれ65nm以上及び40nm以上となる。また、トレンチ最上部表面の平均結晶粒径は配線幅の減少に伴って小さくなる傾向にあるため、トレンチの高さの1/4の距離の平均結晶粒径を前記トレンチ最上部のそれに対して85%以上に規定することによって、トレンチ底面付近に存在する結晶粒について本発明の効果を奏するために必要な粒径範囲の目安とする。さらに、本発明においては、配線層の一層の低抵抗率化と耐エレクトロマイグレーションの一層の向上のために、前記トレンチの高さの1/4の距離にある平均結晶粒径は、トレンチ最上部表面のそれに対して比率が90%以上であることが好ましい。特に、配線幅が小さい半導体集積回路装置ほど、トレンチ内の平均結晶粒径が小さくなる傾向にあるために結晶粒径の均一化を行う必要があり、前記の平均結晶粒径の比率を90%以上にすることによって大きな効果を得ることができる。

#### 【0028】

本発明は、トレンチ底面からトレンチの高さの1/4の距離にある部分に存在する結晶粒の平均結晶粒径を規定するだけでなく、配線層の低抵抗率化に対して大きな阻害要因となっていた小さな粒径を有する結晶粒の存在比を低減する。それによって、配線層の抵抗率をさらに低くすることができることが分かった。本発明において、配線層の抵抗率を上げる結晶粒径の臨界的な値は45nm以下である。小さな結晶粒の粒径は45nm以下であり、その存在比が10%を超えると、トレンチ内部において結晶粒界が増加するようになり、配線層の抵抗率が増加する。そのため、本発明は、トレンチ底面からトレンチの深さの1/4の距離にある部分に存在する結晶粒は、45nm以下の結晶粒径の存在比が10%以下に規定する必要があり、好ましくは6%以下、より好ましくは3%以下である。また、45nm以下の粒径を有する結晶粒の存在比を低減することは、配線層の低抵抗率



化だけでなく、配線幅の減少に伴う耐エレクトロマイグレーションの低下を抑制する効果が顕著に現れるため、耐エレクトロマイグレーションの向上に対しても大きな効果を得ることができる。

【0029】

本発明において配線層の低抵抗率化に対して大きな障害要因となる結晶粒径は45nm以下とし、半導体集積回路装置の配線幅には依存しない値を規定する。配線幅が50nm又は30nmと小さくなる場合は、トレンチ底面からトレンチの深さの1/4の距離にある部分に存在する結晶粒の結晶粒径は小さくなるだけでなく、その存在比も増える傾向にある。そのため、小さな粒径を有する結晶粒の結晶粒径及びその存在比は、配線幅に応じて変えることが実際の製造においては現実的である。しかし、銅の平均自由行程は35~40nmであり、配線層の低抵抗率化という課題に対して、それ以下の結晶粒径に着目することは技術的な意味がない。また、本発明の目的は、配線幅が小さくなくても配線層の低抵抗率化をできるだけ図ることであるため、最小の結晶粒径としては、配線幅に依存しないで40nmよりやや大きな45nmに着目する。本発明は、45nm以下の結晶粒径の存在比を10%以下に規定することが必要であり、好ましくは6%以下、より好ましくは3%以下である。

10

【0030】

上記で述べた本発明による半導体集積回路装置の製造方法(I)と(II)について、以下に説明する。

【0031】

20

<サイクルアニール方法(製造方法(I))>

本発明による半導体集積回路装置の製造方法(I)は、前記銅配線の配線層の形成において、銅層を半導体基体にめっき法によって堆積させた後、前記の半導体基体に対して、下記の(1)式の条件で、周期数2回以上でサイクルアニールを行うことを特徴とする半導体集積回路装置の製造方法である。

$$200 \leq T_L < 450 \leq T_H \quad (1)$$

(式中、 $T_L$ 及び $T_H$ は、それぞれサイクルアニールの最低温度及び最高温度である。)

【0032】

上記の周期数2回以上で行うサイクルアニールのパターン例を、模式的に図3に示す。図3の(a)は、一定の昇温温度で最高温度 $T_H$ まで温度を上げて、温度 $T_H$ において所定時間 $t_H$ 放置した後、最低温度 $T_L$ まで一定の降温速度で温度を下げて、温度 $T_L$ において所定時間 $t_L$ 放置する処理を1周期としてアニールを繰り返す方法の一例である。図3の(a)では、温度 $T_H$ と温度 $T_L$ との中間の温度である $T_M$ を中心として、 $(T_H - T_M)$ と $(T_M - T_L)$ は同じ温度幅に設定して、サイクルアニールを行う。図3の(b)は、最高温度 $T_M$ と最低温度 $T_L$ の保持時間は特に設けられておらず、 $T_H$ と $T_L$ の間で昇温と降温を一定の速度で繰り返してサイクルアニールを行う方法である。

30

【0033】

本発明で用いるサイクルアニールは、上記の(1)式の条件を満たすことが必要であり、その条件さえ満たせば、前記の $T_H$ 、 $T_M$ 、 $T_L$ 、 $t_H$ 及び $t_L$ は、1周期内で、又は各周期毎に同じ条件にする必要はなく、製造する半導体集積回路装置において配線層のトレンチ底面からトレンチの高さの1/4の距離にある部分に存在する結晶粒の平均結晶粒径とその分布に応じて決めることができる。同様に、昇温速度又は降温速度についても、トレンチ表面及び底面付近の平均結晶粒径とその分布に応じて任意に決めることができる。

40

【0034】

一般的に、めっき法によって半導体基体に堆積した銅配線層は、アニール温度が高くなるほど、結晶粒径が大きくなる傾向にある。そして、結晶粒径を粗大化する効果は、トレンチの最上部表面では小さいが、トレンチ底部付近では大きくなる。例えば、配線幅が80nmで、200nmのトレンチ高さを有する配線層について、アニール温度を300、400、500及び600に設定して、各10分間のアニール処理を行ったもの

50

は、トレンチの最上部表面における平均結晶粒径の変化が、それぞれ106 nm、106 nm、109 nm及び110 nmであるのに対して、トレンチ底面からトレンチ高さの1/4の距離(50 nm)における平均結晶粒径の変化は、それぞれ78 nm、80 nm、85 nm及び95 nmとなる。トレンチ最上部表面は、300 の温度において既に平均結晶粒径が大きくなっているため、アニール温度の上昇による結晶粒径を粗大化する効果は小さい。それに対して、トレンチ底面付近に存在する結晶粒は平均結晶粒径を粗大化する効果が顕著に現れており、特に、450 以上の高温アニール処理において平均結晶粒径の粗大化の効果が明確に現れ、500 以上になると、その粗大化がさらに促進される。

#### 【0035】

以上の結果から、仮に、450 以上の高温アニール処理を長時間連続して行うことができれば、さらに大きな拡大効果が得られるものと期待できる。しかし、その場合は、半導体集積回路装置への熱ストレスの影響が無視できなくなり、リーク電流の増大や応答速度の低下等の電気特性の大幅な低下や経時的変化が大きくなる。また、半導体装置の機械的特性の低下も無視できなくなり、熱的ダメージによる悪影響が出てくる。特に、シリコン(Si)半導体素子からなる集積回路装置においては、450 以上で熱的ダメージが懸念され、さらに650 を超えると大きな問題が発生する。したがって、本発明は、450 以上のアニール処理を十分に行うことができる一方で、半導体集積回路装置の電気特性及び機械的特性に対して悪影響を与えない方法として、最高温度が450 以上に設定されたサイクルアニールを行うことが必要である。サイクルアニールを2周期以上で行うことによって、450 以上で加熱できる時間を合計で長くすることができる。その一方で、1周期あたりの450 以上のアニールは短時間で行うため、半導体素子への熱ダメージを防止することができる。そのとき、1周期あたりに450 以上に放置する時間 $t_H$ は10分を超えると熱的ダメージが大きくなるので、前記の $t_H$ は10分以下が好ましく、さらに5分以下に設定することがより好ましい。本発明で行うサイクルアニールにおいて、最高温度 $T_H$ は半導体素子の耐熱性と放置時間 $t_H$ に応じて決められるが、シリコン(Si)半導体素子においては使用温度として650 以下が好適であり、シリコンカーバイド(SiC)やガリウムナイトライド(GaN)等の耐熱性のパワー半導体素子の場合は、800 を上限値とするのが好ましい。

#### 【0036】

上記のサイクルアニールにおいて、最低温度 $T_L$ は200 以上で450 未満に調整する必要がある。最低温度が200 未満であると、トレンチの底面付近の平均結晶粒径を粗大化する効果を期待できないだけでなく、トレンチの最上部表面においても90 nm以上の大きな平均結晶粒径を有する結晶粒を形成することが難しくなる。また、200 未満の温度から450 以上まで昇温するサイクルアニール法では、配線層のトレンチ内部の実質的な温度を450 以上にするために要する時間、すなわち熱平衡に到達するまでの時間が長くなり、半導体集積回路装置を450 以上の温度で長時間アニールすることが必要となる。その場合は、半導体素子への熱的ダメージが大きくなるため、電気特性のバラツキが発生しやすく、高信頼性の半導体集積回路装置を安定して製造することが困難になる。したがって、本発明のサイクルアニール方法は、最低温度 $T_L$ を200 以上で450 未満に設定した状態で、あらかじめトレンチ表面と内部の平均結晶粒径を大きくした後、さらに450 以上で高温短時間アニールを繰り返すことによって高温アニールを十分に行い、トレンチ底面付近の結晶粒の粒径粗大化を促進するためのものである。図3に示すように、温度 $T_H$ と温度 $T_L$ との中間の温度である $T_M$ を中心として、 $T_H$ と $T_L$ の間を所定の温度幅でサイクルアニール処理する方法は、アニールの平均温度を200 以上450 未満の範囲内で高く設定できることになり、トレンチ表面と内部において平均結晶粒径の粗大化が促進されるため、本発明において好適である。

#### 【0037】

図3に示すサイクルアニールにおいて、昇温速度及び降温速度は、配線層のトレンチ表面及び内部における平均結晶粒径を拡大する効果に応じて任意に設定することができるが

10

20

30

40

50

、本発明においては  $0.1 \text{ K} / \text{sec} \sim 10 \text{ K} / \text{sec}$  の範囲に設定することが好ましい。その中で、昇温速度は平均結晶粒径の粗大化に大きな影響を与える因子であり、本発明においては昇温速度を  $1 \text{ K} / \text{sec} \sim 10 \text{ K} / \text{sec}$  に設定することによって、平均結晶粒径の粗大化をさらに促進できる。

【0038】

本発明のサイクルアニール処理は、通常、銅の酸化を防止するために、真空中又は水素、窒素、アルゴン等の雰囲気中で行われる。加熱方法としては、赤外線ランプ又はレーザー照射が使用されるが、より効率的なアニール処理を行うために両者を併用してもよい。

【0039】

<高純度の硫酸銅めっき浴と銅電極を用いた電解めっき方法(製造方法(II))>

本発明による半導体集積回路装置の製造方法(II)は、純度がそれぞれ  $99.9999$  質量%を超える硫酸銅めっき浴、及びアノードに純度が  $99.9999$  質量%を超える銅電極を用いた電解めっきによって前記トレンチ内に銅めっき層を形成することを特徴とする半導体集積回路装置の製造方法である。

【0040】

従来の半導体集積回路装置の製造方法においては、電解めっきで使用する硫酸銅めっき浴及びアノード用銅電極の純度は、材料コストを優先するため、それぞれ  $99.9999$  質量%(6N)以下であった。本発明は、硫酸銅めっき浴及び銅電極の純度を6Nを超えて、7N以上と従来よりも高純度にすることによって、トレンチ底面付近の結晶粒の粗大化が促進できるという新たな知見を見出してなされたものである。従来の電気めっきでは、硫酸銅めっき浴及び銅電極に含まれる極微量の不純物がめっき処理中にトレンチ底面付近に集まりやすくなり、結晶粒の粗大化を阻害する要因になっていたためと考えられる。また、硫酸銅めっき浴及び銅電極のどちらかが従来の6Nの純度を有する場合は、トレンチ底面付近の結晶粒の粗大化効果はほとんど得られないことが分かった。結晶粒の粗大化は、硫酸銅めっき浴及び銅電極の両者を7N以上と高純度化したときに大きな効果が得られる。したがって、本発明による製造方法(II)は、電解めっきで使用する硫酸銅めっき浴及びアノード用銅電極として、両者ともに純度が  $99.9999$  質量%(6N)を超えて、 $99.99999$  質量%(7N)以上のものを用いる必要がある。

【0041】

本発明の目的と効果を達成するためには、上記の製造方法(I)及び(II)の少なくとも何れか一つによって達成することができる。さらに、上記の製造方法(I)及び(II)を併用することによって、トレンチ底面付近の結晶粒の粗大化が促進される。したがって、今後、益々進展するLSIの高集積化、高密度化及び高速化において求められる  $50 \text{ nm}$  以下の銅配線層の低抵抗化に対応することができる技術として、上記の製造方法(I)及び(II)を併用することがより好ましい。

【0042】

次に、具体的な実施形態によって本発明を説明する。

【0043】

第1の実施形態

図1に示す半導体回路装置において、第1トレンチ4a内に形成された第1銅配線5及び/又は第2トレンチ6a内に形成された第2銅配線7を、配線幅  $70 \text{ nm}$  で、第1トレンチ4a及び第2トレンチ6aの高さが  $280 \text{ nm}$  になるように形成した。アニール処理は、図4の(a)に示すサイクルアニール方法によって真空中で赤外線ランプを用いて行った。図4の(a)に示す方法は、最高温度  $550$  と最低温度  $350$  との間を昇温速度  $3 \text{ K} / \text{sec}$  によって3回の周期数で繰り返してアニールを行うものである。また、図4の(b)には、比較例1として、サイクルアニールを行わないで保持温度を  $450$  と一定にしたときの温度保持アニール法を示す。

【0044】

このようにして製造された本実施形態(以下、本実施形態1と言う)及び比較例1の配線層について、トレンチの側面と平行な面をFIB法によって切り出し、TEM観察を行

10

20

30

40

50

った。このTEM観察による組織図をもとに、トレンチ底面からトレンチの高さの1/4の距離(70nm)にある部分の平均結晶粒径を測定した。その結果を図5に示す。

#### 【0045】

図5に示すように、本実施形態1は、トレンチ底面から70nmの高さにおいて、結晶粒の平均結晶粒径が97.6nmであるのに対して、サイクルアニールを行わない比較例1では、平均結晶粒径が88nmである。本実施形態1は、比較例1と比べて、結晶粒の粗大化を10%程度促進できることが確認できた。また、トレンチ最上部表面に存在する結晶粒の平均結晶粒径は、本実施形態1及び比較例1において、それぞれ107nm及び105nmであり、トレンチ最上部表面の平均結晶粒径に対して、トレンチ底面から70nmの高さにおける平均結晶粒径の比率は、本実施形態1が91%であり、比較例1が84%である。また、トレンチ底面から70nmにある部分の結晶粒について、結晶粒径が45nm以下である結晶粒の存在比を求めると、本実施例及び比較例はそれぞれ5%及び13%である。

10

#### 【0046】

本実施形態1と比較例1の配線層の抵抗率を測定した結果、本実施形態1は比較例1よりも15%低い抵抗率を有することが分かった。このように、最高温度が450を超え、サイクルアニール方法を採用することによって、銅配線層のトレンチ内部に従来とは異なる結晶状態を形成することができるため、銅配線層の抵抗率が従来技術よりも低減する。

#### 【0047】

##### 第2の実施形態

第1の実施形態の銅配線層と同じ構成の半導体装置を用いて、図3の(b)に示すサイクルアニール方法によって真空中で赤外線ランプを用いて行った。ここで、図3の(b)に示す $T_H$ 、 $T_M$ 及び $T_L$ はそれぞれ450、400及び350に設定して、 $T_M$ を中心として温度変動幅50で、1周期40秒として600秒(周期数15回)のサイクルアニールを行った。また、比較例2として、本実施形態と同じ構成の半導体装置を用いて、サイクルアニールを行わないで、温度を400と一定にしたときの温度保持アニールを行った。

20

#### 【0048】

このようにして製造された本実施形態(以下、本実施形態2と言う)及び比較例2の配線層について、トレンチの側面と平行な面をFIB法によって切り出し、TEM観察を行った。このTEM観察による組織図をもとに、トレンチ底面からトレンチの高さの1/4の距離(70nm)にある部分の平均結晶粒径を測定した。

30

#### 【0049】

その結果、本実施形態2は、トレンチ底面から70nmの高さにおいて、結晶粒の平均結晶粒径が95nmであるのに対して、サイクルアニールを行わない比較例2では、平均結晶粒径が86nmである。本実施形態2は、比較例2と比べて、結晶粒の粗大化を10%程度促進できることが確認できた。また、トレンチ最上部表面に存在する結晶粒の平均結晶粒径は、本実施形態2及び比較例2において、それぞれ105nm及び104nmであり、トレンチ最上部表面の平均結晶粒径に対して、トレンチ底面から70nmの高さにおける平均結晶粒径の比率は、本実施形態1が90%であり、比較例1が83%である。また、トレンチ底面から70nmにある部分の結晶粒について、結晶粒径が45nm以下である結晶粒の存在比を求めると、本実施例及び比較例はそれぞれ6%及び15%である。

40

#### 【0050】

本実施形態2と比較例2の配線層の抵抗率を測定した結果、本実施形態2は比較例2よりも12%低い抵抗率を有することが分かった。このように、最高温度 $T_H$ と最低温度 $T_L$ の各保持時間を特に設けない図3の(b)に示すようなサイクルアニール方法においても、最高温度 $T_H$ を450以上に設定することによって、銅配線層のトレンチ内部に従来とは異なる結晶状態を形成することができ、銅配線層の抵抗率が従来技術よりも低減す

50

る。

#### 【0051】

##### 第3の実施形態

図1に示す半導体回路装置において、第1トレンチ4a内に形成された第1銅配線5及び/又は第2トレンチ6a内に形成された第2銅配線7を、配線幅70nmで、第1トレンチ4a及び第2トレンチ6aの高さが200nmになるように形成した。このとき、前記のトレンチ内の銅めっき層の形成は、硫酸銅浴及びアノード用銅電極の純度を変えた3種類のめっき浴を用いて行った。用いた硫酸銅純度/アノード純度は、それぞれ3N/3N(99.9質量%/99.9質量%)、6N/6N(99.9999質量%/99.99999質量%)及び8N/8N(99.999999質量%/99.999999質量%)である。ここで、純度が3N/3N、6N/6N及び8N/8Nである例を、それぞれ比較例3、比較例4及び本実施形態3とする。アニール処理は、図4の(a)に示す温度保持アニール方法によって水素雰囲気中で赤外線ランプを用いて行った。

10

#### 【0052】

このようにして製造された本実施形態3及び比較例3、4の配線層について、トレンチの側面と平行な面をFIB法によって切り出し、TEM観察を行った。このTEM観察による組織図をもとに、トレンチ底面からトレンチの高さの1/4の距離(50nm)にある部分の平均結晶粒径を測定した。その結果を図6に示す。また、トレンチ底面から50nmにある部分の結晶粒について、結晶粒径が45nm以下である結晶粒の存在比を求めた結果を図7に示す。

20

#### 【0053】

図6に示すように、本実施形態3は、トレンチ底面から50nmの高さにおいて、結晶粒の平均結晶粒径が96nmである。それに対して、めっき浴と銅電極の純度が低い比較例3及び4では、平均結晶粒径がそれぞれ78nm及び88nmである。本実施形態3は、比較例4と比べて、結晶粒の粗大化を9%程度促進できることが確認できた。また、トレンチ最上部表面に存在する結晶粒の平均結晶粒径は、本実施形態3、比較例3及び比較例4において、それぞれ104nm、100nm及び102nmであり、トレンチ最上部表面の平均結晶粒径に対するトレンチ底面から50nmの高さにおける平均結晶粒径の比率は、本実施形態3が92%であり、比較例3及び比較例4がそれぞれ78%及び86%である。また、図7に示すように、トレンチ底面から50nmにある部分の結晶粒について、結晶粒径が45nm以下である結晶粒の存在比は、本実施形態3が2%であるのに対して、比較例3及び比較例4ではそれぞれ24%及び12%である。本実施形態3は、トレンチの最上部表面と底面付近との間で45nm以下である結晶粒の存在比にほとんど差が見られず、結晶粒の粗大化がトレンチの全領域で均一に進んでいることが図7から確認できる。

30

#### 【0054】

本実施形態3と比較例3及び比較例4の配線層の抵抗率を測定した結果、本実施形態3は比較例3及び比較例4よりも抵抗率がそれぞれ25%及び10%低くなることが確認された。以上のように、硫酸銅純度/アノード純度が6N/6Nを超えて、8N/8Nのものを用いることによって、トレンチ内部に従来の6N/6N以下の銅配線層とは異なる結晶状態を形成することができるため、銅配線層の抵抗率が従来技術よりも低減する。

40

#### 【0055】

##### 第4の実施形態

第1の実施形態において、電解めっきに用いる硫酸銅浴及びアノード用銅電極の純度を6N/6Nから8N/8Nに変更して用いた以外は、第1の実施形態と同じサイクルアニール方法によって、第1銅配線層及び第2銅配線層の形成を行った。アニール時の加熱は真空中で赤外線ランプを用いて行った。

#### 【0056】

このようにして製造された配線層について、トレンチの側面と平行な面をFIB法によって切り出し、TEM観察を行った。このTEM観察による組織図をもとに、トレンチ底

50

面からトレンチの高さの1/4の距離(70nm)にある部分の平均結晶粒径を測定した。その結果、トレンチ底面から70nmの高さにおいて、結晶粒の平均結晶粒径は100nmである。また、トレンチ最上部表面に存在する結晶粒の平均結晶粒径は107nmであり、トレンチ最上部表面の平均結晶粒径に対するトレンチ底面から70nmの高さにおける平均結晶粒径の比率は93%となり、第1の実施形態よりも高い値を示した。また、トレンチ底面から70nmにある部分の結晶粒について、結晶粒径が45nm以下である結晶粒の存在比を求めると、本実施形態は1%であり、第1の実施形態の場合と同じように、結晶粒の粗大化がトレンチの全領域で均一に進むことが確認できた。

【0057】

さらに、本実施形態の配線層の抵抗率を測定した結果、本実施形態は第1の実施形態よりも抵抗率がさらに5%低減する。このように、本発明の製造方法(I)と製造方法(II)を組み合わせることによって、トレンチ底面付近の結晶粒の粗大化が大幅に促進されるため、銅配線層の抵抗率をより一層低減させるという効果を期待することができる。

10

【0058】

第5の実施形態

図8は、シングルダマシンプロセス及びデュアルダマシンプロセスを用いてCu配線層を形成した本発明の半導体集積回路装置の製造方法を説明するための概略工程図を示す。なお、図8において、図1と同一部材には同一符号を付し繰り返し説明は避けた。

【0059】

まず、一方の主表面1aに隣接して多数の回路素子(図示せず)が形成された半導体基体1を準備し、半導体基体1の一方の主表面1aの上方に窒化シリコン層41及びシリコン酸化物層42からなる第1絶縁層4をCVD(Chemical Vapor Deposition)法により堆積する。次に、配線を形成する予定の領域のシリコン酸化物層42をエッチングにより除去し、これによって露出した窒化シリコン層41を更にエッチングすることにより第1トレンチ4aを形成する。このトレンチは幅が70nm以下、50~300nmの範囲から通電容量によって選択される深さを有している。窒化シリコン層41はシリコン酸化物層42をエッチングするときのストッパーとして利用される(図8(a))。

20

【0060】

次に、第1トレンチ4a内を含むシリコン酸化物層42上に、例えばTa<sub>2</sub>N<sub>5</sub>/Ta積層体からなるバリア層5aをスパッタリング法によって数nmから10nm程度の厚さで堆積する。このバリア層5a上に極薄い銅シード層(図示せず)を形成し、銅シード層上に硫酸銅めっき浴、アノードに銅電極を用いて電解めっき法により第1トレンチ4aの深さを超える厚さの銅めっき層を形成し、その後水素、アルゴン、窒素から選ばれた雰囲気中で、図4の(a)に示す条件に基づいて、室温から450℃まで赤外ランプで加熱した後、最高温度550℃及び最低温度350℃の間で3周期のサイクルアニールを行って処理した(図8(b))。本発明においては、この工程で実施する電解めっき法で使用する硫酸銅めっき浴、及びアノードの銅電極として、両者とも純度が6Nを超えるもの、例えば、8N/8Nである高純度のものを用いることができる。

30

【0061】

次いで、CMP(Chemical Mechanical Polishing)により第1トレンチ4a部分においてはその深さを超える部分の銅層、並びにシリコン酸化物層42上の銅層及びバリア層5aを除去して第1トレンチ4a内にのみ第1銅配線5となる銅層及びバリア層5aを残す(図8(c))。

40

【0062】

次に、シリコン酸化物層42及び第1銅配線5上に窒化シリコン層61、シリコン酸化物層62、窒化シリコン層63及びシリコン酸化物層64を順次CVD法により堆積する。ここで、窒化シリコン層63は断面T字形を有する第2トレンチ6aの上辺部を形成する際のエッチングストッパーとして、また、窒化シリコン層61は第1銅配線5との接続を図るためのコンタクトホール(T字形の脚部)を形成する際のエッチングストッパーとし

50

て機能する(図8(d))。トレンチの上辺部の幅は70nm以下、40~300nmの範囲から通電容量によって選択される深さを有している。

【0063】

次いで、第1銅配線5のコンタクト領域上のシリコン酸化物層64、窒化シリコン層63及びシリコン酸化物層62をエッチングにより除去し、更にエッチングによって露出した窒化シリコン層61をエッチングすることによりコンタクトホール(第2トレンチ6aのT字形の脚部)を形成する。

【0064】

次に、コンタクトホール内を含むシリコン酸化物層64上に反射防止膜もしくはレジスト膜(図示せず)を形成する。更に、第2銅配線7を形成する予定領域を開口したレジスト膜をマスクにして反射防止膜もしくはレジスト膜、シリコン酸化物層64をエッチングする。続いて、このエッチングにより露出した窒化シリコン層63をエッチングすると共にコンタクトホール内の反射防止膜もしくはレジスト膜を除去することにより第2トレンチ6aが形成される(図8(e))。

【0065】

次いで、第2トレンチ6a内を含むシリコン酸化物層64上に、例えばTa/TaN/Ta積層体からなるバリア層7aをスパッタリング法又はCVD法により数nmから10nm程度の厚さで堆積する。

【0066】

次に、バリア層7a上に薄い銅膜をスパッタリング法により形成し、この銅膜をシード層にして第1銅配線の場合と同様の方法により第2トレンチ6aを含むバリア層7a上全面に第2トレンチ6aの深さを超える厚さの銅層を形成し、その後水素、アルゴン、窒素から選ばれた雰囲気中で、図4の(a)に示す条件に基づいて、室温から450℃まで赤外ランプで加熱した後、最高温度550℃及び最低温度350℃の間で3周期のサイクルアニールを行って処理した(図8(f))。

【0067】

しかる後、CMPにより第2トレンチ6a部分においてはその深さを超える部分の銅層、並びにシリコン酸化物層64上の銅層及びバリア層7aを除去して、第2トレンチ6a内にのみ第2銅配線7となる銅層及びバリア層7aを残し、2層構造の銅配線が完成する。(図8(g))。

【0068】

本実施形態では2層構造の銅配線の製造方法を説明したが、3層以上の配線構造にする場合には、第2銅配線を形成した工程を繰り返すことで実現できる。この場合、銅配線のアニール処理は銅配線の形成の都度行うか、全銅配線を形成後に一括して行なうことが考えられる。全銅配線を形成後に一括して行なう場合も、本発明のサイクルアニール方法を使用する。半導体集積回路装置の配線は第1層及び第2層の線幅が狭く、上層に行くに従って線幅が広がっており、本発明は線幅の狭い配線のエレクトロマイグレーション耐性の向上及び低抵抗化を目的としていることから、線幅の狭い銅配線については形成の都度アニール処理を行い、線幅の広い銅配線については銅配線を形成後一括してアニール処理をするのが好ましい。ここで言う線幅の広い狭いは70nm以下が狭い、70nmを超えるものが広いとする。

【0069】

また、本実施形態では、バリア層5a、7aとしてTa膜とTaN膜の組み合わせを用いたが、これに限定されず他の金属とその金属の窒化物との組み合わせを使用することができる。金属としては、Ti(チタン)、W(タングステン)、Nb(ニオブ)、Cr(クロム)、Mo(モリブデン)等が挙げられる。

【0070】

以上のように、本発明によれば、配線幅が70nm以下の半導体集積回路装置において、従来技術では限界が見えていた銅配線層の一層の低抵抗率化を図ることができる。これは、本発明の製造方法によって、トレンチの底面付近の結晶粒の結晶粒径の粗大化及びト

10

20

30

40

50

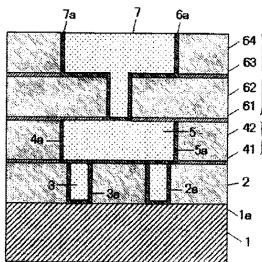
レンチ内の全領域における結晶粒径の均一化を促進することができるためである。さらに、配線層の低抵抗化に対して大きな阻害要因となっていた45nm以下の平均結晶粒径を有する結晶粒の存在比を大幅に小さくすることによって、配線層の抵抗率をさらに低くすることができる。また、前記トレンチ底面付近の平均結晶粒径を大きくするだけでなく、平均結晶粒径の小さな結晶粒の存在比を低くすることは、配線幅の減少に伴う耐エレクトロマイグレーションの低下を抑制して、耐エレクトロマイグレーションを向上させる効果を有する。本発明は、Cu配線を有する将来の半導体集積回路装置に好適であるだけでなく、それ以外の半導体装置、例えば、パワー半導体装置等の銅配線層を形成に対しても適用が可能であり、その有用性は極めて高い。

【符号の説明】

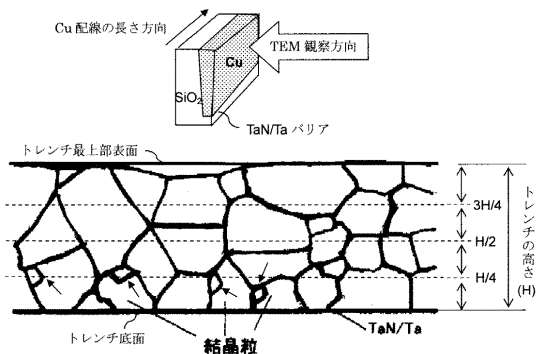
【0071】

1...半導体基体、2...第1絶縁層、3...プラグ、4...第2絶縁層、4a...第1トレンチ、41...窒化シリコン層、42...シリコン酸化物層、5...第1銅配線、5a...バリア膜、6...第3絶縁層、6a...トレンチ層、61...窒化シリコン層、62...シリコン酸化物層、63...窒化シリコン層、64...シリコン酸化物層、7...第2銅配線、7a...バリア膜。

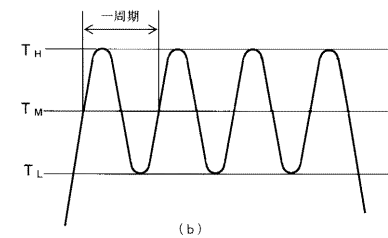
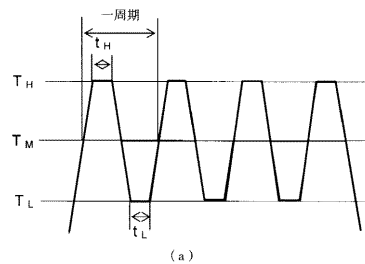
【図1】



【図2】

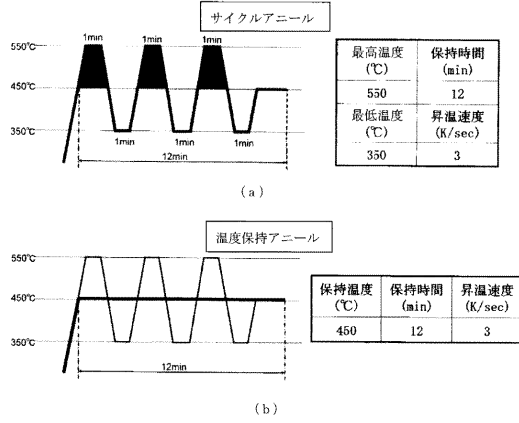


【図3】

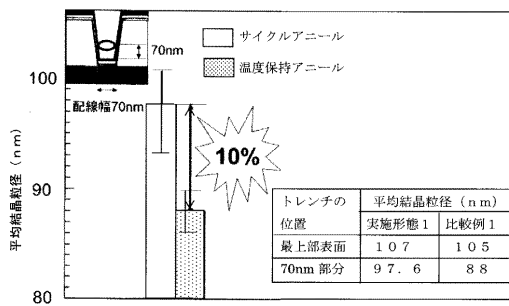




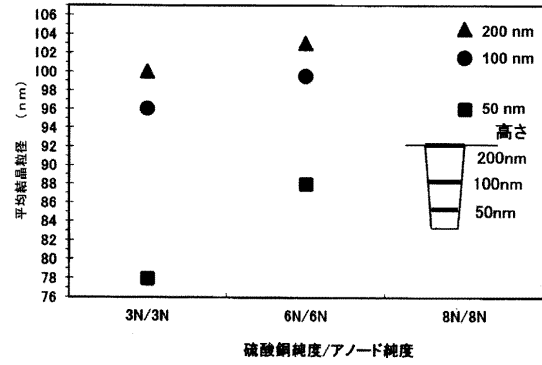
【 図 4 】



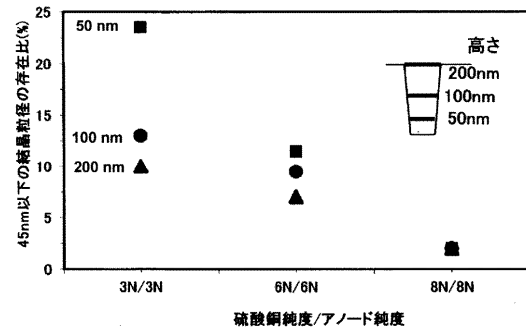
【 図 5 】



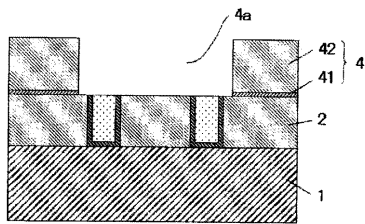
【 図 6 】



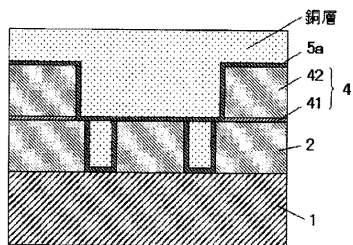
【 図 7 】



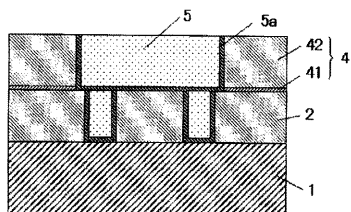
【 図 8 ( a ) 】



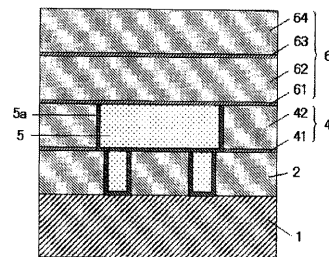
【 図 8 ( b ) 】



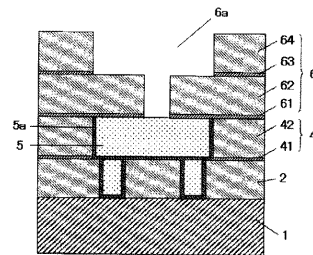
【 図 8 ( c ) 】



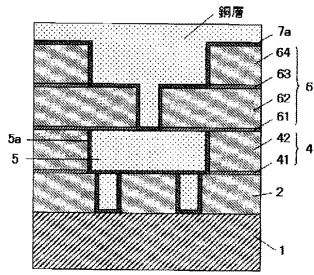
【 図 8 ( d ) 】



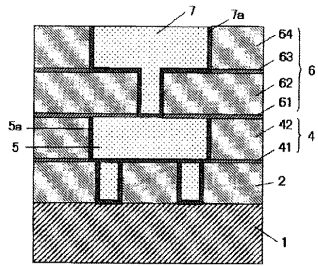
【 図 8 ( e ) 】



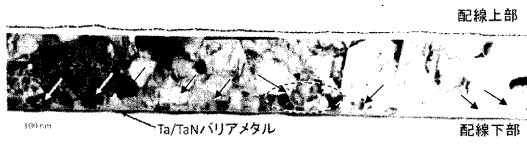
【 図 8 ( f ) 】



【 図 8 ( g ) 】



【 図 9 】



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<b>C 2 5 D</b>	<b>7/12</b>	<b>(2006.01)</b>	<b>C 2 5 D</b>	<b>7/12</b>
<b>C 2 5 D</b>	<b>17/10</b>	<b>(2006.01)</b>	<b>C 2 5 D</b>	<b>17/10 1 0 1 B</b>
<b>C 2 5 D</b>	<b>5/50</b>	<b>(2006.01)</b>	<b>C 2 5 D</b>	<b>5/50</b>

(72)発明者 玉橋 邦裕

茨城県日立市中成沢町四丁目 1 2 番 1 号

国立大学法人茨城大学 工学部内

Fターム(参考) 4K024 AA09 AB08 AB19 BB12 CA01 DB01 GA16  
 4M104 AA00 AA03 AA04 BB04 BB37 DD52 DD79 DD80 FF17 FF18  
 FF22 GG13 GG18 HH01 HH16  
 5F033 GG01 GG02 HH11 HH17 HH18 HH19 HH20 HH21 HH32 JJ11  
 JJ17 JJ18 JJ19 JJ20 JJ21 JJ32 JJ33 KK01 KK11 KK17  
 KK18 KK19 KK20 KK21 KK32 LL08 MM01 MM02 NN06 NN07  
 PP15 PP27 QQ02 QQ09 QQ25 QQ37 QQ48 QQ73 QQ82 QQ84  
 RR04 RR06 SS11 WW01 WW03 WW04 XX05 XX08