

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5463580号
(P5463580)

(45) 発行日 平成26年4月9日(2014.4.9)

(24) 登録日 平成26年1月31日(2014.1.31)

| | | | | |
|---------------|-----------|--------|-------|---|
| (51) Int.Cl. | | F I | | |
| HO 1 L 21/822 | (2006.01) | HO 1 L | 27/04 | L |
| HO 1 L 27/04 | (2006.01) | HO 1 F | 17/00 | B |
| HO 1 F 17/00 | (2006.01) | HO 3 F | 3/45 | Z |
| HO 3 F 3/45 | (2006.01) | | | |

請求項の数 6 (全 21 頁)

| | | | |
|---------------|------------------------------|-----------|-----------------------------------|
| (21) 出願番号 | 特願2012-534037 (P2012-534037) | (73) 特許権者 | 000004226 |
| (86) (22) 出願日 | 平成23年9月14日 (2011.9.14) | | 日本電信電話株式会社 |
| (86) 国際出願番号 | PCT/JP2011/070993 | | 東京都千代田区大手町一丁目5番1号 |
| (87) 国際公開番号 | W02012/036207 | (73) 特許権者 | 504132272 |
| (87) 国際公開日 | 平成24年3月22日 (2012.3.22) | | 国立大学法人京都大学 |
| 審査請求日 | 平成25年3月7日 (2013.3.7) | | 京都府京都市左京区吉田本町3番地1 |
| (31) 優先権主張番号 | 特願2010-209549 (P2010-209549) | (74) 代理人 | 100064621 |
| (32) 優先日 | 平成22年9月17日 (2010.9.17) | | 弁理士 山川 政樹 |
| (33) 優先権主張国 | 日本国(JP) | (74) 代理人 | 100098394 |
| | | | 弁理士 山川 茂樹 |
| | | (74) 代理人 | 100153006 |
| | | | 弁理士 小池 勇三 |
| | | (72) 発明者 | 大友 祐輔 |
| | | | 東京都千代田区大手町二丁目3番1号 日 本電信電話株式会社内 |

最終頁に続く

(54) 【発明の名称】 インダクタ

(57) 【特許請求の範囲】

【請求項1】

インダクタ領域の外周にスパイラルの形状に形成され、始点が第1の端子と接続された第1のインダクタ配線と、

この第1のインダクタ配線の終点を始点として前記インダクタ領域の内周にスパイラルの形状に形成され、終点が第2の端子と接続された第2のインダクタ配線と、

前記第1のインダクタ配線と前記第2のインダクタ配線との接続点を始点として前記第1のインダクタ配線と前記第2のインダクタ配線とに挟まれる領域にスパイラルの形状に形成され、終点が第3の端子と接続された第3のインダクタ配線と、

前記インダクタ領域の外周にスパイラルの形状に形成され、始点が第4の端子と接続された第4のインダクタ配線と、

この第4のインダクタ配線の終点を始点として前記インダクタ領域の内周にスパイラルの形状に形成され、終点が第5の端子と接続された第5のインダクタ配線と、

前記第4のインダクタ配線と前記第5のインダクタ配線との接続点を始点として前記第4のインダクタ配線と前記第5のインダクタ配線とに挟まれる領域にスパイラルの形状に形成され、終点が第6の端子と接続された第6のインダクタ配線とを備え、

前記第4のインダクタ配線は、前記第1乃至第6のインダクタ配線のスパイラルの中心を通る直線であって且つこのスパイラルが形成された平面と平行な直線に関して、前記第1のインダクタ配線と線対称に形成され、

前記第5のインダクタ配線は、前記直線に関して前記第2のインダクタ配線と線対称に

10

20

形成され、

前記第 6 のインダクタ配線は、前記直線に関して前記第 3 のインダクタ配線と線対称に形成されることを特徴とするインダクタ。

【請求項 2】

請求項 1 記載のインダクタにおいて、

前記第 3 のインダクタ配線は、前記第 1 のインダクタ配線の内側に沿って前記第 1 のインダクタ配線と逆巻きに形成されることを特徴とするインダクタ。

【請求項 3】

請求項 1 記載のインダクタにおいて、

前記第 6 のインダクタ配線は、前記第 4 のインダクタ配線の内側に沿って前記第 4 のインダクタ配線と逆巻きに形成されることを特徴とするインダクタ。

10

【請求項 4】

請求項 1 記載のインダクタにおいて、

前記第 1 乃至第 6 の各インダクタ配線は、第 1 の金属配線層を用いて形成され、他のインダクタ配線と交差する箇所のみコンタクトを介して第 2 の金属配線層に退避するように形成されることを特徴とするインダクタ。

【請求項 5】

差動信号が入力される差動構成の第 1、第 2 のトランジスタと、

この第 1、第 2 のトランジスタに定電流を供給する電流源と、

一端が電源に接続された第 1、第 2 の負荷抵抗と、

20

第 1 の端子が正相側の前記第 1 のトランジスタの出力端子に接続され、第 2 の端子が前記第 1 の負荷抵抗の他端に接続され、第 3 の端子が回路の正相側の出力端子に接続された第 1 のインダクタと、

第 1 の端子が逆相側の前記第 2 のトランジスタの出力端子に接続され、第 2 の端子が前記第 2 の負荷抵抗の他端に接続され、第 3 の端子が回路の逆相側の出力端子に接続された第 2 のインダクタとを備え、

各インダクタは、インダクタ領域の外周にスパイラルの形状に形成され、始点が前記第 1 の端子と接続された第 1 のインダクタ配線と、

この第 1 のインダクタ配線の終点を始点として前記インダクタ領域の内周にスパイラルの形状に形成され、終点が前記第 2 の端子と接続された第 2 のインダクタ配線と、

30

前記第 1 のインダクタ配線と前記第 2 のインダクタ配線との接続点を始点として前記第 1 のインダクタ配線と前記第 2 のインダクタ配線とに挟まれる領域にスパイラルの形状に形成され、終点が前記第 3 の端子と接続された第 3 のインダクタ配線とを備え、

前記第 1、第 2 のインダクタを別個のインダクタ領域に形成することを特徴とするピーキング回路。

【請求項 6】

差動信号が入力される差動構成の第 1、第 2 のトランジスタと、

この第 1、第 2 のトランジスタに定電流を供給する電流源と、

一端が電源に接続された第 1、第 2 の負荷抵抗と、

第 1 の端子が正相側の前記第 1 のトランジスタの出力端子に接続され、第 2 の端子が前記第 1 の負荷抵抗の他端に接続され、第 3 の端子が回路の正相側の出力端子に接続された第 1 のインダクタと、

40

第 4 の端子が逆相側の前記第 2 のトランジスタの出力端子に接続され、第 5 の端子が前記第 2 の負荷抵抗の他端に接続され、第 6 の端子が回路の逆相側の出力端子に接続された第 2 のインダクタとを備え、

前記第 1 のインダクタは、

インダクタ領域の外周にスパイラルの形状に形成され、始点が前記第 1 の端子と接続された第 1 のインダクタ配線と、

この第 1 のインダクタ配線の終点を始点として前記インダクタ領域の内周にスパイラルの形状に形成され、終点が前記第 2 の端子と接続された第 2 のインダクタ配線と、

50

前記第 1 のインダクタ配線と前記第 2 のインダクタ配線との接続点を始点として前記第 1 のインダクタ配線と前記第 2 のインダクタ配線とに挟まれる領域にスパイラルの形状に形成され、終点が前記第 3 の端子と接続された第 3 のインダクタ配線とを備え、

前記第 2 のインダクタは、

前記インダクタ領域の外周にスパイラルの形状に形成され、始点が前記第 4 の端子と接続された第 4 のインダクタ配線と、

この第 4 のインダクタ配線の終点を始点として前記インダクタ領域の内周にスパイラルの形状に形成され、終点が前記第 5 の端子と接続された第 5 のインダクタ配線と、

前記第 4 のインダクタ配線と前記第 5 のインダクタ配線との接続点を始点として前記第 4 のインダクタ配線と前記第 5 のインダクタ配線とに挟まれる領域にスパイラルの形状に形成され、終点が前記第 6 の端子と接続された第 6 のインダクタ配線とを備え、

前記第 4 のインダクタ配線は、前記第 1 乃至第 6 のインダクタ配線のスパイラルの中心を通る直線であって且つこのスパイラルが形成された平面と平行な直線に関して、前記第 1 のインダクタ配線と線対称に形成され、

前記第 5 のインダクタ配線は、前記直線に関して前記第 2 のインダクタ配線と線対称に形成され、

前記第 6 のインダクタ配線は、前記直線に関して前記第 3 のインダクタ配線と線対称に形成されることを特徴とするピーキング回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光受信モジュールに用いるトランスインピーダンスアンプや光送信モジュールに用いるレーザー駆動回路などの高周波信号を扱う半導体集積回路において金属配線層を用いて形成するインダクタを主な適用先とし、特に高い周波数応答を実現するピーキング回路に必須なインダクタに関するものである。

【背景技術】

【0002】

シリコン CMOS トランジスタは、集積度が高く、大量生産した場合に安価に半導体集積回路を提供できるという特長を持つ。一方で、シリコン CMOS トランジスタは、InP 等に代表される化合物半導体を用いたトランジスタと比較すると遮断周波数が低く、回路の動作周波数が低くなる。この欠点を解決するため、金属配線をスパイラル状に巻いてインダクタを形成し、このインダクタをトランジスタの負荷抵抗や帰還抵抗などに付加してピーキング回路を作製して、帯域を延伸する手法が広く用いられている。このようなスパイラルインダクタによるピーキング回路によれば、インダクタを使用する前と比較して半導体集積回路の帯域を 2 倍程度延伸することが可能となる。しかし、インダクタの面積はトランジスタの面積と比較して著しく大きいので、半導体集積回路の面積が大きくなり、半導体集積回路のコストが高くなるという問題点があった。

【0003】

「Jaeha Kim, et.al., "Design Optimization of On-Chip Inductive Peaking Structures for 0.13- μm CMOS 40-Gb/s Transmitter Circuits", IEEE Transactions on Circuits and Systems-I, Vol.56, No.12, pp.2544-2555, December 2009」(以下、文献 1 と呼ぶ)に開示された従来のインダクタの平面図を図 11A、図 11B に示す。図 11C、図 11D は、それぞれ図 11A、図 11B のインダクタの等価回路図である。図 11A、図 11B の端子 a, b, c は、図 11C、図 11D の端子 a, b, c と対応している。図 11A ~ 図 11D において、ピーキングに使用するインダクタは L1 と L2 の 2 個である。図 11C、図 11D における k は、インダクタ L1 とインダクタ L2 との間の結合係数である。

【0004】

図 11A の例では、この 2 個のインダクタ L1, L2 を 1 個のインダクタスパイラルに連続して巻いて形成している。一方、図 11B の例では、インダクタ L2 を形成する際、

10

20

30

40

50

インダクタL1と巻き方を逆にすることにより、図11Aの例に対してインダクタL1とインダクタL2の結合方向を逆転させている。

【0005】

文献1に開示されたピーキング回路の回路図とその等価回路図を図12に示す。図12はバッファ回路にピーキング回路を用いた例を示している。バッファ回路は、トランジスタM5と、負荷抵抗R3と、電流源IS2とから構成される。インダクタL1, L2からなるピーキング回路は、負荷抵抗R3とトランジスタM5のドレインとの間に挿入され、インダクタL1とインダクタL2との接続点がバッファの出力端子OUTに接続されている。図12の右側の構成に示すように、縦列に接続されたインダクタL1, L2の接続形態をダブルシャント形態と呼ぶ。

10

【0006】

一方、図12の左側の構成は、このピーキング回路の等価回路を示している。すなわち、ダブルシャント形態のインダクタL1, L2から構成されるピーキング回路は、ダブルシャント形態のインダクタL1eff, L2effと、このインダクタL1eff, L2effの接続点と出力端子OUTとの間に挿入されたインダクタL3effとから構成されるピーキング回路と等価となる。インダクタL3effは、インダクタL1とインダクタL2との誘導結合によって等価的に形成されるインダクタである。このインダクタL3effのように回路の出力ノードと回路とを結ぶインダクタの接続形態をシリーズ形態と呼ぶ。

【発明の概要】

20

【発明が解決しようとする課題】

【0007】

ピーキング回路においてダブルシャント形態に加えてシリーズ形態を用いると、半導体集積回路の周波数帯域を効果的に延伸することができる。文献1に開示されたピーキング回路では、シリーズ形態のインダクタL3effが等価的に形成されているが、このインダクタL3effとダブルシャント形態のインダクタL1eff, L2effとは誘導結合を形成しているわけではないので、ダブルシャント形態とシリーズ形態とを誘導結合させた場合に比べて周波数帯域の延伸効果が制限されるという問題点があった。また、文献1に開示されたピーキング回路では、インダクタL3effに関連する誘導結合を設計パラメータとして用いることができないため、ピーキング特性の設計が難しいという問題点があった。

30

【0008】

また、文献1では、ダブルシャント形態の2個のインダクタを1個のスパイラル内に巻き込む形態が開示されているが、3個以上のインダクタを巻く構成が開示されていない。このため、文献1に開示されたインダクタの構成を用いて、ダブルシャント形態とシリーズ形態とを誘導結合させて回路の周波数帯域を延伸しようとする、ダブルシャント形態とシリーズ形態とを別個に作製せざるを得ず、半導体集積回路の面積が増大するという問題点があった。特に、差動回路にピーキング回路を付与する場合、回路の正相側と逆相側のそれぞれにピーキング回路用のインダクタが必要になるので、回路の面積が著しく増大する。

40

【0009】

さらに、文献1に開示されたピーキング回路では、ダブルシャント形態とシリーズ形態との間の誘導結合の方向性を自由に選択することができないという問題点があった。

【0010】

本発明は、上記課題を解決するためになされたもので、ピーキング回路を形成するのに要する面積を削減することができ、かつピーキング特性の設計の自由度を高めることができるインダクタを提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明のインダクタは、インダクタ領域の外周にスパイラルの形状に形成され、始点が

50

第1の端子と接続された第1のインダクタ配線と、この第1のインダクタ配線の終点を始点として前記インダクタ領域の内周にスパイラルの形状に形成され、終点が第2の端子と接続された第2のインダクタ配線と、前記第1のインダクタ配線と前記第2のインダクタ配線との接続点を始点として前記第1のインダクタ配線と前記第2のインダクタ配線とに挟まれる領域にスパイラルの形状に形成され、終点が第3の端子と接続された第3のインダクタ配線と、前記インダクタ領域の外周にスパイラルの形状に形成され、始点が第4の端子と接続された第4のインダクタ配線と、この第4のインダクタ配線の終点を始点として前記インダクタ領域の内周にスパイラルの形状に形成され、終点が第5の端子と接続された第5のインダクタ配線と、前記第4のインダクタ配線と前記第5のインダクタ配線との接続点を始点として前記第4のインダクタ配線と前記第5のインダクタ配線とに挟まれる領域にスパイラルの形状に形成され、終点が第6の端子と接続された第6のインダクタ配線とを備え、前記第4のインダクタ配線は、前記第1乃至第6のインダクタ配線のスパイラルの中心を通る直線であって且つこのスパイラルが形成された平面と平行な直線に関して、前記第1のインダクタ配線と線対称に形成され、前記第5のインダクタ配線は、前記直線に関して前記第2のインダクタ配線と線対称に形成され、前記第6のインダクタ配線は、前記直線に関して前記第3のインダクタ配線と線対称に形成されることを特徴とするものである。

10

【発明の効果】

【0012】

本発明によれば、3個のインダクタ配線を、1個のスパイラルの面積で形成することができるので、3個のインダクタを用いる帯域延伸効果の大きなピーキング回路を小面積で形成することができる。本発明では、ダブルシャント形態のインダクタとシリーズ形態のインダクタとを別個のインダクタ領域に設ける場合と比較して、ピーキング回路を形成するのに要するインダクタの面積を1/2に削減可能である。その結果、本発明では、高速動作する半導体集積回路を低コストで提供することができる。また、本発明では、各インダクタ配線の巻き方向および各インダクタ配線間の距離を設計時に変更することにより、各インダクタ配線間の結合係数および結合方向を自由に選択することができ、インダクタと容量との関係を調整可能となるので、ピーキング特性の設計の自由度を高めることができる。その結果、本発明では、従来のインダクタを用いる場合と比較して、ピーキング回路の帯域延伸効果を高めることができる。

20

30

【図面の簡単な説明】

【0013】

【図1】図1は、本発明の第1実施例に係るインダクタの平面図である。

【図2】図2は、本発明の第1実施例に係るインダクタの断面図である。

【図3】図3は、本発明の第1実施例に係るインダクタをピーキング回路として使用したCML回路の回路図である。

【図4】図4は、本発明の第2実施例に係るインダクタの平面図である。

【図5】図5は、本発明の第2実施例に係るインダクタの断面図である。

【図6】図6は、本発明の第2実施例に係るインダクタをピーキング回路として使用したCML回路の回路図である。

40

【図7】図7は、本発明の第1実施例および第2実施例に係るインダクタによる面積の削減効果を説明する図である。

【図8】図8は、本発明の第2実施例に係るインダクタによる帯域延伸効果を説明する図である。

【図9】図9は、本発明の第2実施例に係るインダクタによる帯域延伸効果を説明する図である。

【図10】図10は、従来のインダクタを用いたCML回路および本発明の第2実施例に係るインダクタを用いたCML回路の群遅延を示す図である。

【図11A - 11B】図11A - 図11Bは、従来のダブルシャント形態のインダクタの平面図である。

50

【図11C - 11D】図11C - 図11Dは、従来のダブルシャント形態のインダクタの等価回路図である。

【図12】図12は、ダブルシャント形態のインダクタを使用したピーキング回路とその等価回路とを示す回路図である。

【発明を実施するための形態】

【0014】

[第1実施例]

以下、本発明の実施例について図面を参照して説明する。図1は本発明の第1実施例に係るインダクタの平面図、図2は図1のインダクタのA - A線断面図である。なお、図1では、複数の金属配線層を透視して記している。図1において、本実施例のインダクタ1は、第1のシャントインダクタL11P（第1のインダクタ配線）と、第2のシャントインダクタL12P（第2のインダクタ配線）と、第1のシリーズインダクタL13P（第3のインダクタ配線）とからなる。

【0015】

以下、インダクタL11P, L12P, L13Pが形成される矩形または円形の領域をインダクタ領域と呼ぶ。図1の例では、点線で示す領域がインダクタ領域となる。

第1のシャントインダクタL11Pは、第1の金属配線層30を用いて形成され、インダクタ領域の最外周を平面視時計回りに1周するようにスパイラル状に形成される。第1のシャントインダクタL11Pの始点は端子N11Pと接続される。

【0016】

第2のシャントインダクタL12Pは、第1の金属配線層30を用いて形成され、第1のシャントインダクタL11Pの終点を始点としてインダクタ領域の最内周を平面視時計回りに3分の4周するようにスパイラル状に形成される。第2のシャントインダクタL12Pの終点は端子N12Pと接続される。

【0017】

ただし、第2のシャントインダクタL12Pは、端子N12Pへ至る途中で第1のシャントインダクタL11Pおよび第1のシリーズインダクタL13Pと交差するので、コンタクト（ピアホール）10によって第2の金属配線層31と接続され、以後は第2の金属配線層31を用いて端子N12Pと接続するように形成される。これにより、第1のシャントインダクタL11Pおよび第1のシリーズインダクタL13Pと接触することなく、第2のシャントインダクタL12Pを端子N12Pと接続することができる。

【0018】

第1のシリーズインダクタL13Pは、第1の金属配線層30を用いて形成され、第1のシャントインダクタL11Pと第2のシャントインダクタL12Pとの接続点11を始点として第1のシャントインダクタL11Pと第2のシャントインダクタL12Pに挟まれる円周上を平面視反時計回りに2分の1周するようにスパイラル状に形成される。すなわち、第1のシリーズインダクタL13Pは、第1のシャントインダクタL11Pの内側に沿って第1のシャントインダクタL11Pと逆巻きに形成される。第1のシリーズインダクタL13Pの終点は端子N13Pと接続される。

【0019】

ただし、第1のシリーズインダクタL13Pは、端子N13Pへ至る途中で第1のシャントインダクタL11Pと交差するので、コンタクト12によって第2の金属配線層31と接続され、以後は第2の金属配線層31を用いて端子N13Pと接続するように形成される。これにより、第1のシャントインダクタL11Pと接触することなく、第1のシリーズインダクタL13Pを端子N13Pと接続することができる。

【0020】

第1の金属配線層30と第2の金属配線層31との間は、図2に示すように絶縁層13によって絶縁される。こうして、2層の金属配線層30, 31と絶縁層13とによってインダクタ1を製作することができる。これらの金属配線層30, 31および絶縁層13は、図示しない半導体基板上に形成されている。

10

20

30

40

50

【 0 0 2 1 】

第2のシャントインダクタL12Pの始点から終点への巻き方向は、第1のシャントインダクタL11Pの始点から終点への巻き方向と同方向でもよいし、逆方向でもよい。同様に、第1のシリーズインダクタL13Pの始点から終点への巻き方向は、第1のシャントインダクタL11Pの始点から終点への巻き方向と同方向でもよいし、逆方向でもよい。ただし、回路の帯域を延伸しようとする場合には、第1のシャントインダクタL11Pと第1のシリーズインダクタL13Pを逆方向に結合することにより、第1のシリーズインダクタL13Pによる共振周波数をピーキングゲインの増加を抑えて高周波側に設定できる効果をもたらす。

【 0 0 2 2 】

また、本実施例では、第1の金属配線層と第2の金属配線層を用いた例を示しているが、より多くの配線層を使用して、金属配線層の上下を重ねるように構成すること、金属配線層の抵抗値を減ずることは、容易に類推可能である。

【 0 0 2 3 】

図1、図2に示した本実施例のインダクタ1をピーキング回路として使用したCML (Current Mode Logic) 回路を図3に示す。CML回路は、ゲートが正相入力端子INPに接続されたMOSトランジスタM1と、ゲートが逆相入力端子INNに接続されたMOSトランジスタM2と、ゲートが電源VDDに接続され、ソースがMOSトランジスタM1のドレインに接続されたMOSトランジスタM3と、ゲートが電源VDDに接続され、ソースがMOSトランジスタM2のドレインに接続されたMOSトランジスタM4と、アノード端子がMOSトランジスタM1, M2のソースに共通に接続され、カソードが接地された電流源IS1と、端子N11PがMOSトランジスタM3のドレインに接続され、端子N13PがCML回路の出力端子OUTPUTに接続されたインダクタ1と、端子N11NがMOSトランジスタM4のドレインに接続され、端子N13NがCML回路の出力端子OUTNに接続されたインダクタ1aと、一端が電源VDDに接続され、他端がインダクタ1の端子N12Pに接続された負荷抵抗R1と、一端が電源VDDに接続され、他端がインダクタ1aの端子N12Nに接続された負荷抵抗R2とから構成される。

【 0 0 2 4 】

正相側のインダクタ1の構成は、図1、図2に示したとおりである。逆相側のインダクタ1aもインダクタ1と同様の構成である。すなわち、インダクタ1aは、インダクタ1のL11P, L12P, L13P, N11P, N12P, N13Pを、それぞれL11N, L12N, L13N, N11N, N12N, N13Nに置き換えたものに相当するので、詳細な説明は省略する。

【 0 0 2 5 】

図3におけるK112Pは第1のシャントインダクタL11Pと第2のシャントインダクタL12Pとの間の結合係数、K131Pは第1のシャントインダクタL11Pと第1のシリーズインダクタL13Pとの間の結合係数、K123Pは第2のシャントインダクタL12Pと第1のシリーズインダクタL13Pとの間の結合係数である。同様に、K112Nは第1のシャントインダクタL11Nと第2のシャントインダクタL12Nとの間の結合係数、K131Nは第1のシャントインダクタL11Nと第1のシリーズインダクタL13Nとの間の結合係数、K123Nは第2のシャントインダクタL12Nと第1のシリーズインダクタL13Nとの間の結合係数である。

【 0 0 2 6 】

本実施例のインダクタ1, 1aを使用したCML回路の動作を説明する。CML回路の正相入力端子INPと逆相入力端子INNには差動信号が入力される。出力端子OUTPUTとOUTNには、負荷容量(不図示)が接続される。この負荷容量は、CML回路の後段に接続される回路のトランジスタなどに起因する寄生容量成分である。CML回路は、差動入力信号を所望のゲインで増幅することが求められる。そして、所望のゲインを、所望の高い周波数帯域まで平坦に得ることが理想となる。

【 0 0 2 7 】

10

20

30

40

50

CML回路の出力端子OUTPUTから出力される出力電圧の振幅は、DC的には抵抗R1の値と電流源IS1を流れる電流Iとの積で決定される。同様に、出力端子OUTNから出力される出力電圧の振幅は、DC的には抵抗R2の値と電流Iとの積で決定される。入力電圧振幅に対する出力電圧振幅の比がCML回路のゲインとなる。

【0028】

以下、正相側についてCML回路の高周波動作を説明する。インダクタ1をインダクタンスのない配線と仮定すると、出力端子OUTPUTに付加される負荷容量に端子N11P, N12Pの寄生容量を加えた全容量Cと、負荷抵抗R1とによって決まる時定数 $R1 \times C$ により、CML回路の正相側の-3dB帯域が決定される。したがって、全容量Cが大きいと、CML回路の周波数帯域は低くなってしまふ。

10

【0029】

一方、本実施例では、出力端子OUTPUTに付加される負荷容量をインダクタ1の第1のシリーズインダクタL13PによってCML回路から高周波的に切り離す。また、端子N11Pの寄生容量は、第1のシャントインダクタL11PによってCML回路から高周波的に切り離され、端子N12Pの寄生容量は、第2のシャントインダクタL12PによってCML回路から高周波的に切り離される。

【0030】

したがって、CML回路の出力電圧の応答は、端子N11Pの寄生容量と第1のシャントインダクタL11Pとから構成される共振回路の高周波の極(共振周波数)と、端子N12Pの寄生容量と第2のシャントインダクタL12Pとから構成される共振回路の高周波の極と、出力端子OUTPUTに付加される負荷容量と第1のシリーズインダクタL13Pとから構成される共振回路の高周波の極のそれぞれによって決定される。CML回路の逆相側の高周波動作は、出力端子OUTPUTとインダクタ1に関する記述を、出力端子OUTNとインダクタ1aに関する記述に置き換えればよいので、説明は省略する。

20

【0031】

以上のようにして、本実施例では、インダクタL11P, L12P, L13からなるピーキング回路およびインダクタL11N, L12N, L13Nからなるピーキング回路によってCML回路の周波数帯域を延伸することができる。本実施例では、3個のインダクタを、1個のインダクタスパイラルの面積で形成することができるので、3個のインダクタを用いる帯域延伸効果の大きなピーキング回路を小面積で形成することができる。本実施例では、ダブルシャント形態のインダクタとシリーズ形態のインダクタとを別個のインダクタ領域に設ける場合と比較して、ピーキング回路を形成するのに要するインダクタの面積を1/2に削減可能である。その結果、本実施例では、高速動作する半導体集積回路を低コストで提供することができる。

30

【0032】

また、文献1に開示された従来のインダクタでは、インダクタL3effに関連する誘導結合を設計パラメータとして用いることができず、ダブルシャント形態とシリーズ形態との間の誘導結合の方向性を自由に選択することができないので、ピーキング回路を構成する各容量と各インダクタの値を、所望のピーキング量とピーキング周波数に合わせ込む自由度が少ないという問題点があった。文献1に開示された従来のインダクタでは、低周波側にピーキング周波数を設定しようとする、インダクタ値を大きく設定しなければならないためにピーキング量が大きくなり過ぎる。逆に、ピーキング量を抑えようとしてインダクタ値を小さくすると、ピーキング周波数が高くなり過ぎて、所望の平坦な帯域延伸を得にくくなる。

40

【0033】

これに対して、本実施例では、各インダクタの巻き方向および各インダクタ間の距離を設計時に変更することにより、第1、第2のシャントインダクタL11P, L12Pと第1のシリーズインダクタL13Pとの間の結合係数K131P, K123Pおよび結合方向を自由に選択することができ、インダクタと容量との関係を調整可能となるので、ピーキング特性の設計の自由度を高めることができる。同様に、逆相側についても、第1、第

50

2のシャントインダクタ L_{11N} 、 L_{12N} と第1のシリーズインダクタ L_{13N} との間の結合係数 K_{131N} 、 K_{123N} および結合方向を自由に選択することができる。本実施例では、ピーキング特性の設計の自由度を高めることにより、より一層の帯域延伸効果を得ることができる。

【0034】

また、本実施例では、ピーキング回路のシリーズ形態のインダクタとなる第1のシリーズインダクタ L_{13P} を、ピーキング回路のダブルシャント形態のインダクタとなる第1のシャントインダクタ L_{11P} と逆巻きに形成する。第1のシリーズインダクタ L_{13P} を第1のシャントインダクタ L_{11P} と逆巻きに形成すると、結合方向の選択の自由度が制限されることになるが、ピーキング回路の帯域延伸効果を更に高めることができる。特に、逆巻きに形成することにより第1のシリーズインダクタ L_{13P} と第1のシャントインダクタ L_{11P} との誘導結合が、端子 N_{13P} に接続される負荷の容量と第1のシリーズインダクタ L_{13P} とで形成される共振周波数を高周波側に移す作用を生み出す。この作用は、第1のシリーズインダクタ L_{13P} の自己インダクタンスを単純に減じて得られる作用とは異なる。

10

【0035】

また、本実施例では、各インダクタ配線を、第1の金属配線層を用いて形成し、他のインダクタ配線と交差する箇所のみコンタクトを介して第2の金属配線層に退避するように形成したことにより、2層の金属配線層によって複数個のインダクタを製作することができる。本実施例では、インダクタを構成するのに必要な層数を抑えることができるので、複数個のインダクタを用いたピーキング回路を搭載する半導体集積回路を、低コストで提供することができる。

20

【0036】

なお、図1から明らかなように、第1のシリーズインダクタ L_{13P} には、第1のシャントインダクタ L_{11P} の内周と第2のシャントインダクタ L_{12P} の内周とに挟まれる領域に形成される部分と、第1のシャントインダクタ L_{11P} の内周と第2のシャントインダクタ L_{12P} の外周とに挟まれる領域に形成される部分とが存在する。これら2つの領域のどちらに第1のシリーズインダクタ L_{13P} が形成されていても構わない。第1のシャントインダクタ L_{11P} と第1のシリーズインダクタ L_{13P} の隣接した配置と巻き込み方向が相互インダクタンスの値と正負を決定する。

30

【0037】

[第2実施例]

次に、第2実施例について説明する。図4は本発明の第2実施例に係るインダクタの平面図、図5は図4のインダクタのB-B線断面図である。なお、図4では、複数の金属配線層を透視して記している。本実施例は、差動回路の正相側に用いる3個のインダクタと逆相側に用いる3個のインダクタとを1個のスパイラル内に巻き込んだものである。図4において、本実施例のインダクタ2は、正相側の第1のシャントインダクタ L_{11P} (第1のインダクタ配線)と、正相側の第2のシャントインダクタ L_{12P} (第2のインダクタ配線)と、正相側の第1のシリーズインダクタ L_{13P} (第3のインダクタ配線)と、逆相側の第1のシャントインダクタ L_{11N} (第4のインダクタ配線)と、逆相側の第2のシャントインダクタ L_{12N} (第5のインダクタ配線)と、逆相側の第1のシリーズインダクタ L_{13N} (第6のインダクタ配線)とからなる。図1と同様に、図4では点線で示す領域がインダクタ領域となる。

40

【0038】

正相側の第1のシャントインダクタ L_{11P} は、第1の金属配線層30を用いて形成され、インダクタ領域の外周を平面視時計回りに1周するようにスパイラル状に形成される。正相側の第1のシャントインダクタ L_{11P} の始点は端子 N_{11P} と接続される。

【0039】

正相側の第2のシャントインダクタ L_{12P} は、第1の金属配線層30を用いて形成され、正相側の第1のシャントインダクタ L_{11P} の終点を始点としてインダクタ領域の内

50

周を平面視時計回りに3分の4周するようにスパイラル状に形成される。正相側の第2のシャントインダクタL12Pの終点は端子N12Pと接続される。

【0040】

ただし、正相側の第2のシャントインダクタL12Pは、端子N12Pへ至る途中で正相側の第1のシャントインダクタL11P、正相側の第1のシリーズインダクタL13P、逆相側の第1のシャントインダクタL11Nおよび逆相側の第2のシャントインダクタL12Nと交差するので、コンタクト(ビアホール)10によって第2の金属配線層31と接続され、以後は第2の金属配線層31を用いて端子N12Pと接続するように形成される。これにより、正相側の第1のシャントインダクタL11P、正相側の第1のシリーズインダクタL13P、逆相側の第1のシャントインダクタL11Nおよび逆相側の第2のシャントインダクタL12Nと接触することなく、正相側の第2のシャントインダクタL12Pを端子N12Pと接続することができる。

10

【0041】

正相側の第1のシリーズインダクタL13Pは、第1の金属配線層30を用いて形成され、正相側の第1のシャントインダクタL11Pと正相側の第2のシャントインダクタL12Pとの接続点11を始点として正相側の第1のシャントインダクタL11Pと正相側の第2のシャントインダクタL12Pに挟まれる円周上を平面視反時計回りに2分の1周するようにスパイラル状に形成される。すなわち、正相側の第1のシリーズインダクタL13Pは、正相側の第1のシャントインダクタL11Pの内側に沿って正相側の第1のシャントインダクタL11Pと逆巻きに形成される。正相側の第1のシリーズインダクタL13Pの終点は端子N13Pと接続される。

20

【0042】

ただし、正相側の第1のシリーズインダクタL13Pは、端子N13Pへ至る途中で正相側の第1のシャントインダクタL11Pおよび逆相側の第1のシャントインダクタL11Nと交差するので、コンタクト12によって第2の金属配線層31と接続され、以後は第2の金属配線層31を用いて端子N13Pと接続するように形成される。これにより、正相側の第1のシャントインダクタL11Pおよび逆相側の第1のシャントインダクタL11Nと接触することなく、正相側の第1のシリーズインダクタL13Pを端子N13Pと接続することができる。

【0043】

逆相側の第1のシャントインダクタL11Nは、第1の金属配線層30を用いて形成され、インダクタ領域の外周を平面視反時計回りに1周するようにスパイラル状に形成される。逆相側の第1のシャントインダクタL11Nの始点は端子N11Nと接続される。

30

【0044】

ただし、逆相側の第1のシャントインダクタL11Nは、始点から終点へ至る途中で正相側の第1のシャントインダクタL11Pと交差するので、コンタクト14によって第2の金属配線層31と接続され、正相側の第1のシャントインダクタL11Pとの交差が終わるコンタクト15の位置まで第2の金属配線層31を用いて形成される。そして、逆相側の第1のシャントインダクタL11Nは、コンタクト15によって第1の金属配線層30と接続され、以後は終点の位置まで第1の金属配線層30を用いて形成される。これにより、正相側の第1のシャントインダクタL11Pと接触することなく、逆相側の第1のシャントインダクタL11Nを形成することができる。

40

【0045】

逆相側の第2のシャントインダクタL12Nは、第1の金属配線層30を用いて形成され、逆相側の第1のシャントインダクタL11Nの終点を始点としてインダクタ領域の内周を平面視反時計回りに3分の4周するようにスパイラル状に形成される。逆相側の第2のシャントインダクタL12Nの終点は端子N12Nと接続される。

【0046】

ただし、逆相側の第2のシャントインダクタL12Nは、始点から端子N12Nへ至る途中で正相側の第2のシャントインダクタL12Pと交差するので、コンタクト16によ

50

って第2の金属配線層31と接続され、正相側の第2のシャントインダクタL12Pとの交差が終わるコンタクト17の位置まで第2の金属配線層31を用いて形成される。そして、逆相側の第2のシャントインダクタL12Nは、コンタクト17によって第1の金属配線層30と接続される。

【0047】

この第1の金属配線層30を用いて形成された逆相側の第2のシャントインダクタL12Nは、再び正相側の第2のシャントインダクタL12Pと交差するので、コンタクト18によって第2の金属配線層31と接続され、正相側の第2のシャントインダクタL12Pとの交差が終わるコンタクト19の位置まで第2の金属配線層31を用いて形成される。そして、逆相側の第2のシャントインダクタL12Nは、コンタクト19によって第1の金属配線層30と接続される。

10

【0048】

さらに、逆相側の第2のシャントインダクタL12Nは、正相側の第1のシャントインダクタL11P、正相側の第2のシャントインダクタL12P、逆相側の第1のシャントインダクタL11Nおよび逆相側の第1のシリーズインダクタL13Nと交差するので、コンタクト20によって第2の金属配線層31と接続され、以後は第2の金属配線層31を用いて端子N12Nと接続するように形成される。こうして、正相側の第1のシャントインダクタL11P、正相側の第2のシャントインダクタL12P、逆相側の第1のシャントインダクタL11Nおよび逆相側の第1のシリーズインダクタL13Nと接触することなく、逆相側の第2のシャントインダクタL12Nを端子N12Nと接続することができる。

20

【0049】

逆相側の第1のシリーズインダクタL13Nは、第1の金属配線層30を用いて形成され、逆相側の第1のシャントインダクタL11Nと逆相側の第2のシャントインダクタL12Nとの接続点であるコンタクト16の位置を始点として逆相側の第1のシャントインダクタL11Nと逆相側の第2のシャントインダクタL12Nに挟まれる円周上を平面視時計回りに2分の1周するようにスパイラル状に形成される。すなわち、逆相側の第1のシリーズインダクタL13Nは、逆相側の第1のシャントインダクタL11Nの内側に沿って逆相側の第1のシャントインダクタL11Nと逆巻きに形成される。逆相側の第1のシリーズインダクタL13Nの終点は端子N13Nと接続される。

30

【0050】

ただし、逆相側の第1のシリーズインダクタL13Nは、端子N13Nへ至る途中で正相側の第1のシャントインダクタL11Pおよび逆相側の第1のシャントインダクタL11Nと交差するので、コンタクト21によって第2の金属配線層31と接続され、以後は第2の金属配線層31を用いて端子N13Nと接続するように形成される。これにより、正相側の第1のシャントインダクタL11Pおよび逆相側の第1のシャントインダクタL11Nと接触することなく、逆相側の第1のシリーズインダクタL13Nを端子N13Nと接続することができる。

【0051】

第1実施例と同様に、第1の金属配線層30と第2の金属配線層31との間は、図5に示すように絶縁層13によって絶縁される。こうして、2層の金属配線層30、31と絶縁層13とによってインダクタ2を製作することができる。これらの金属配線層30、31および絶縁層13は、図示しない半導体基板上に形成されている。

40

【0052】

正相側の第2のシャントインダクタL12Pの始点から終点への巻き方向は、正相側の第1のシャントインダクタL11Pの始点から終点への巻き方向と同方向でもよいし、逆方向でもよい。正相側の第1のシリーズインダクタL13Pの始点から終点への巻き方向は、正相側の第1のシャントインダクタL11Pの始点から終点への巻き方向と同方向でもよいし、逆方向でもよい。また、逆相側の第2のシャントインダクタL12Nの始点から終点への巻き方向は、逆相側の第1のシャントインダクタL11Nの始点から終点への

50

巻き方向と同方向でもよいし、逆方向でもよい。逆相側の第1のシリーズインダクタL13Nの始点から終点への巻き方向は、逆相側の第1のシャントインダクタL11Nの始点から終点への巻き方向と同方向でもよいし、逆方向でもよい。

【0053】

図4に示すように、インダクタ2において、逆相側の第1のシャントインダクタL11Nは、正相側および逆相側のインダクタL11P, L12P, L13P, L11N, L12N, L13Nのスパイラルの中心22を通る直線であって且つこのスパイラルが形成された平面と平行な直線23に関して、正相側の第1のシャントインダクタL11Pと線対称に形成される。逆相側の第2のシャントインダクタL12Nは、直線23に関して正相側の第2のシャントインダクタL12Pと線対称に形成される。逆相側の第1のシリーズインダクタL13Nは、直線23に関して正相側の第1のシリーズインダクタL13Pと線対称に形成される。このように、本実施例では、正相側のインダクタL11P, L12P, L13Pと逆相側のインダクタL11N, L12N, L13Nとを線対称に配置することにより、差動信号用のピーキング回路に必要な6個のインダクタを少ない層数で集積するのに最適なレイアウトを実現することができる。なお、正相側のインダクタL11P, L12P, L13Pと逆相側のインダクタL11N, L12N, L13Nとを線対称に配置することにより、相互コンダクタンスも大きく得られる。相互コンダクタンスが多少小さくなくても良い場合は、回路レイアウトの都合に合わせて、例えば正相側のインダクタL11P, L12P, L13P、もしくは逆相側のインダクタL11N, L12N, L13Nを、スパイラルの中心22がズレないように数度から45度程度まで回転させて配置しても良い。

【0054】

図4、図5に示したインダクタ2をピーキング回路として使用したCML回路を図6に示す。CML回路は、ゲートが正相入力端子INPに接続されたMOSトランジスタM1と、ゲートが逆相入力端子INNに接続されたMOSトランジスタM2と、ゲートが電源VDDに接続され、ソースがMOSトランジスタM1のドレインに接続されたMOSトランジスタM3と、ゲートが電源VDDに接続され、ソースがMOSトランジスタM2のドレインに接続されたMOSトランジスタM4と、アノード端子がMOSトランジスタM1, M2のソースに共通に接続され、カソードが接地された電流源IS1と、端子N11PがMOSトランジスタM3のドレインに接続され、端子N11NがMOSトランジスタM4のドレインに接続され、端子N13PがCML回路の出力端子OUTPに接続され、端子N13NがCML回路の出力端子OUTNに接続されたインダクタ2と、一端が電源VDDに接続され、他端がインダクタ2の端子N12Pに接続された負荷抵抗R1と、一端が電源VDDに接続され、他端がインダクタ2の端子N12Nに接続された負荷抵抗R2とから構成される。

【0055】

本実施例のインダクタ2を使用したCML回路の動作を説明する。CML回路の正相入力端子INPと逆相入力端子INNには差動信号が入力される。出力端子OUTPとOUTNには、負荷容量(不図示)が接続される。第1実施例で説明したとおり、この負荷容量は、CML回路の後段に接続される回路のトランジスタなどに起因する寄生容量成分である。CML回路は、差動入力信号を所望のゲインで増幅することが求められる。そして、所望のゲインを、所望の高い周波数帯域まで平坦に得ることが理想となる。

【0056】

CML回路の出力端子OUTPから出力される出力電圧の振幅は、DC的には抵抗R1の値と電流源IS1を流れる電流Iとの積で決定される。同様に、出力端子OUTNから出力される出力電圧の振幅は、DC的には抵抗R2の値と電流Iとの積で決定される。入力電圧振幅に対する出力電圧振幅の比がCML回路のゲインとなる。

【0057】

以下、正相側についてCML回路の高周波動作を説明する。インダクタ2をインダクタンスのない配線と仮定すると、出力端子OUTPに付加される負荷容量に端子N11P,

N 1 2 Pの寄生容量を加えた全容量Cと、負荷抵抗R 1とによって決まる時定数R 1 × Cにより、C M L回路の正相側の - 3 d B帯域が決定される。したがって、全容量Cが大きいと、C M L回路の周波数帯域は低くなってしまふ。

【 0 0 5 8 】

一方、本実施例では、出力端子O U T Pに付加される負荷容量をインダクタ2の正相側の第1のシリーズインダクタL 1 3 PによってC M L回路から高周波的に切り離す。また、端子N 1 1 Pの寄生容量は、正相側の第1のシャントインダクタL 1 1 PによってC M L回路から高周波的に切り離され、端子N 1 2 Pの寄生容量は、正相側の第2のシャントインダクタL 1 2 PによってC M L回路から高周波的に切り離される。

【 0 0 5 9 】

したがって、C M L回路の出力電圧の応答は、端子N 1 1 Pの寄生容量と正相側の第1のシャントインダクタL 1 1 Pとから構成される共振回路の高周波の極（共振周波数）と、端子N 1 2 Pの寄生容量と正相側の第2のシャントインダクタL 1 2 Pとから構成される共振回路の高周波の極と、出力端子O U T Pに付加される負荷容量と正相側の第1のシリーズインダクタL 1 3 Pとから構成される共振回路の高周波の極のそれぞれによって決定される。C M L回路の逆相側の高周波動作は、出力端子O U T Pと正相側のインダクタL 1 1 P, L 1 2 P, L 1 3 Pに関する記述を、出力端子O U T Nと逆相側のインダクタL 1 1 N, L 1 2 N, L 1 3 Nに関する記述に置き換えればよいので、説明は省略する。

【 0 0 6 0 】

以上のようにして、本実施例では、正相側のインダクタL 1 1 P, L 1 2 P, L 1 3 からなるピーキング回路および逆相側のインダクタL 1 1 N, L 1 2 N, L 1 3 Nからなるピーキング回路によってC M L回路の周波数帯域を延伸することができる。本実施例では、正相側の3個のインダクタと逆相側の3個のインダクタとを、1個のインダクタスパイラルの面積で形成することができるので、正相側と逆相側に3個ずつインダクタを用いる帯域延伸効果の大きなピーキング回路を小面積で形成することができる。本実施例では、ダブルシャント形態のインダクタとシリーズ形態のインダクタとを別個のインダクタ領域に設ける場合と比較して、ピーキング回路を形成するのに要するインダクタの面積を1 / 4に削減可能であり、正相側のインダクタと逆相側のインダクタを別個に形成する第1実施例と比較して、インダクタの形成に要する面積を2分の1に削減可能である。その結果、本実施例では、高速動作する差動構成の半導体集積回路を低コストで提供することができる。

【 0 0 6 1 】

文献1に開示された従来のインダクタでは、インダクタL 3 e f fに関連する誘導結合を設計パラメータとして用いることができず、ダブルシャント形態とシリーズ形態との間の誘導結合の方向性を自由に選択することができないので、ピーキング回路を構成する各容量と各インダクタの値を、所望のピーキング量とピーキング周波数に合わせ込む自由度が少ない。

【 0 0 6 2 】

これに対して、本実施例では、各インダクタを隣接させる順番、各インダクタの巻き方向および各インダクタ間の距離を設計時に変更することにより、正相側の第1、第2のシャントインダクタL 1 1 P, L 1 2 Pと正相側の第1のシリーズインダクタL 1 3 Pとの間の結合係数K 1 3 1 P, K 1 2 3 Pおよび結合方向を自由に選択することができ、インダクタと容量との関係を調整可能となるので、ピーキング特性の設計の自由度を高めることができる。同様に、逆相側についても、逆相側の第1、第2のシャントインダクタL 1 1 N, L 1 2 Nと逆相側の第1のシリーズインダクタL 1 3 Nとの間の結合係数K 1 3 1 N, K 1 2 3 Nおよび結合方向を自由に選択することができる。本実施例では、ピーキング特性の設計の自由度を高めることにより、より一層の帯域延伸効果を得ることができる。さらに、本実施例では、正相側のインダクタ群と逆相側のインダクタ群とを強く誘導結合させることができる。その結果、本実施例では、従来のインダクタを用いる場合と比較して、ピーキング回路の帯域延伸効果を高めることができる。

10

20

30

40

50

【 0 0 6 3 】

また、本実施例では、ピーキング回路のシリーズ形態のインダクタとなる逆相側の第1のシリーズインダクタL13Nを、ピーキング回路のダブルシャント形態のインダクタとなる逆相側の第1のシャントインダクタL11Nと逆巻きに形成する。逆相側の第1のシリーズインダクタL13Nを逆相側の第1のシャントインダクタL11Nと逆巻きに形成すると、結合方向の選択の自由度が制限されることになるが、ピーキング回路の帯域延伸効果を更に高めることができる。

【 0 0 6 4 】

また、本実施例では、各インダクタ配線を、第1の金属配線層を用いて形成し、他のインダクタ配線と交差する箇所のみコンタクトを介して第2の金属配線層に退避するように形成したことにより、2層の金属配線層によって複数個のインダクタを製作することができる。本実施例では、インダクタを構成するのに必要な層数を抑えることができるので、複数個のインダクタを用いたピーキング回路を搭載する半導体集積回路を、低コストで提供することができる。

【 0 0 6 5 】

図7を用いて、第1実施例と第2実施例によるインダクタ面積の削減効果を説明する。図7では、図3に示したような差動構成のピーキング回路を形成するインダクタの面積を示している。また、図7では、第2実施例のインダクタ2の面積を1として面積を正規化している。以下、このインダクタ2の1個分の領域をインダクタ領域と呼ぶ。図7において、700は第1実施例のインダクタ1, 1aの合計の面積を示し、701は第2実施例のインダクタ2の面積を示し、702は文献1に開示された従来のインダクタを正相側と逆相側にそれぞれに設けた合計の面積を示し、703は従来のインダクタに更に正相側と逆相側のシリーズインダクタを別個に加えた合計の面積を示している。

【 0 0 6 6 】

文献1に開示された従来のインダクタによると、ダブルシャント形態は1個のインダクタ領域に形成される。このダブルシャント形態のインダクタにシリーズ形態のインダクタを付加すると、正相側だけで2個のインダクタ領域が必要となるので、差動回路全体では図7の703で示すようにインダクタ領域4個分の面積を要する。また、図12で説明したようにダブルシャント形態で等価的にシリーズ形態のインダクタを形成すると、図7の702で示すように2個のインダクタ領域を削減可能であるが、ダブルシャント形態のインダクタとシリーズ形態のインダクタとの間の誘導結合を、帯域延伸に寄与するように作り出すことはできない。

【 0 0 6 7 】

これに対して、第1実施例によると、ダブルシャント形態のインダクタとシリーズ形態のインダクタとの間の誘導結合を利用可能なピーキング回路を2個のインダクタ領域で形成可能である。さらに、第2実施例によると、差動構成のピーキング回路を1個のインダクタ領域で形成可能である。

【 0 0 6 8 】

次に、図8を用いて、従来のインダクタと第2実施例のインダクタによる帯域延伸効果を説明する。図8において、800は文献1に開示された従来のインダクタを用いたCML回路の周波数特性を示し、801は第2実施例のインダクタ2を用いたCML回路の周波数特性を示している。ここでは、 $0.18\ \mu\text{m}$ CMOSトランジスタを用いてCML回路を形成し、CML回路の負荷として2倍の大きさの回路を接続して、シミュレーションによりCML回路のゲインを計算した。

【 0 0 6 9 】

従来のインダクタを用いたCML回路では、図6におけるインダクタL11P, L11Nを $0.335\ \text{nH}$ 、インダクタL12P, L12Nを $0.210\ \text{nH}$ 、インダクタL13P, L13Nを $0.225\ \text{nH}$ とし、各インダクタ間の結合係数K112P, K131P, K123P, K112N, K131N, K123Nは全て0とした。各インダクタの値はシミュレーションにより調整を行って、CML回路の周波数帯域が最も伸びる値に決

10

20

30

40

50

定している。

【0070】

一方、第2実施例のインダクタ2を実際にレイアウトし、電磁界解析により抽出したインダクタンス値と結合係数とを用いてシミュレーションしたCML回路の周波数特性が図8の801に示す特性である。このとき、インダクタL11P, L11Nは0.335 nH、インダクタL12P, L12Nは0.110 nH、インダクタL13P, L13Nは0.125 nHである。

【0071】

また、インダクタL11PとインダクタL12Pとの間の結合係数K112Pは0.2、インダクタL11PとインダクタL13Pとの間の結合係数K131Pは-0.4、インダクタL11PとインダクタL11Nとの間の結合係数は-0.67、インダクタL11PとインダクタL12Nとの間の結合係数は-0.2、インダクタL11PとインダクタL13Nとの間の結合係数は0.33である。

【0072】

また、インダクタL12PとインダクタL11Nとの間の結合係数は-0.2、インダクタL12PとインダクタL12Nとの間の結合係数は-0.4、インダクタL12PとインダクタL13Nとの間の結合係数は0.34、インダクタL13PとインダクタL11Nとの間の結合係数は0.33、インダクタL13PとインダクタL12Nとの間の結合係数は0.34、インダクタL11NとインダクタL12Nとの間の結合係数K112Nは0.2、インダクタL11NとインダクタL13Nとの間の結合係数K131Nは-0.4である。結合係数の絶対値が0.1より小さい係数は0とした。

【0073】

図8によれば、第2実施例で実現されるインダクタ間の誘導相互結合により、従来のインダクタを用いたCML回路と比較して20%を超える帯域延伸効果が得られ、かつ平坦なゲイン特性が得られることが分かる。

【0074】

さらに、図9を用いて、第2実施例のインダクタによる帯域延伸効果を説明する。図9において、900は文献1に開示された従来のインダクタを用いたCML回路の-3dB帯域を示し、901は第2実施例のインダクタを用いたCML回路の-3dB帯域を示している。図9の例では、半導体集積回路の金属配線層でインダクタを作成した場合を仮定し、各インダクタに金属配線の寄生容量である対地容量を付加したときのCML回路の-3dB帯域を、シミュレーションにより計算した。従来のインダクタを用いたCML回路の各インダクタの値および結合係数の値、第2実施例のインダクタを用いたCML回路の各インダクタの値および結合係数の値は、図8のシミュレーションで採用した値と同じである。

【0075】

また、図9では、CML回路の各インダクタに寄生容量を付加した場合を配線寄生容量の倍率“1”とし、寄生容量を2倍にして付加した場合を配線寄生容量の倍率“2”とし、寄生容量を付加しない場合を配線寄生容量の倍率“0”として、それぞれの場合のCML回路の-3dB帯域の計算値を示している。なお、従来のインダクタを用いたCML回路では、図12に示したように、インダクタL3effが仮想的に形成されるため、インダクタL3effのみ寄生容量は付加していない。

【0076】

第2実施例のインダクタを用いたCML回路では、寄生容量により1.5GHz程度帯域が低下するが、従来のインダクタを用いたCML回路においても寄生容量により1GHz程度帯域が低下している。図9によれば、第2実施例のインダクタを用いたCML回路では、寄生容量の有無に拘わらず、従来のインダクタを用いたCML回路と比較して20%程度の帯域延伸効果が得られることが分かる。

【0077】

インダクタにつく寄生容量は、インダクタを形成する金属配線層と基板の間に形成され

る対地容量と、隣接する金属配線間に形成される線間容量に分けられる。対地容量は、使用する半導体プロセスや使用する金属配線層により変わる。また、線間容量は、隣接する金属配線層をどの程度近づけるかに依存する。上記の図9は、半導体基板とインダクタの金属配線間の距離が $1\ \mu\text{m}$ で、隣接する金属配線間の距離が $2\ \mu\text{m}$ 、インダクタの金属配線の幅が $6\ \mu\text{m}$ の例を示している。半導体基板と金属配線間の距離が、金属配線間の距離より小さいため、インダクタに付加される寄生容量のほとんどを対地容量が占める。インダクタの金属配線として、半導体基板からの距離が遠くなる上層金属配線を使用すると、図9の配線寄生容量倍率“0”～“1”で示した帯域延伸効果が得られる。また、金属配線間の距離が近くなり、上記の対地容量よりも線間容量が大きくなると、図9の配線寄生容量倍率“1”～“2”で示した帯域延伸効果が得られる。

10

【0078】

図10は、文献1に開示された従来のインダクタを用いたCML回路および第2実施例のインダクタを用いたCML回路の群遅延をシミュレーションにより求めた結果を示す図である。図10において、1000は従来のインダクタを用いたCML回路の配線寄生容量倍率“0”の場合の群遅延を示し、1000aは従来のインダクタを用いたCML回路の配線寄生容量倍率“1”の場合の群遅延を示し、1001は第2実施例のインダクタを用いたCML回路の配線寄生容量倍率“0”の場合の群遅延を示し、1001aは第2実施例のインダクタを用いたCML回路の配線寄生容量倍率“1”の場合の群遅延を示している。

【0079】

20

増幅する信号の帯域内の周波数間で、群遅延偏差が大きい場合、出力波形にジッタや波形の歪が生じる。図10によれば、寄生容量の有り無しでは群遅延の傾向に大きな差がないことが分かる。従来のインダクタを用いたCML回路の場合、 $1\ \text{GHz}$ での群遅延 $24\ \text{ps}$ に対して、 $10\ \text{GHz}$ 超の高周波のピークでの群遅延は最大 $140\ \text{ps}$ となり、最大で $116\ \text{ps}$ の群遅延偏差を示す。一方、第2実施例のインダクタを用いたCML回路の場合、 $1\ \text{GHz}$ での群遅延 $17\ \text{ps}$ に対して、 $10\ \text{GHz}$ 超の高周波のピークでの群遅延は最大 $59\ \text{ps}$ となり、最大で $42\ \text{ps}$ の群遅延偏差に抑えられる。このように、第2実施例のインダクタを用いたCML回路では、従来のインダクタを用いたCML回路と比較して群遅延偏差が約3.7分の1になり、帯域を延伸するだけでなく、出力波形のジッタや歪を低減できるという効果が得られる。

30

【0080】

なお、図9、図10では、第2実施例の効果について説明しているが、第1実施例についても第2実施例と同等以上の効果が得られる。その理由は、第1実施例の場合、第2実施例と比較してインダクタの金属配線間の距離が遠くなり、線間容量が小さくなるからである。

【0081】

図4から明らかのように、正相側の第1のシリーズインダクタL13Pには、正相側の第1のシャントインダクタL11Pの内周と正相側の第2のシャントインダクタL12Pの内周とに挟まれる領域に形成される部分と、正相側の第1のシャントインダクタL11Pの内周と正相側の第2のシャントインダクタL12Pの外周とに挟まれる領域に形成される部分とが存在する。これら2つの領域のどちらに正相側の第1のシリーズインダクタL13Pが形成されていても構わない。正相側の第1のシャントインダクタL11Pと正相側の第1のシリーズインダクタL13Pの隣接した配置と巻き込み方向が相互インダクタンスの値と正負を決定する。

40

【0082】

同様に、逆相側の第1のシリーズインダクタL13Nには、逆相側の第1のシャントインダクタL11Nの内周と逆相側の第2のシャントインダクタL12Nの内周とに挟まれる領域に形成される部分と、逆相側の第1のシャントインダクタL11Nの内周と逆相側の第2のシャントインダクタL12Nの外周とに挟まれる領域に形成される部分とが存在する。これら2つの領域のどちらに逆相側の第1のシリーズインダクタL13Nが形成さ

50

れていても構わない。第1のシャントインダクタL11Nと第1のシリーズインダクタL13Nの隣接した配置と巻き込み方向が相互インダクタンスの値と正負を決定する。

【産業上の利用可能性】

【0083】

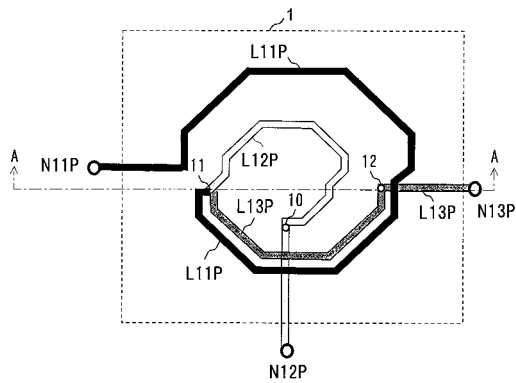
本発明は、半導体集積回路の周波数帯域を延伸するピーキング回路等に使用されるインダクタに適用することができる。

【符号の説明】

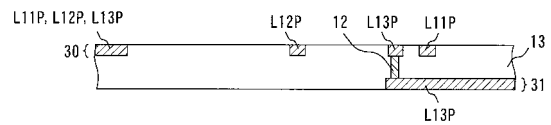
【0084】

1, 1a...インダクタ、10, 12, 14~21...コンタクト、11...接続点、13...絶縁層、30, 31...金属配線層、L11P, L12P, L11N, L12N...シャントインダクタ、L13P, L13N...シリーズインダクタ、M1, M2, M3, M4...MOSトランジスタ、IS1...電流源、R1, R2...負荷抵抗。

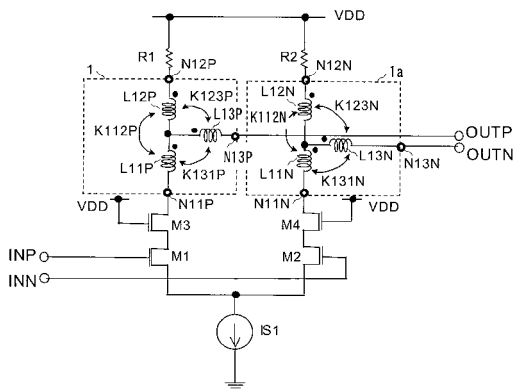
【図1】



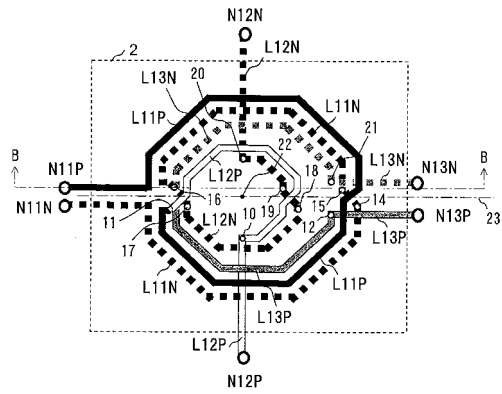
【図2】



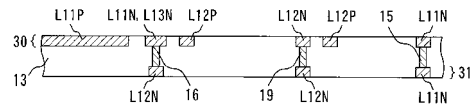
【図3】



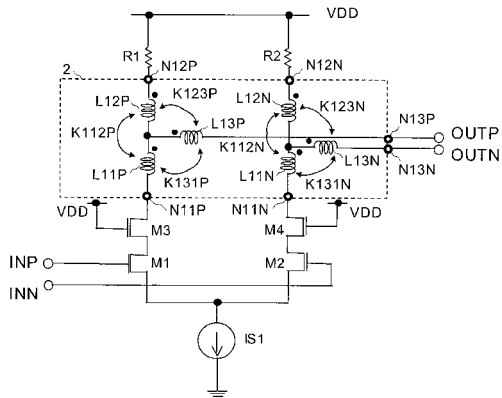
【図4】



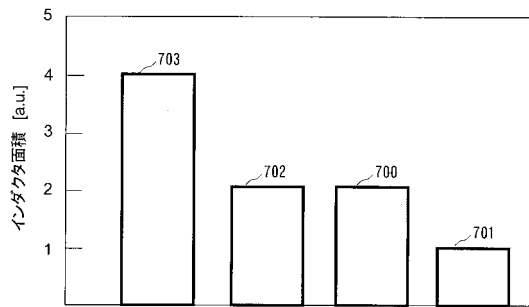
【図5】



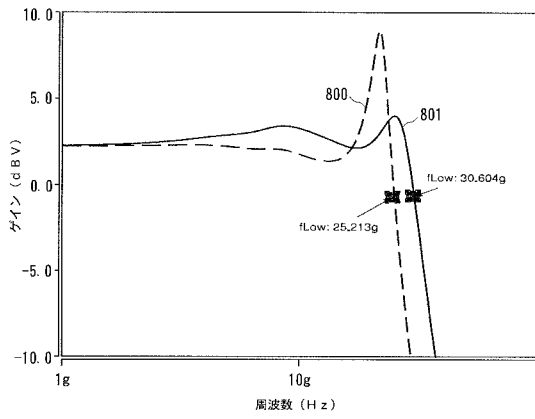
【図6】



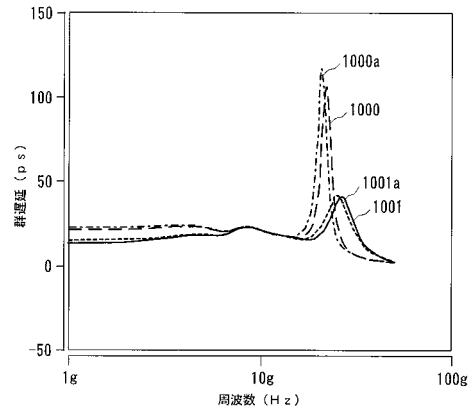
【図7】



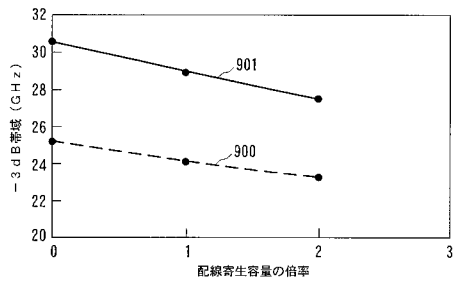
【図 8】



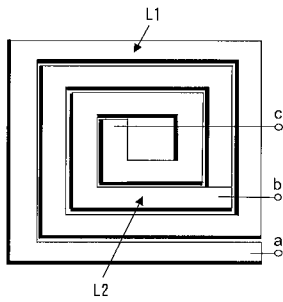
【図 10】



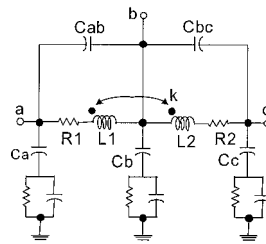
【図 9】



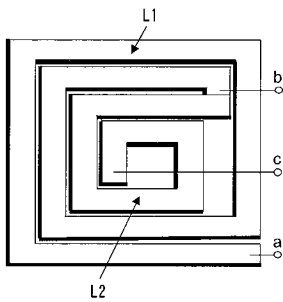
【図 11 A】



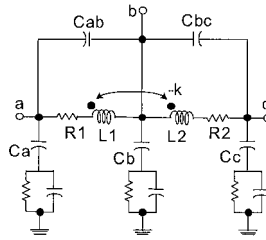
【図 11 C】



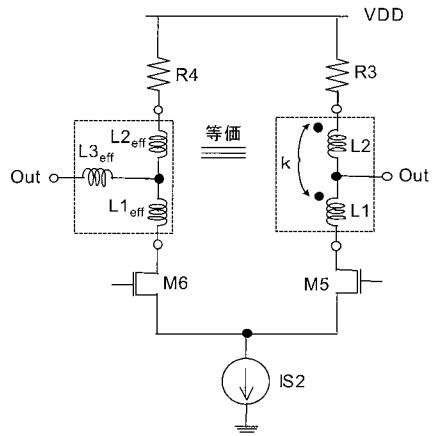
【図 11 B】



【図 11 D】



【 図 1 2 】



フロントページの続き

- (72)発明者 桂井 宏明
東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
- (72)発明者 小野寺 秀俊
京都府京都市左京区吉田本町 国立大学法人京都大学大学院情報学研究科内
- (72)発明者 土谷 亮
京都府京都市左京区吉田本町 国立大学法人京都大学大学院情報学研究科内

審査官 宇多川 勉

- (56)参考文献 特開2009-010826(JP,A)
特開平08-078964(JP,A)
特開2007-005798(JP,A)
特開2001-274330(JP,A)
特開2005-073234(JP,A)
国際公開第2007/110915(WO,A1)

(58)調査した分野(Int.Cl., DB名)

| | |
|------|--------|
| H01L | 21/822 |
| H01F | 17/00 |
| H01L | 27/04 |
| H03F | 3/45 |
| H03F | 3/193 |
| H03F | 3/68 |