

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-9830

(P2016-9830A)

(43) 公開日 平成28年1月18日(2016.1.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 35/32 (2006.01)	HO 1 L 35/32	A
HO 1 L 35/20 (2006.01)	HO 1 L 35/20	
HO 1 L 35/16 (2006.01)	HO 1 L 35/16	

審査請求 未請求 請求項の数 7 O L (全 19 頁)

(21) 出願番号 特願2014-131400 (P2014-131400)
 (22) 出願日 平成26年6月26日 (2014.6.26)

(71) 出願人 505127721
 公立大学法人大阪府立大学
 大阪府堺市中央区学園町1番1号
 (74) 代理人 100065248
 弁理士 野河 信太郎
 (74) 代理人 100159385
 弁理士 甲斐 伸二
 (74) 代理人 100163407
 弁理士 金子 裕輔
 (74) 代理人 100166936
 弁理士 稲本 潔
 (72) 発明者 津久井 茂樹
 大阪府堺市中央区学園町1番1号 公立大学
 法人大阪府立大学内

最終頁に続く

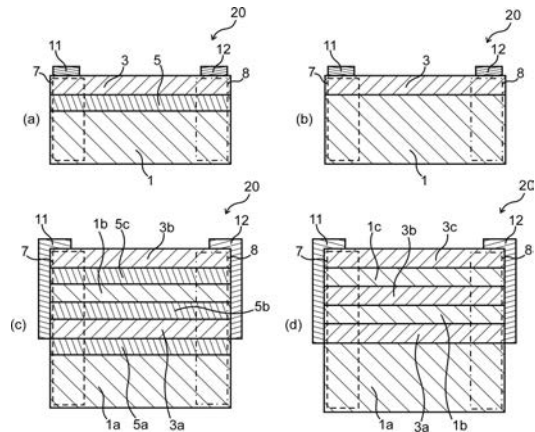
(54) 【発明の名称】 熱電変換素子

(57) 【要約】

【課題】本発明は、大きいゼーベック係数を有する熱電変換素子を提供する。

【解決手段】本発明の熱電変換素子は、半導体層と、前記半導体層上に直接設けられた絶縁体層上に又は前記半導体層上に直接設けられた熱電変換層とを備え、前記熱電変換層は、1 nm以上500 nm以下の厚さを有することを特徴とする。また、本発明の熱電変換素子において、前記半導体層及び前記熱電変換層が、前記半導体層がn型半導体層である場合前記熱電変換層の面内方向のゼーベック係数がプラス値及びマイナス値のうち一方の値となり、前記半導体層がp型半導体層である場合前記熱電変換層の面内方向のゼーベック係数が他方の値となるように設けられてもよい。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体層と、前記半導体層上に直接設けられた絶縁体層上に又は前記半導体層上に直接設けられた熱電変換層とを備え、

前記熱電変換層は、1 nm以上500 nm以下の厚さを有することを特徴とする熱電変換素子。

【請求項 2】

前記熱電変換層は、 Fe_2VAl 系材料層、 Bi_2Te_3 系材料層、金属鉄層又はコンスタントン層である請求項 1 に記載の熱電変換素子。

【請求項 3】

前記熱電変換層は、前記絶縁体層上に直接設けられ、

前記絶縁体層は、0.1 nm以上150 nm以下の厚さを有する請求項 1 又は 2 に記載の熱電変換素子。

10

【請求項 4】

前記絶縁体層は、前記半導体層の酸化被膜である請求項 1 ~ 3 のいずれか 1 つに記載の熱電変換素子。

【請求項 5】

前記半導体層は、n型半導体層またはp型半導体層である請求項 1 ~ 4 のいずれか 1 つに記載の熱電変換素子。

【請求項 6】

前記半導体層は、Si基板又はGaAs基板である請求項 1 ~ 5 のいずれか 1 つに記載の熱電変換素子。

20

【請求項 7】

前記半導体層及び前記熱電変換層は、前記半導体層がn型半導体層である場合前記熱電変換層の面内方向のゼーベック係数がプラス値及びマイナス値のうち一方の値となり、前記半導体層がp型半導体層である場合前記熱電変換層の面内方向のゼーベック係数が他方の値となるように設けられた請求項 1 ~ 6 のいずれか 1 つに記載の熱電変換素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、熱電変換素子に関する。

30

【背景技術】

【0002】

熱電材料を利用したエネルギー変換システムは、(1)力学的駆動部を持たないために長時間メンテナンス性に優れる、(2)システム作動のための外部電力を要せず、また排出物がないためクリーンで低環境負荷である、(3)スケール効果が無く、システム全体を小型・軽量化できる、といった長所を有している。特にシステム全体の小型化が可能であるという長所を生かし、このシステムのセンサーやマイクロ発電デバイスへの応用が期待されている。

【0003】

一般に熱電材料の性能を示す指標である出力因子として、無次元性能指数 $ZT = S^2 T / [\dots]$ とパワーファクター $PF = S^2 [W \cdot m^{-1} \cdot K^{-2}]$ が用いられる。無次元性能指数 ZT は出力の大きさの指標であり、パワーファクター PF は外に取り出せる電圧の大きさの指標である。ここで S はゼーベック係数 $[V \cdot K^{-1}]$ 、 σ は導電率 $[S \cdot m^{-1}]$ 、 κ は熱伝導率 $[W \cdot m^{-1} \cdot K^{-1}]$ 、 T は温度 $[K]$ である。ゼーベック係数とは温度勾配によって生じた熱起電力 $V [V]$ を温度差 $\Delta T [K]$ で割ったものであり、 $S = V / \Delta T$ で表わすことができる。ゼーベック係数の符号によってキャリアが正孔か電子かを判断することができる。優れた熱電材料とは、性能指数が大きいこと、すなわちゼーベック係数と導電率が大きく、熱伝導率が小さい物質である。実用化するためには ZT は1.0以上、 PF は $3.0 \text{ mW} \cdot \text{m}^{-1} \cdot \text{K}^{-2}$ 以上が必要とされる。

40

【0004】

50

熱電材料は、一般的にインゴット材料等が用いられる。一方、熱電材料薄膜を備えた熱電変換素子が知られている（例えば、特許文献 1、2 参照）。熱電材料薄膜を用いると、小型化された熱電変換素子を形成することができるというメリットがある。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2005 - 277343 号公報

【特許文献 2】特開 2013 - 21089 号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0006】

しかし、従来の熱電材料の薄膜を用いた熱電変換素子では、ゼーベック係数が十分に大きくない。

本発明は、このような事情に鑑みてなされたものであり、大きいゼーベック係数を有する熱電変換素子を提供する。

【課題を解決するための手段】

【0007】

本発明は、半導体層と、前記半導体層上に直接設けられた絶縁体層上に又は前記半導体層上に直接設けられた熱電変換層とを備え、前記熱電変換層は、1 nm 以上 500 nm 以下の厚さを有することを特徴とする熱電変換素子を提供する。

20

【発明の効果】

【0008】

本発明によれば、熱電変換層の面内方向のゼーベック係数を大きくすることができる。このことは、本発明者等が行った実験により実証された。

ゼーベック係数が大きくなる理由は次のように考えられる。

本発明の熱電変換素子は半導体層を備えるため、半導体層に温度差を形成することにより、半導体層の高温側領域のキャリアを半導体層の低温側領域への拡散させることができ、半導体層の低温側領域にキャリアをためることができると考えられる。また、本発明の熱電変換素子は、半導体層上に直接設けられた絶縁体層上に又は半導体層上に直接設けられた熱電変換層を備え、熱電変換層は、1 nm 以上 500 nm 以下の厚さを有するため、半導体層のキャリアの拡散の熱電変換層への影響を大きくすることができると考えられる。このため、熱電変換層の面内方向のゼーベック係数を大きくすることができると考えられる。

30

【図面の簡単な説明】

【0009】

【図 1】(a) ~ (d) は、それぞれ本発明の一実施形態の熱電変換素子の概略断面図である。

【図 2】(a) は、本発明の一実施形態の熱電変換素子の概略上面図であり、(b) は、(a) の破線 A - A における熱電変換素子の概略断面図である。

【図 3】熱電変換層の面内方向のゼーベック係数を測定する装置の概略斜視図である。

【図 4】基板材料とゼーベック係数との関係を示すグラフである。

40

【図 5】基板材料とゼーベック係数との関係を示すグラフである。

【図 6】熱電変換層の厚さとゼーベック係数との関係を示すグラフである。

【図 7】熱電変換層の厚さとゼーベック係数との関係を示すグラフである。

【図 8】熱電変換層の厚さとゼーベック係数との関係を示すグラフである。

【図 9】熱電変換層の厚さとゼーベック係数との関係を示すグラフである。

【図 10】熱電変換層の厚さとゼーベック係数との関係を示すグラフである。

【図 11】絶縁体層の厚さとゼーベック係数との関係を示すグラフである。

【図 12】絶縁体層を除去した熱電変換素子のゼーベック係数と絶縁体層を除去していない熱電変換素子のゼーベック係数とを比較するグラフである。

【発明を実施するための形態】

50

【 0 0 1 0 】

本発明の熱電変換素子は、半導体層と、前記半導体層上に直接設けられた絶縁体層上に又は前記半導体層上に直接設けられた熱電変換層とを備え、前記熱電変換層は、1 nm以上500 nm以下の厚さを有することを特徴とする。

【 0 0 1 1 】

本発明の熱電変換素子において、熱電変換層は、 $F e_2 V A l$ 系材料層、 $B i_2 T e_3$ 系材料層、金属鉄層又はコンスタンタン層であることが好ましい。

本発明の熱電変換素子において、熱電変換層は、絶縁体層上に直接設けられ、絶縁体層は、0.1 nm以上150 nm以下の厚さを有することが好ましい。

【 0 0 1 2 】

本発明の熱電変換素子において、絶縁体層は、半導体層の酸化被膜であることが好ましい。

本発明の熱電変換素子において、半導体層は、n型半導体層またはp型半導体層であることが好ましい。

【 0 0 1 3 】

本発明の熱電変換素子において、半導体層は、Si基板又はGaAs基板であることが好ましい。

本発明の熱電変換素子において、半導体層及び熱電変換層は、半導体層がn型半導体層である場合熱電変換層の面内方向のゼーベック係数がプラス値及びマイナス値のうち一方の値となり、半導体層がp型半導体層である場合熱電変換層の面内方向のゼーベック係数が他方の値となるように設けられたことが好ましい。

【 0 0 1 4 】

以下、図面を用いて本発明の一実施形態を説明する。図面や以下の記述中で示す構成は、例示であって、本発明の範囲は、図面や以下の記述中で示すものに限定されない。

【 0 0 1 5 】

熱電変換素子の構成

図1(a)~(d)は、それぞれ本実施形態の熱電変換素子の概略断面図であり、図2(a)は、本実施形態の熱電変換素子の概略上面図であり、図2(b)は、図2(a)の破線A-Aにおける熱電変換素子の概略断面図である。

本実施形態の熱電変換素子20は、半導体層1と、半導体層1上に直接設けられた絶縁体層5上に又は半導体層1上に直接設けられた熱電変換層3とを備え、熱電変換層3は、1 nm以上500 nm以下の厚さを有することを特徴とする。

また、本実施形態の熱電変換素子20は、高温側電極11および低温側電極12を有してもよい。

以下、本実施形態の熱電変換素子20について説明する。

【 0 0 1 6 】

1. 熱電変換素子

本実施形態の熱電変換素子20は、熱電変換層3の面内方向の温度差が熱電変換素子20に生じた際に熱電変換層3の高温側領域7と低温側領域8との間に起電力が生じる素子である。熱電変換素子20は、例えば、赤外線センサー、熱発電デバイスなどとして利用することができる。

なお、高温側領域7とは、熱電変換層3の面内方向の温度差を熱電変換素子20に生じさせた際に高温側となる半導体層1、絶縁体層5又は熱電変換層3の領域であり、低温側領域8とは、熱電変換層3の面内方向の温度差を熱電変換素子20に生じさせた際に低温側となる半導体層1、絶縁体層5又は熱電変換層3の領域である。

【 0 0 1 7 】

2. 半導体層

半導体層1は、半導体材料の層であり、半導体基板であってもよく、半導体薄膜であってもよく、半導体厚膜であってもよい。また、半導体層1は、蒸着膜であってもよい。

半導体層1の半導体材料は、SiやGeなどの元素半導体であってもよく、GaAsな

10

20

30

40

50

どの化合物半導体であってもよい。また、半導体層 1 は、n 型の導電型を有してもよく、p 型の導電型を有してもよい。また、半導体層 1 は、導電型不純物を含んでもよい。この導電型不純物の濃度は、例えば、 $1.0 \times 10^{12} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。また、半導体層 1 は、単結晶であってもよく、多結晶であってもよく、非晶質であってもよい。

また、熱電変換素子 20 により熱電変換する際半導体層 1 に高温側領域 7 及び低温側領域 8 が形成されるように半導体層 1 を設けることができる。このような構成により、半導体層 1 の高温側領域 7 のキャリアを半導体層 1 の低温側領域に拡散させることができ、半導体層 1 の低温側領域にキャリアをためることができる。このキャリアの拡散が熱電変換層 3 のゼーベック係数に影響を与えることができる。

10

【0018】

図 1 (c) (d) に示した熱電変換素子 20 のように半導体層 1 と熱電変換層 3 とを交互に積層し並列接続してもよい。この場合、積層した複数の半導体層 1 a、1 b、1 c は、同じ導電型を有することができる。このことにより、熱電変換層 3 a、3 b、3 c の起電力の極性を同じにすることができ、熱電変換素子 20 の出力特性を向上させることができる。また、この場合、複数の半導体層 1 a、1 b、1 c は、それぞれ半導体基板であってもよく、半導体基板と半導体膜との組み合わせであってもよい。

なお、半導体層 1 と熱電変換層 3 とを交互に積層し、熱電変換層 3 を直列に接続してもよい。また、図 1 (c) では 2 層の半導体層 1 と 2 層の熱電変換層 3 を積層し、図 1 (d) では 3 層の半導体層 1 と 3 層の熱電変換層 3 を積層しているが、積層する層数は特に限定されない。

20

【0019】

図 2 (a) (b) に示した熱電変換素子 20 のように、複数の積層体 18 a、18 b を直列接続した構造を有する場合、隣接する 2 つの積層体 18 のうち一方の積層体 18 a に含まれる半導体層 1 a の導電型と、他方の積層体 18 b に含まれる半導体層 1 b の導電型とを異なる導電型とすることができる。このことにより、隣接する 2 つの積層体 18 a、18 b の起電力の極性を逆にすることができ、熱電変換素子 20 の出力特性を向上させることができる。

【0020】

3. 絶縁体層

絶縁体層 5 は、絶縁体材料の膜であり、半導体層 1 上に直接設けられる。絶縁体層 5 は、半導体層 1 の自然酸化膜であってもよく、半導体層 1 の熱酸化膜であってもよく、蒸着膜であってもよく、半導体層 1 の酸化膜と蒸着膜とが積層された膜であってもよい。絶縁体層 5 の材料は、例えば、 SiO_2 、 SiN 、 Al_2O_3 などである。

30

絶縁体層 5 の厚さは、例えば、0.1 nm 以上 150 nm 以下とすることができる。また、絶縁体層 5 の厚さは、0.1 nm 以上 100 nm 以下とすることができ、0.5 nm 以上 50 nm 以下とすることもできる。このことにより、半導体層 1 のキャリアの移動が熱電変換層 3 のゼーベック係数に与える影響を大きくすることができる。

また、図 1 (c) に示した熱電変換素子 20 のように、半導体層 1 と熱電変換層 3 とを交互に積層する場合、半導体層 1 と熱電変換層 3 との間に絶縁体層 5 が挟まれるように絶縁体層 5 を設けることができる。

40

また、図 1 (b) (d) に示した熱電変換素子 20 のように、絶縁体層 5 を省略することも可能である。

【0021】

4. 熱電変換層

熱電変換層 3 は、外部出力される起電力が高温側領域 7 と低温側領域 8 との間に生じる層である。

熱電変換層 3 は、絶縁体層 5 上または半導体層 1 上に直接設けられる。このことにより、温度差による半導体層 1 のキャリアの拡散の熱電変換層 3 への影響を大きくすることができ、熱電変換層 3 の面内方向のゼーベック係数を大きくすることができる。

50

また、熱電変換層 3 は、1 nm 以上 500 nm 以下の厚さを有する。このことにより、半導体層 1 のキャリアの拡散の熱電変換層 3 への影響を大きくすることができ、熱電変換層 3 の面内方向のゼーベック係数を大きくすることができる。また、熱電変換層 3 の厚さは、1 nm 以上 200 nm 以下とすることができ、1 nm 以上 100 nm 以下とすることもできる。

熱電変換層 3 は、例えば、パルスレーザー堆積(PLD)法、高周波(RF)スパッタリング法により形成することができる。

【0022】

半導体層 1 及び熱電変換層 3 は、半導体層 1 が n 型半導体層である場合熱電変換層 3 の面内方向のゼーベック係数がプラス値及びマイナス値のうち一方の値となり、半導体層 1 が p 型半導体層である場合熱電変換層 3 の面内方向のゼーベック係数が他方の値となるように設けることができる。このことにより、熱電変換層 3 の面内方向のゼーベック係数を大きくすることができる。

【0023】

熱電変換層 3 の材料は、高温側領域 7 と低温側領域 8 との間に起電力が生じる材料であれば特に限定されないが、例えば、 Fe_2VAl 系材料(導電率:約 $1.33 \times 10^5 S \cdot m^{-1}$)、 Bi_2Te_3 系材料(導電率:約 $8.4 \times 10^4 S \cdot m^{-1}$)、金属鉄材料(導電率:約 $1.0 \times 10^7 S \cdot m^{-1}$)又はコンスタタン(導電率:約 $2.0 \times 10^6 S \cdot m^{-1}$)とすることができ、なお、上記の例示した材料には、化学量論組成をずらした材料や添加物を加えた材料も含まれる。例えば、 Fe_2VAl 系材料には、 $Fe_2VAl_{1-x}Si_x$ (導電率:約 $5.0 \times 10^4 S \cdot m^{-1}$)、 $Fe_2V_{1-y}Ti_yAl$ (導電率:約 $1.0 \times 10^5 S \cdot m^{-1}$)が含まれる。

また、熱電変換層 3 の材料は、室温における導電率が $1.0 \times 10^4 S \cdot m^{-1}$ 以上 $6.5 \times 10^7 S \cdot m^{-1}$ 以下の材料であってもよく、 $4.0 \times 10^4 S \cdot m^{-1}$ 以上 $1.2 \times 10^7 S \cdot m^{-1}$ 以下の材料であってもよい。

図 1(c)(d)に示した熱電変換素子 20 のように半導体層 1 と熱電変換層 3 とを交互に積層し並列接続する場合、積層した複数の熱電変換層 3 の材料は、同じであってもよく、異なってもよい。図 2(a)(b)に示した熱電変換素子 20 のように、複数の積層体 18a、18b を直列接続した構造を有する場合、積層体 18a、18b に含まれる熱電変換層 3 の材料は、同じであってもよく、異なってもよい。

【0024】

5. 高温側電極、低温側電極

高温側電極 11 及び低温側電極 12 は、熱電変換層 3 の起電力を出力するための電極である。熱電変換層 3 が大きい導電率を有する場合や、熱電変換層 3 が他の熱電変換層 3 と接触するように設けられた場合、高温側電極 11 又は低温側電極 12 を省略することも可能である。

高温側電極 11 は、熱電変換層 3 の高温側領域 7 の表面上に設けることができ、低温側電極 12 は、熱電変換層 3 の低温側領域 8 の表面上に設けることができる。このことにより、熱電変換層 3 に生じた起電力を高温側電極 11 及び低温側電極 12 を介して出力することができる。

【0025】

図 2(a)(b)に示した熱電変換素子 20 のように、熱電変換素子 20 が複数の積層体 18a、18b を含む構造を有する場合、隣接する 2 つの積層体 18a、18b の高温側電極 11a、11b を配線により接続し、積層体 18a、18b を直列接続することができる。なお、隣接する 2 つの積層体 18a、18b の低温側電極 12a、12b を配線により接続し直列接続してもよい。なお、直列接続となるように半導体層 1 の導電型を適宜変更することができる。

【0026】

ゼーベック係数測定実験(1)

n 型シリコン基板、ポリイミド基板、サファイア基板、n 型 GaAs 基板、p 型シリコン基板の 5 種類の基板上にそれぞれ熱電変換層 3 である Fe_2VAl 薄膜を成膜し 5 種類の試料を作製した。この 5 種類の試料について Fe_2VAl 薄膜の面内方向のゼーベック係数の測定を

10

20

30

40

50

行った。

Fe₂VAI 薄膜は、次の成膜条件でパルスレーザー堆積 (PLD) 装置 (日本真空 (株) 製、MB 94-5006 型) を用いて成膜した。

(成膜条件) ターゲット材: Fe₂VAI、レーザー: KrF (248 nm) エキシマレーザー、基板温度: 室温、ショット数: 20000、レーザーフルエンス: 28.7 kJ・m⁻²、雰囲気ガス: Ar、ガス圧力: 5 Pa、繰り返し周波数: 10 Hz

なお、n 型シリコン基板、n 型 GaAs 基板、p 型シリコン基板を用いた試料では、半導体基板の自然酸化膜上に Fe₂VAI 薄膜を形成した。また、基板温度を室温とすることにより、副生成物が Fe₂VAI 薄膜に混入することを抑制することができる。

【0027】

図 3 は、ゼーベック係数測定に用いた装置の概略斜視図である。この装置は、冷却水流路 23 及びヒーター 25 を内部に有するアルミニウム板 22 を有している。ヒーター 25 によって高温側領域を形成し、冷却水流路 23 に冷却水を流すことにより低温側領域を形成することにより、アルミニウム板 22 の面内方向に温度差を形成することができる。

また、この装置は、アルミニウム板 22 の上に測定試料 28 を設置できる構造を有している。このため、アルミニウム板 22 の高温側領域上の基板 14 及び熱電変換層 3 の領域を高温側領域 7 とすることができ、アルミニウム板 22 の低温側領域上の基板 14 及び熱電変換層 3 の領域を低温側領域 8 とすることができる。このため、基板 14 及び熱電変換層 3 の面内方向に温度差を形成することができる。

【0028】

また、熱電変換層 3 の高温側領域 7 上に高温側熱電対 16 を設置し、熱電変換層 3 の低温側領域 8 上に低温側熱電対 17 を設置し、温度測定及び温度制御を行った。さらに、熱電変換層 3 の高温側領域 7 上に高温側電極 11 を設置し、熱電変換層 3 の低温側領域 8 上に低温側電極 12 を設置し、電圧計 26 により起電力を測定した。そして、熱電対 16、17 の温度測定結果と、電圧計 26 により計測した起電力からゼーベック係数を算出した。

また、熱電対 16、17 の測定温度が 30 ~ 60 の温度範囲内で、熱電対 16、17 の測定温度差が 0.5 ~ 3 の範囲内の、複数の測定温度でゼーベック係数を測定し、これらのゼーベック係数の平均値を算出した。

【0029】

図 4 は、作製した 5 種類の試料のゼーベック係数測定の結果を示すグラフである。この結果から絶縁体基板 (ポリイミド基板、サファイア基板) を用いた試料ではゼーベック係数 $|S|$ が $5 \mu\text{V} \cdot \text{K}^{-1}$ 以下であるのに対し、半導体基板 (シリコン基板、GaAs 基板) を用いた試料では、ゼーベック係数 $|S|$ が $70 \mu\text{V} \cdot \text{K}^{-1}$ 以上となることがわかった。特に、n 型シリコン基板を用いた試料では、ゼーベック係数 $|S|$ が $350 \mu\text{V} \cdot \text{K}^{-1}$ 以上となることがわかった。なお、Fe₂VAI のバルク合金のゼーベック係数は $30 \mu\text{V} \cdot \text{K}^{-1}$ 程度である。従って、半導体基板の自然酸化膜上に Fe₂VAI 薄膜を直接形成した試料は、大きなゼーベック係数を有することがわかった。なお、ゼーベック係数の大きさは、特に明記しない限りゼーベック係数の絶対値をいう。

半導体基板の自然酸化膜上に Fe₂VAI 薄膜を形成した試料が大きなゼーベック係数を有する理由としては、温度差による半導体基板のキャリアの移動が Fe₂VAI 薄膜のゼーベック係数に大きな影響を与えるためと考えられる。また、絶縁体基板はキャリアを有していないため、絶縁体基板上に Fe₂VAI 薄膜を形成した試料ではゼーベック係数が小さかったと考えられる。

なお、シリコン基板に含まれるシリコン原子の Fe₂VAI 薄膜への拡散の有無も調査したが、シリコン原子は Fe₂VAI 薄膜へほとんど拡散していなかった。

【0030】

また、図 4 に示した結果から、n 型半導体基板 (n 型シリコン基板、n 型 GaAs 基板) を用いた試料ではゼーベック係数がマイナス値となり、p 型半導体基板 (p 型シリコン基板) を用いた試料ではゼーベック係数がプラス値となることがわかった。

10

20

30

40

50

半導体基板の導電型が異なると、半導体基板の自然酸化膜上に形成した Fe_2VAI 薄膜のゼーベック係数の符号が異なる理由としては、次のように考えられる。

n型半導体基板に温度差を形成すると、n型半導体基板の高温側領域7の電子がn型半導体基板の低温側領域8へ拡散する。一方、p型半導体基板に温度差を形成すると、p型半導体基板の高温側領域7のホールがp型半導体基板の低温側領域8へ拡散する。従って、n型半導体基板では低温側領域8に電子がたまり、p型半導体基板では低温側領域8にホールがたまる。このため、半導体基板のキャリアが Fe_2VAI 薄膜に与える影響は、n型半導体とp型半導体とでは極性が逆になると考えられる。このため、測定されたゼーベック係数の符号がn型半導体を用いた試料と、p型半導体を用いた試料で逆になったと考えられる。

10

【0031】

ゼーベック係数測定実験(2)

n型シリコン基板、p型シリコン基板、n型GaAs基板、ガラス基板(カバーガラス)の4種類の基板にそれぞれ熱電変換層3であるコンスタンタン薄膜を成膜し4種類の試料を作製した。この4種類の試料についてコンスタンタン薄膜の面内方向のゼーベック係数の測定を行った。なお、n型シリコン基板、p型シリコン基板、n型GaAs基板を用いた試料では、半導体基板の自然酸化膜上にコンスタンタン薄膜を成膜した。

コンスタンタン薄膜は、PLD装置を用いて成膜した。成膜条件は、ターゲット材をコンスタンタンとし、ショット数を2000としたこと以外はゼーベック係数測定実験(1)と同じである。また、ゼーベック係数は、図3に示したような装置を用いてゼーベック係数測定実験(1)と同様に測定した。

20

【0032】

図5は、作製した4種類の試料のゼーベック係数測定の結果を示すグラフである。この結果から絶縁体基板(ガラス基板)を用いた試料ではゼーベック係数 $|S|$ が約 $40 \mu\text{V} \cdot \text{K}^{-1}$ であるのに対し、半導体基板(シリコン基板、GaAs基板)を用いた試料では、ゼーベック係数 $|S|$ が $100 \mu\text{V} \cdot \text{K}^{-1}$ 以上となることがわかった。特に、n型シリコン基板を用いた試料では、ゼーベック係数 $|S|$ が約 $350 \mu\text{V} \cdot \text{K}^{-1}$ となることがわかった。なお、コンスタンタンのバルク合金のゼーベック係数は約 $45 \mu\text{V} \cdot \text{K}^{-1}$ である。従って、半導体基板の自然酸化膜上にコンスタンタン薄膜を成膜した試料は、大きなゼーベック係数を有することがわかった。また、n型半導体基板(n型シリコン基板、n型GaAs基板)を用いた試料ではゼーベック係数がマイナス値となり、p型半導体基板(p型シリコン基板)を用いた試料ではゼーベック係数がプラス値となることがわかった。

30

これらの結果は、ゼーベック係数測定実験(1)の結果と同じような傾向を示している。従って、これらの試料でも温度差による半導体基板のキャリアの移動がコンスタンタン薄膜のゼーベック係数に大きな影響を与えたと考えられる。

従って、熱電変換層3の材料が変わっても、半導体基板の自然酸化膜上に熱電変換層3を直接設けた構造を有する熱電変換素子が、高いゼーベック係数を有することがわかった。

【0033】

ゼーベック係数測定実験(3)

基板にn型シリコン基板を用い、熱電変換層3である Fe_2VAI 薄膜の厚さが異なる6種類の試料を作製した。 Fe_2VAI 薄膜は、PLD装置を用いてn型シリコン基板の自然酸化膜上に成膜した。成膜条件は、ショット数を1000、5000、10000、20000、50000、100000としたこと以外はゼーベック係数測定実験(1)と同じである。ショット数が増えると Fe_2VAI 薄膜の厚さは厚くなるため、ショット数を変えることにより Fe_2VAI 薄膜の厚さの異なる試料を作製することができる。また、作製した試料の Fe_2VAI 薄膜の厚さを触針式表面形状測定装置により測定した。また、作製した試料のゼーベック係数を、ゼーベック係数測定実験(1)と同様に測定した。

40

Fe_2VAI 薄膜の厚さの測定結果を表1に示す。なお、ショット数を1000とした試料では、厚さを正確に測定できなかったため、検量線から算出した。また、図6は、作製した Fe_2V

50

Al 薄膜の厚さが異なる 6 種類の試料のゼーベック係数測定の結果を示すグラフである。

【 0 0 3 4 】

【表 1】

ショット数	1000	5000	10000	20000	50000	100000
膜厚	7.7 nm	33.1 nm	98.5 nm	163.2 nm	374.8 nm	633.3 nm

【 0 0 3 5 】

表 1、図 6 に示した結果から、 Fe_2VAI 薄膜の厚さが薄い試料ほど大きいゼーベック係数を有することがわかった。また、 Fe_2VAI 薄膜の厚さが 374 nm 以上の試料では、ゼーベック係数は、 Fe_2VAI のバルク合金のゼーベック係数と大きな差はないが、 Fe_2VAI 薄膜の厚さが 164 nm 以下の試料では、ゼーベック係数は、 Fe_2VAI のバルク合金のゼーベック係数に比べ大きいことがわかった。特に、 Fe_2VAI 薄膜の厚さが 10 nm 以下の試料では、ゼーベック係数が $1000 \mu\text{V} \cdot \text{K}^{-1}$ 以上となることがわかった。また、測定されたゼーベック係数は、マイナス値であった。

また、ショット数を 1000 として成膜した Fe_2VAI 薄膜の導電率を測定したところ、 $2.82 \times 10^5 \text{ S} \cdot \text{m}^{-1}$ であり、この試料のパワーファクター P F は、 $340 \text{ mW} \cdot \text{m}^{-1} \cdot \text{K}^{-2}$ であった。従って、この試料の P F は、実用化に必要な $3.0 \text{ mW} \cdot \text{m}^{-1} \cdot \text{K}^{-2}$ を大幅に超えることがわかった。

【 0 0 3 6 】

Fe_2VAI 薄膜の厚さが薄い試料ほど大きいゼーベック係数を有する理由としては、 Fe_2VAI 薄膜の厚さが薄いほど、温度差による半導体基板のキャリアの移動が Fe_2VAI 薄膜のゼーベック係数に与える影響が大きくなるためと考えられる。

【 0 0 3 7 】

ゼーベック係数測定実験 (4)

基板に p 型シリコン基板を用い、熱電変換層 3 である Fe_2VAI 薄膜の厚さが異なる 5 種類の試料を作製した。 Fe_2VAI 薄膜は、PLD 装置を用いて p 型シリコン基板の自然酸化膜上に成膜した。成膜条件は、ショット数を 2000、5000、10000、20000、50000 としたこと以外はゼーベック係数測定実験 (1) と同じである。また、作製した試料の Fe_2VAI 薄膜の厚さを触針式表面形状測定装置により測定した。また、作製した試料のゼーベック係数を、ゼーベック係数測定実験 (1) と同様に測定した。

Fe_2VAI 薄膜の厚さの測定結果を表 2 に示す。また、図 7 は、作製した Fe_2VAI 薄膜の厚さが異なる 5 種類の試料のゼーベック係数測定の結果を示すグラフである。

【 0 0 3 8 】

【表 2】

ショット数	2000	5000	10000	20000	50000
膜厚	21.8 nm	31.4 nm	64.0 nm	202.0 nm	726.3 nm

【 0 0 3 9 】

表 2、図 7 に示した結果から、p 型シリコン基板を用いた場合でも Fe_2VAI 薄膜の厚さが薄い試料ほど大きいゼーベック係数を有することがわかった。また、測定されたゼーベック係数は、プラス値であった。

この Fe_2VAI 薄膜の厚さが薄い試料ほど大きいゼーベック係数を有するという傾向は、n 型シリコン基板を用いた試料と同様の傾向であるため、半導体基板の導電型に関わらず Fe_2VAI 薄膜の厚さを薄くすることにより、ゼーベック係数を大きくすることができることがわかった。

【 0 0 4 0 】

ゼーベック係数測定実験 (5)

基板に n 型シリコン基板を用い、熱電変換層 3 である金属鉄薄膜の厚さが異なる 6 種類

10

20

30

40

50

の試料を作製した。金属鉄薄膜は、PLD装置を用いてシリコン基板の自然酸化膜上に成膜した。成膜条件は、ターゲット材を金属鉄とし、ショット数を1000、2000、5000、10000、20000、50000としたこと以外はゼーベック係数測定実験(1)と同じである。また、作製した試料の金属鉄薄膜の厚さを触針式表面形状測定装置により測定した。また、作製した試料のゼーベック係数を、ゼーベック係数測定実験(1)と同様に測定した。

金属鉄薄膜の厚さの測定結果を表3に示す。なお、ショット数を1000、5000とした試料では、厚さを正確に測定できなかったため、検量線から算出した。また、図8は、作製した金属鉄薄膜の厚さが異なる6種類の試料のゼーベック係数測定の結果を示すグラフである。

【0041】

10

【表3】

ショット数	1000	2000	5000	10000	20000	50000
膜厚	7.7 nm	39.1 nm	38.4 nm	78.4 nm	141.3 nm	387.6 nm

【0042】

表3、図8に示した結果のように、熱電変換層3に金属鉄薄膜を用いた場合でも熱電変換層3の厚さが薄い試料ほど大きいゼーベック係数を有する傾向を示した。また、測定されたゼーベック係数は、ほとんどの試料でマイナス値であった。

熱電変換層3である金属鉄薄膜の厚さが薄い試料ほど大きいゼーベック係数を有するという傾向は、熱電変換層3に Fe_2VAI 薄膜を用いた試料と同様の傾向であるため、熱電変換層3の材料が異なる熱電変換素子20でも、熱電変換層3の厚さを薄くすることにより、ゼーベック係数を大きくすることができることがわかった。

20

【0043】

ゼーベック係数測定実験(6)

次に、基板にp型シリコン基板を用い、熱電変換層3である金属鉄薄膜の厚さが異なる5種類の試料を作製した。金属鉄薄膜は、PLD装置を用いてシリコン基板の自然酸化膜上に形成した。成膜条件は、ターゲット材を金属鉄とし、ショット数を2000、5000、10000、20000、50000としたこと以外はゼーベック係数測定実験(1)と同じである。また、作製した試料の金属鉄薄膜の厚さを触針式表面形状測定装置により測定した。また、作製した試料のゼーベック係数を、ゼーベック係数測定実験(1)と同様に測定した。

30

金属鉄薄膜の厚さの測定結果を表4に示す。なお、ショット数を2000とした試料では、厚さを正確に測定できなかったため、検量線から算出した。また、図9は、作製した金属鉄薄膜の厚さが異なる5種類の試料のゼーベック係数測定の結果を示すグラフである。

表4、図9に示した結果から、熱電変換層3である金属鉄薄膜をp型シリコン基板の自然酸化膜上に形成した試料でも熱電変換層3の厚さが薄い試料ほど大きいゼーベック係数を有することがわかった。また、測定されたゼーベック係数は、プラス値であった。

【0044】

40

【表4】

ショット数	2000	5000	10000	20000	50000
膜厚	11.4 nm	44.1 nm	56.2 nm	116.4 nm	282.5 nm

【0045】

ゼーベック係数測定実験(7)

次に、基板に自然酸化膜を有するn型シリコン基板を用い、熱電変換層3である Bi_2Te_3 薄膜の厚さが異なる試料をPLD装置又はRFスパッタリング装置を用いて作製した。また、作製した試料の Bi_2Te_3 薄膜の厚さを触針式表面形状測定装置により測定した。また、作製した試料のゼーベック係数を、ゼーベック係数測定実験(1)と同様に測定した。図10は、 Bi_2Te_3 薄膜の厚さ又は成膜方法が異なる試料のゼーベック係数測定の結果を示すグラ

50

フである。

【0046】

図10に示した結果から、熱電変換層3である Bi_2Te_3 薄膜をn型シリコン基板の自然酸化膜上に成膜した試料でも熱電変換層3の厚さが薄い試料ほど大きいゼーベック係数を有することがわかった。また、 Bi_2Te_3 薄膜をPLD装置を用いて作製した試料よりも、 Bi_2Te_3 薄膜をRFスパッタリング装置を用いて作製した試料のほうが大きいゼーベック係数 $|S|$ を有することがわかった。特に、300 nm以下の厚さの Bi_2Te_3 薄膜をRFスパッタリング装置を用いて成膜した試料は、 $500 \mu\text{V} \cdot \text{K}^{-1}$ を超えるゼーベック係数 $|S|$ を有することがわかった。なお、 Bi_2Te_3 のバルク体のゼーベック係数 $|S|$ は $207 \mu\text{V} \cdot \text{K}^{-1}$ 程度である。

このことから、熱電変換層3の作製方法を変えても、熱電変換層3の厚さを薄くすることにより、ゼーベック係数を大きくすることができることがわかった。

【0047】

ゼーベック係数測定実験(8)

次に、厚さの異なる SiO_2 膜を有するシリコン基板上に熱電変換層3である Fe_2VAI 薄膜をPLD装置を用いて形成した試料を作製した。シリコン基板には、自然酸化膜を有するシリコン基板と、自然酸化膜上に SiO_2 膜を成膜したシリコン基板とを用いた。また、n型シリコン基板とp型シリコン基板をそれぞれ用いて試料を作製した。また、作製した試料のゼーベック係数を、ゼーベック係数測定実験(1)と同様に測定した。図11は、 SiO_2 膜の厚さが異なる試料のゼーベック係数測定の結果を示すグラフである。

【0048】

図11に示した結果から、n型シリコン基板を用いた試料でも、p型シリコン基板を用いた試料でも、 SiO_2 膜の厚さが薄くなると熱電変換層3のゼーベック係数が大きくなる傾向を示した。この理由としては、 SiO_2 膜の厚さが薄いと、シリコン基板のキャリアの移動が熱電変換層3のゼーベック係数に与える影響が大きくなるためと考えられる。

【0049】

ゼーベック係数測定実験(9)

次に、フッ酸処理により自然酸化膜を除去したn型シリコン基板上に熱電変換層3である Fe_2VAI 薄膜をPLD装置を用いて成膜した試料を作製した。作製した試料のゼーベック係数を、ゼーベック係数測定実験(1)と同様に測定した。図12は、自然酸化膜を除去したn型シリコン基板を用いた試料のゼーベック係数測定の結果を示すグラフである。図12には、比較のためにフッ酸処理をしていないn型シリコン基板上に Fe_2VAI 薄膜を成膜した試料のゼーベック係数測定の結果も併せて示している。

図12に示した結果から、フッ酸処理により自然酸化膜を除去したn型シリコン基板を用いた試料は、フッ酸処理をしていないn型シリコン基板を用いた試料よりも高いゼーベック係数を有することがわかった。この理由としては、酸化膜を有していない半導体基板上に直接熱電変換層3を設けると、シリコン基板の電荷の移動が熱電変換層3のゼーベック係数に与える影響を大きくすることができるためと考えられる。

【0050】

熱起電力測定実験

次に、n型シリコン基板の自然酸化膜上に熱電変換層3 aである Fe_2VAI 薄膜をPLD装置を用いて成膜して第1積層体18 aを作製し、p型シリコン基板の自然酸化膜上に熱電変換層3 bである Fe_2VAI 薄膜をPLD装置を用いて成膜して第2積層体18 bを作製した。 Fe_2VAI 薄膜の成膜条件は、ショット数を2000としたこと以外はゼーベック係数測定実験(1)と同じである。

そして、図2(a)(b)に示した熱電変換素子20のように、第1積層体18 a上にAgペーストにより高温側電極11 aを設け、第2積層体18 b上にAgペーストにより高温側電極11 bを設け、高温側電極11 a、11 bをAgホイールにより接続した。また、第1積層体18 a上にAgペーストにより低温側電極12 aを設け、第2積層体18 b上にAgペーストにより低温側電極12 bを設け、起電力を測定できるように低温側電極12 a、12 bに電圧計を接続した。

10

20

30

40

50

白熱灯、熱線吸収フィルター及び干渉フィルターを用いて第1積層体18a、第2積層体18bの高温側領域7に特定波長域の光を照射することにより、高温側領域7と低温側領域8との間に温度差を形成し、この温度差により低温側電極12a、12b間に生じる熱起電力を測定した。測定結果を表5に示す。

表5に示した結果から、作製した熱電変換素子は、867nm以上の光に強く反応することがわかった。従って、本実施形態の熱電変換素子の赤外線センサーとしての応用の可能性が示唆された。

【0051】

【表5】

照射光の波長域	383~435 nm	545~600 nm	300~866 nm	867 nm~
熱起電力	0 μ V	3.2 μ V	30 μ V	1177 μ V

10

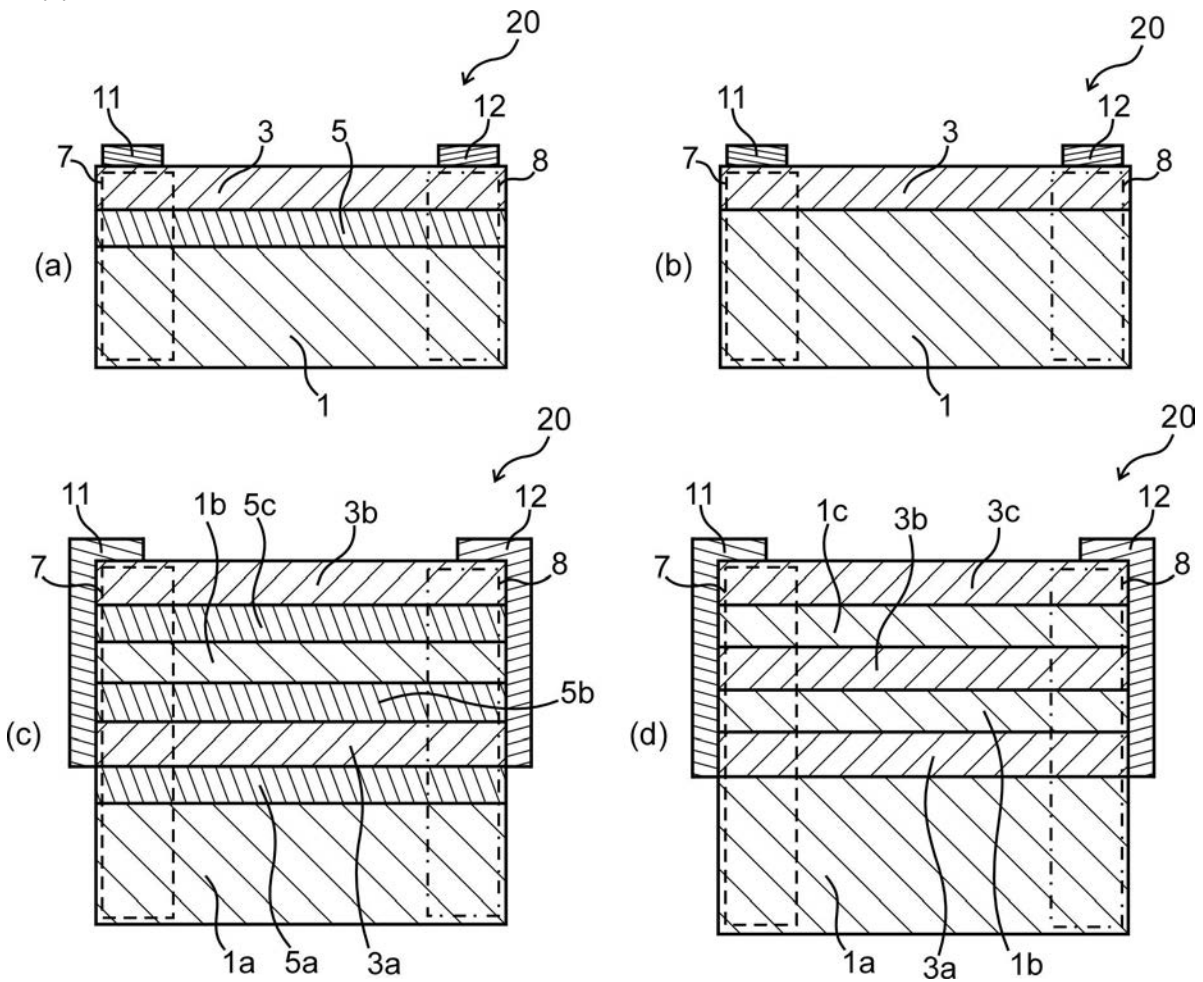
【符号の説明】

【0052】

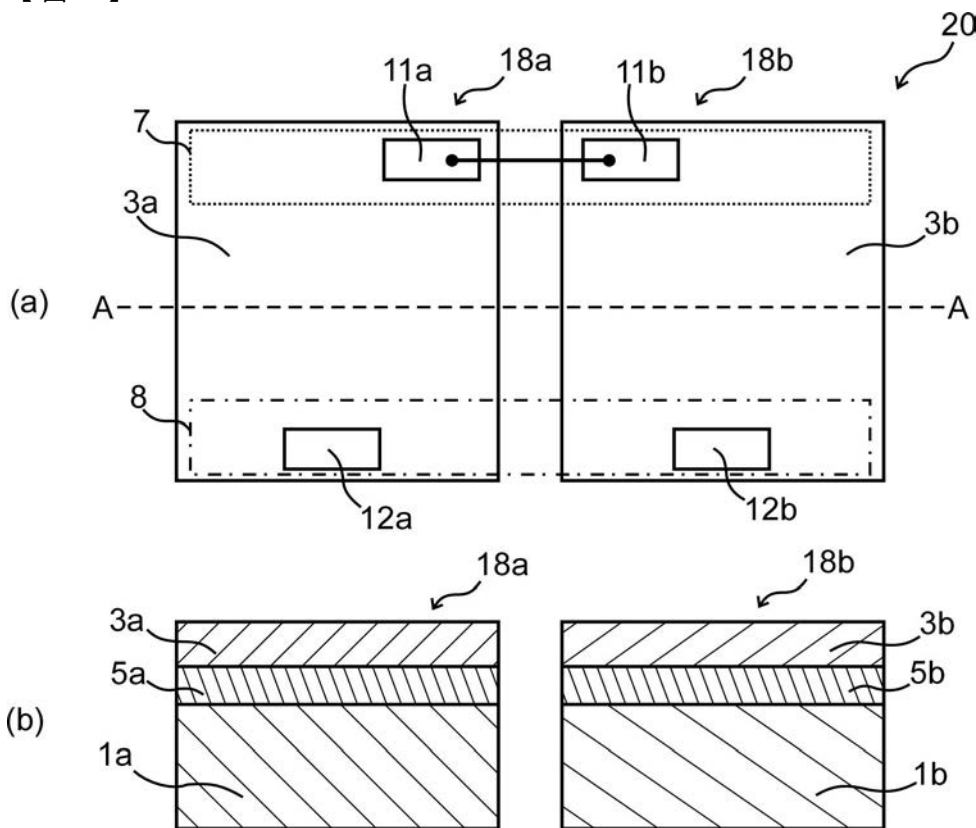
1、1a、1b、1c：半導体層（半導体基板） 3、3a、3b、3c：熱電変換層
 5、5a、5b、5c：絶縁体層 7：高温側領域 8：低温側領域
 11、11a、11b：高温側電極 12、12a、12b：低温側電極 14：基板
 16：高温側熱電対 17：低温側熱電対 18、18a、18b：積層体
 20：熱電変換素子 22：アルミニウム板 23：冷却水流路 25：ヒーター
 26：電圧計 28：測定試料

20

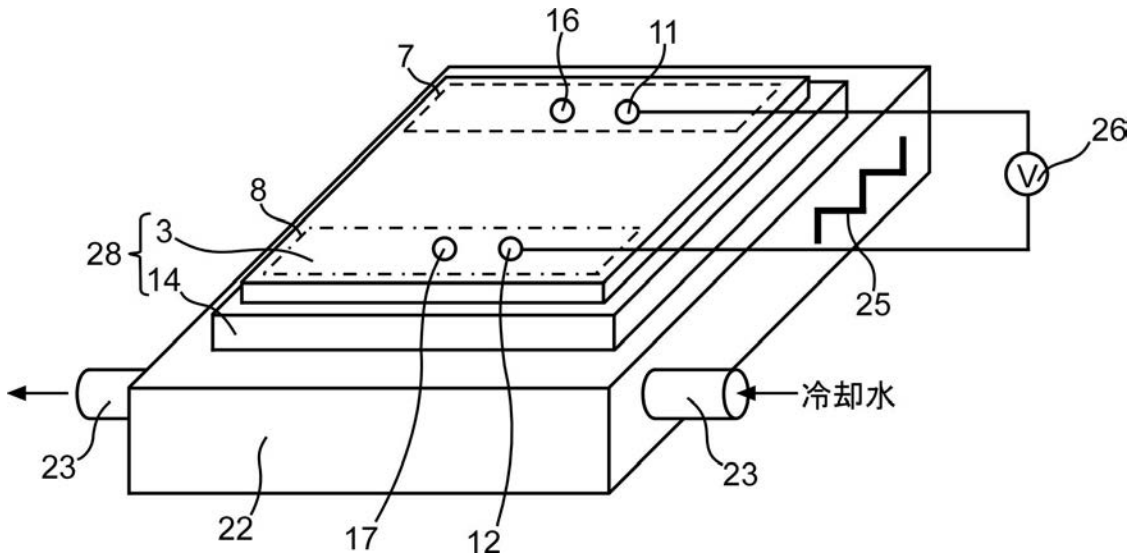
【 図 1 】



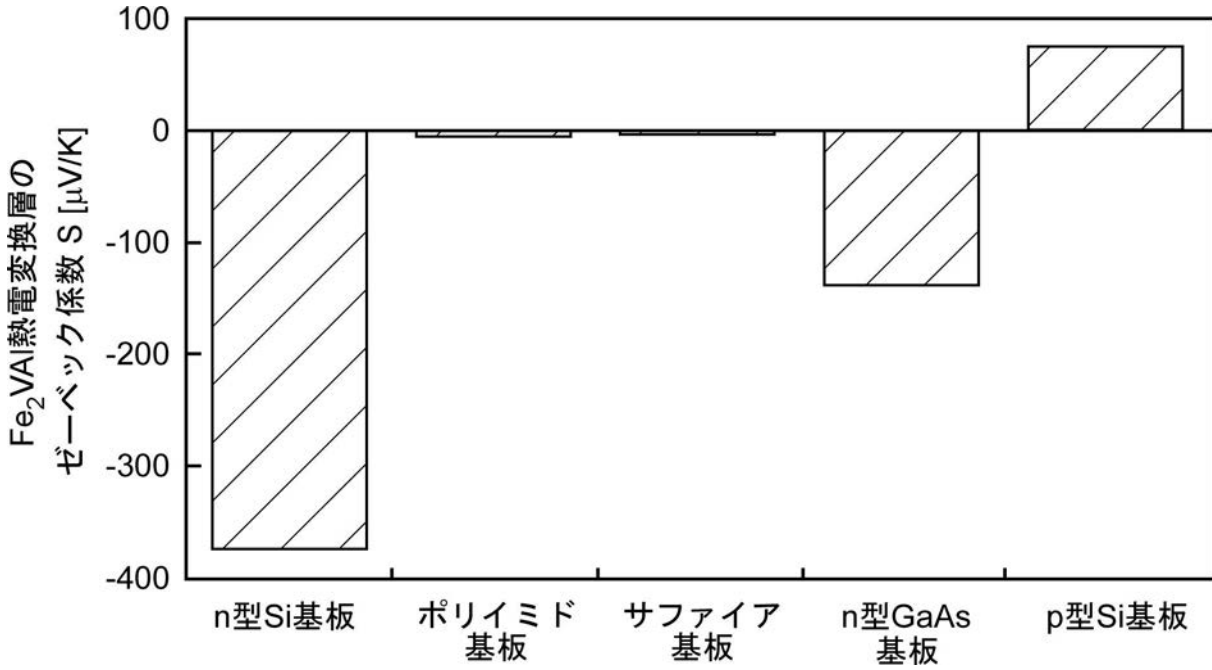
【 図 2 】



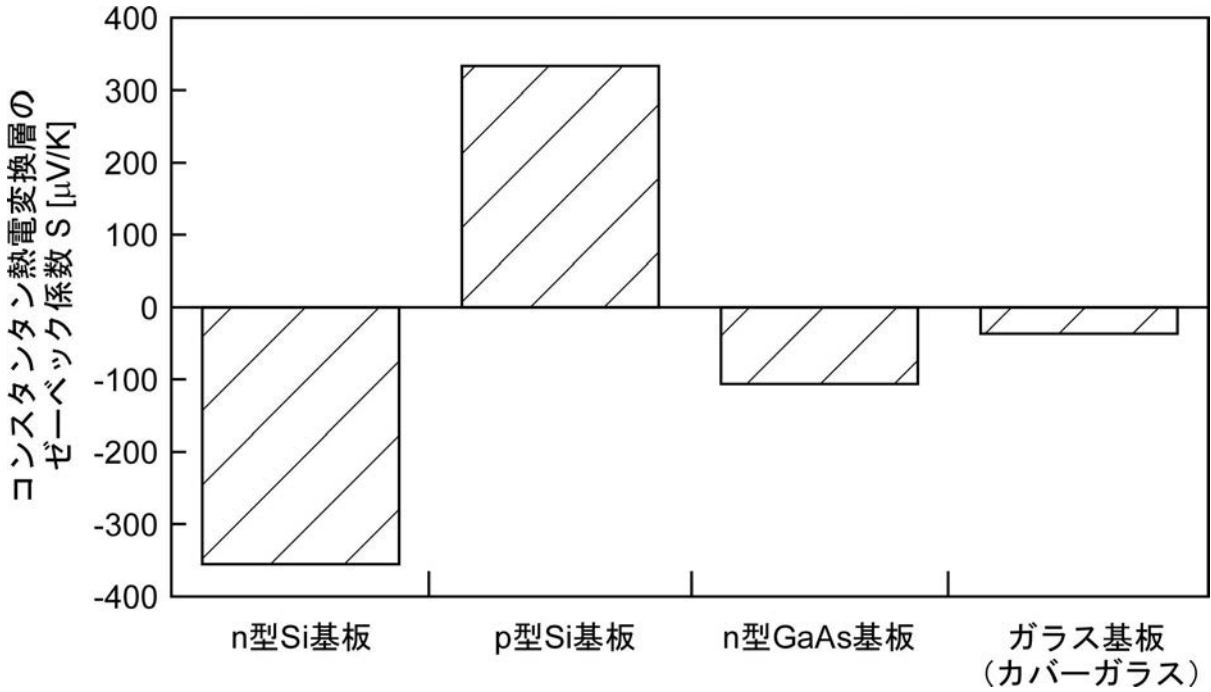
【図3】



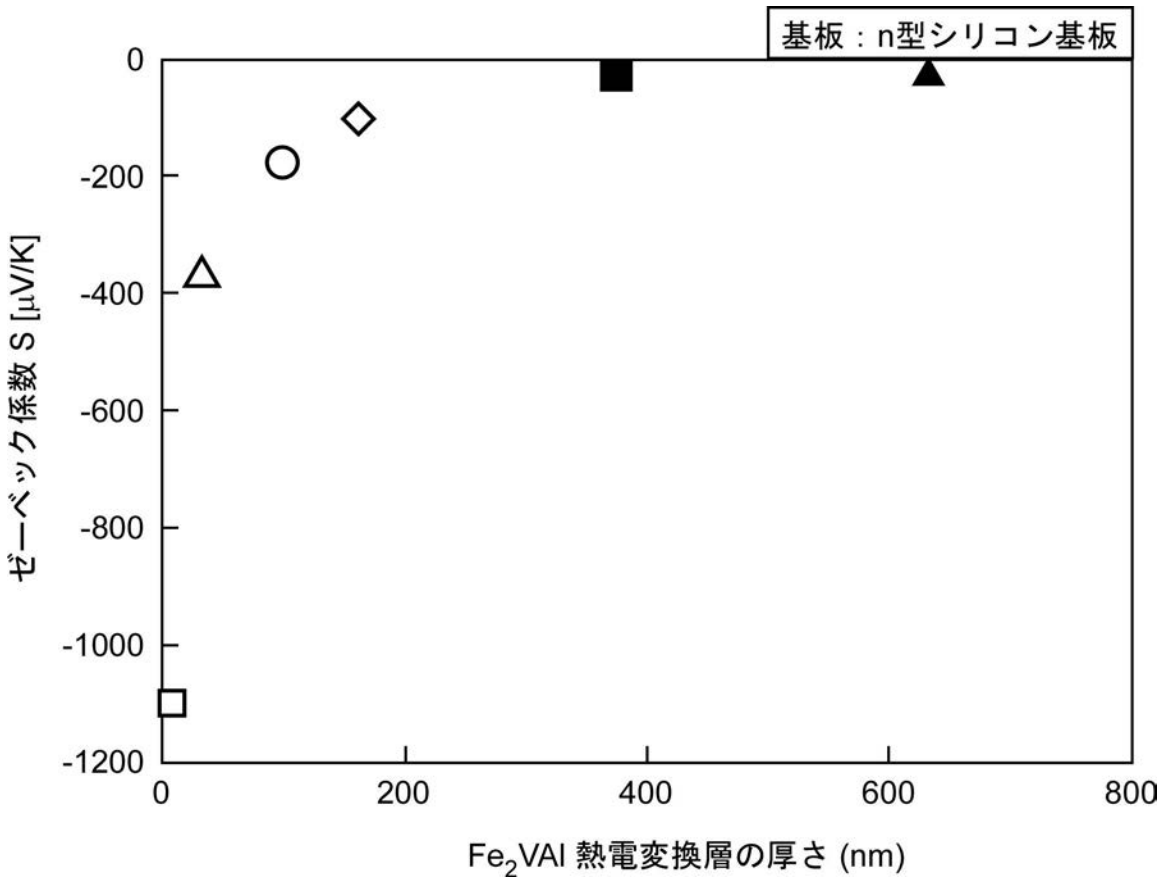
【図4】



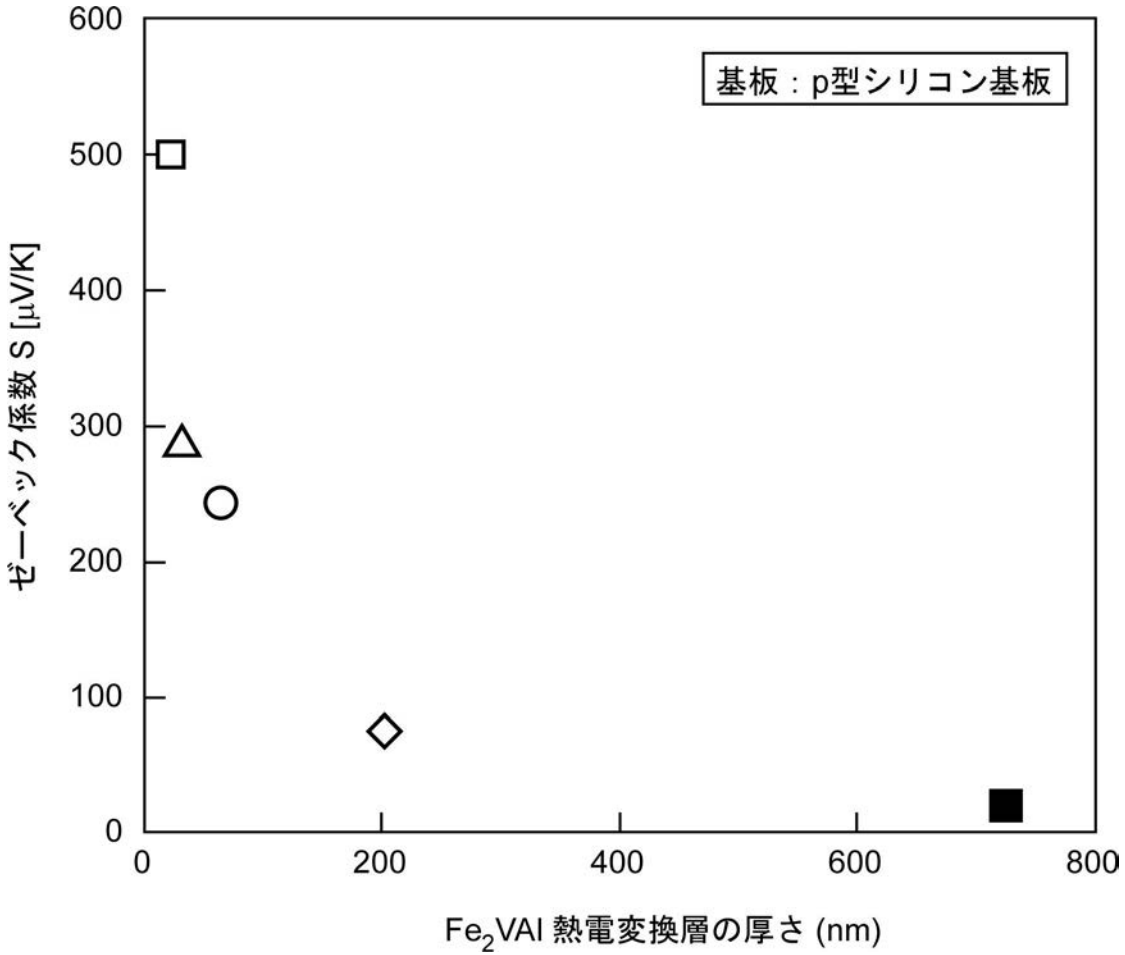
【図5】



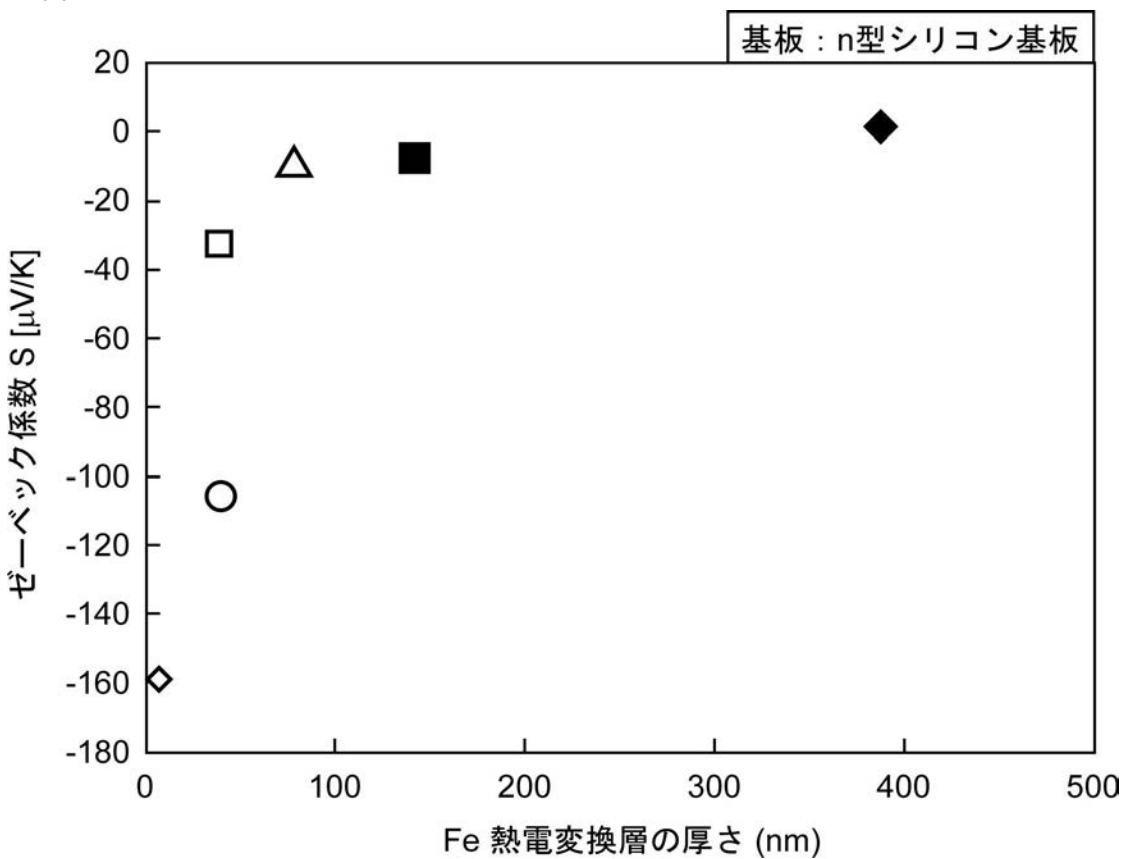
【図6】

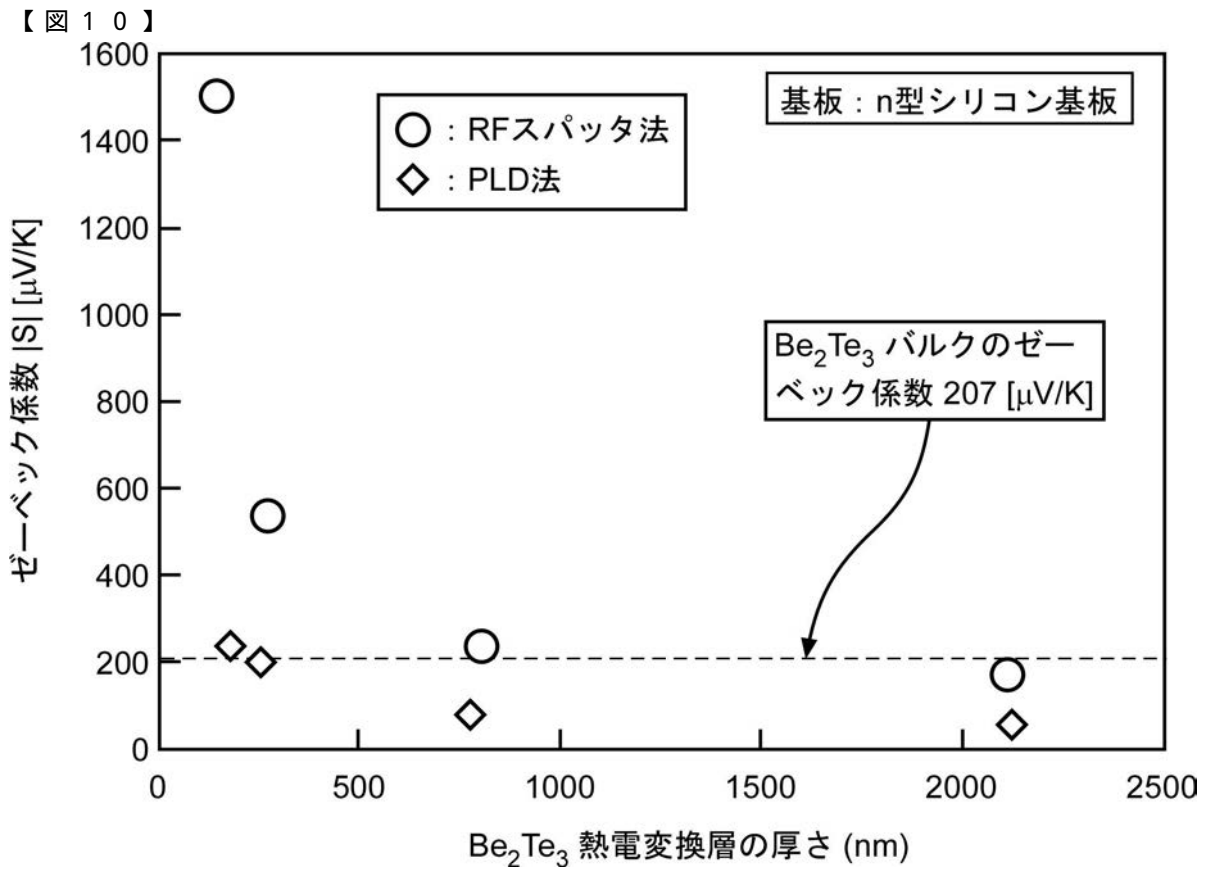
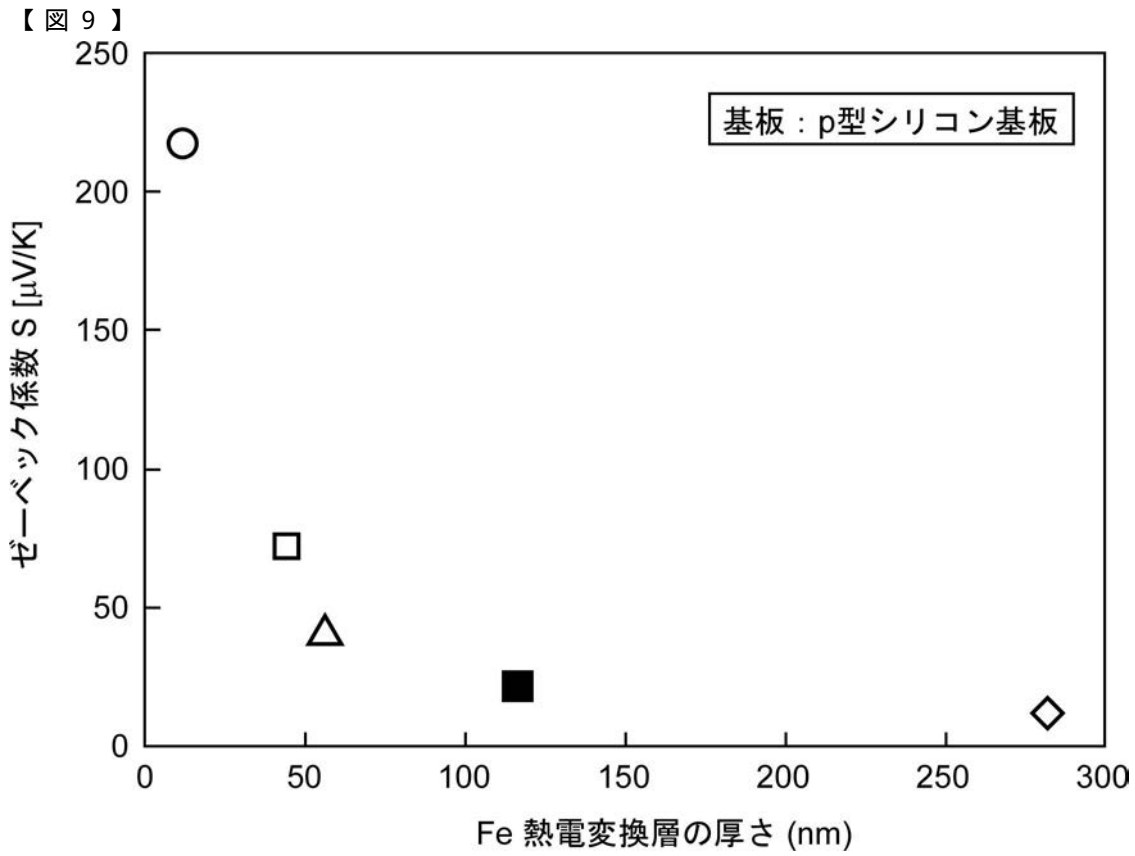


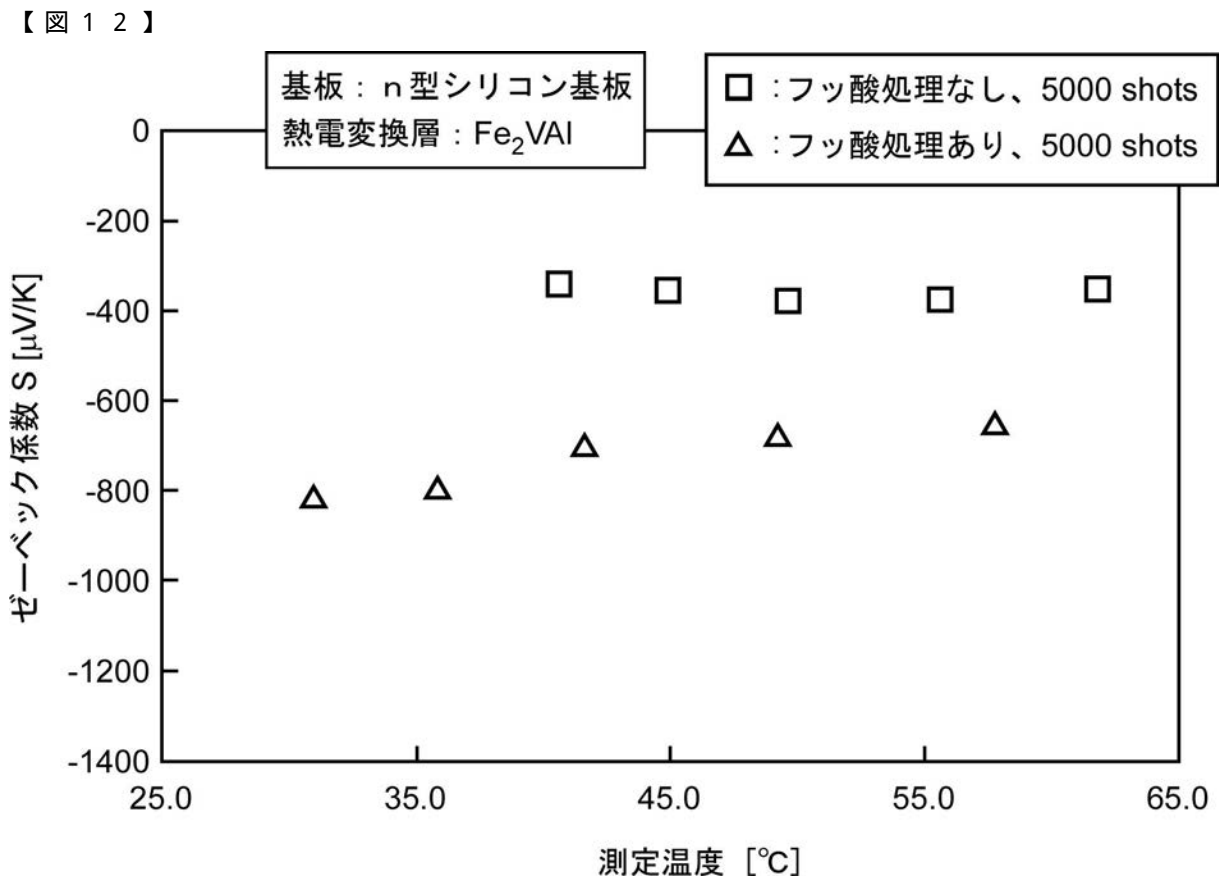
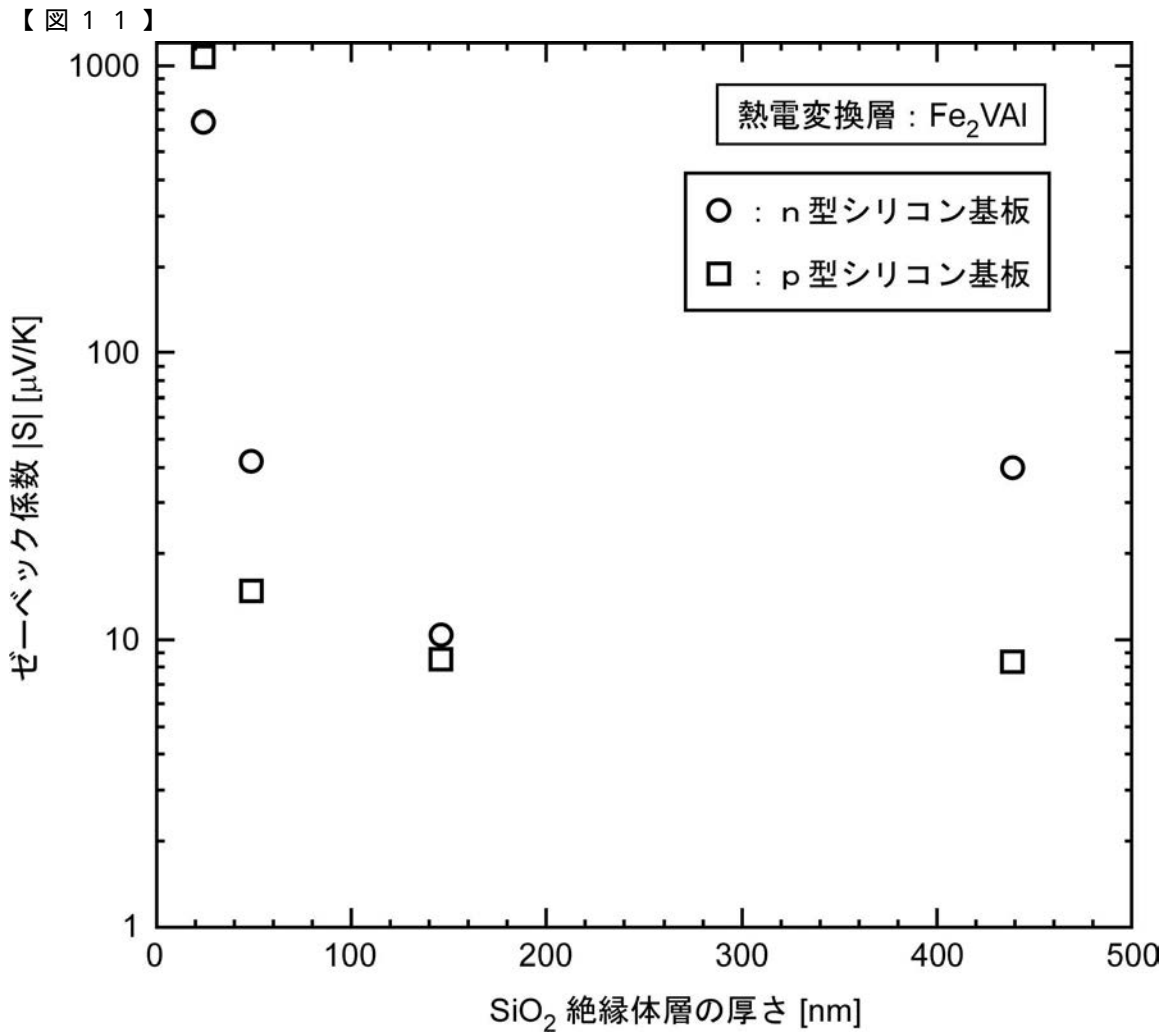
【 図 7 】



【 図 8 】







フロントページの続き

(72)発明者 林 将太

大阪府堺市中央区学園町1番1号 公立大学法人大阪府立大学内

(72)発明者 河野 弘毅

大阪府堺市中央区学園町1番1号 公立大学法人大阪府立大学内