

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第5260810号
(P5260810)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl. F I
H O 1 L 29/82 (2006.01) H O 1 L 29/82 Z

請求項の数 10 (全 13 頁)

| | | | |
|---------------|------------------------------|-----------|--|
| (21) 出願番号 | 特願2013-502951 (P2013-502951) | (73) 特許権者 | 503360115 独立行政法人科学技術振興機構 埼玉県川口市本町四丁目1番8号 |
| (86) (22) 出願日 | 平成24年8月21日(2012.8.21) | (74) 代理人 | 100087480 弁理士 片山 修平 |
| (86) 国際出願番号 | PCT/JP2012/071025 | (72) 発明者 | 好田 誠 宮城県仙台市青葉区米ヶ袋3-4-13-201 |
| 審査請求日 | 平成25年2月4日(2013.2.4) | (72) 発明者 | 新田 淳作 宮城県仙台市青葉区大手町2-25-1506 |
| (31) 優先権主張番号 | 特願2011-180767 (P2011-180767) | (72) 発明者 | 小林 研介 京都府宇治市五ヶ庄官有地京大職員宿舍212 |
| (32) 優先日 | 平成23年8月22日(2011.8.22) | | |
| (33) 優先権主張国 | 日本国(JP) | | |
| 早期審査対象出願 | | | |

最終頁に続く

(54) 【発明の名称】 整流装置、トランジスタおよび整流方法

(57) 【特許請求の範囲】

【請求項1】

半導体からなり電子が走行する一次元チャネルと、
前記一次元チャネルに電界を印加することにより、前記一次元チャネルを走行する電子にスピン軌道相互作用に起因する有効磁場を前記電子が走行する方向と交差する方向に生成させる電極と、

前記一次元チャネルに外部磁場を生成する外部磁場生成部と、
を具備することを特徴とする整流装置。

【請求項2】

前記一次元チャネルは量子ポイントコンタクトであることを特徴とする請求項1記載の整流装置。 10

【請求項3】

前記外部磁場生成部は、前記外部磁場を、前記有効磁場の方向または前記有効磁場と反対方向に生成することを特徴とする請求項1記載の整流装置。

【請求項4】

前記一次元チャネルは、閃亜鉛鉱型結晶構造を有することを特徴とする請求項1から3のいずれか一項記載の整流装置。

【請求項5】

前記一次元チャネルは、(001)面または(110)面上に形成されていることを特徴とする請求項4記載の整流装置。 20

【請求項 6】

前記一次元チャネルは、前記電子が走行する方向に対し両側からくびれた箇所形成される半導体であることを特徴とする請求項 1 から 5 のいずれか一項記載の整流装置。

【請求項 7】

前記一次元チャネルの前記くびれた箇所の両側に空乏層を形成するサイドゲートを具備することを特徴とする請求項 6 記載の整流装置。

【請求項 8】

請求項 1 から 7 のいずれか一項記載の整流装置を含むトランジスタ。

【請求項 9】

前記一次元チャネルに電子を注入するソースと、
前記一次元チャネルから電子を受け取るドレインと、を具備し、
前記電極はゲート電極であることを特徴とする請求項 8 記載のトランジスタ。

10

【請求項 10】

半導体からなり電子が走行している一次元チャネルに、電界を印加することにより、前記一次元チャネルを走行している電子にスピン軌道相互作用に起因する有効磁場を前記電子が走行している方向と交差する方向に生成させるステップと、
前記一次元チャネルに外部磁場を生成するステップと、
を含むことを特徴とする整流方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、整流装置、トランジスタおよび整流方法に関し、特に、スピン軌道相互作用を用いた整流装置、トランジスタおよび整流方法に関する。

【背景技術】

【0002】

スピンを用いたスピントロニクスはその実用化が期待されている。スピントロニクスの分野において、強磁性体の磁化方向によるメモリ機能を有する装置が開発されている。また、非特許文献 1 では、スピン軌道相互作用に起因する有効磁場を活用したスピン電界効果トランジスタが提案されている。このようなスピントロニクスの分野においては、スピン偏極率の高いスピンインジェクタが求められる。

30

【先行技術文献】

【非特許文献】

【0003】

【非特許文献 1】APPI. Phys. Lett. 56, 665 (1990)

【発明の概要】

【発明が解決しようとする課題】

【0004】

このようなスピントロニクスの分野においては、一方方向に電子を流すとスピン偏極率の電子が得られるが、反対方向には電子が流れない整流装置が求められている。このような整流装置を用いスピンの整流を行なうことができる。本発明は、一方方向に電子を流すとスピン偏極率の高い電子が得られるが、反対方向には電子が流れない整流装置および整流方法、並びにそれらを用いたトランジスタを提供することを目的とする。

40

【課題を解決するための手段】

【0005】

本発明は、半導体からなり電子が走行する一次元チャネルと、前記一次元チャネルに電界を印加することにより、前記一次元チャネルを走行する電子にスピン軌道相互作用に起因する有効磁場を前記電子が走行する方向と交差する方向に生成させる電極と、前記一次元チャネルに外部磁場を生成する外部磁場生成部と、を具備することを特徴とする整流装置である。本発明によれば、一方方向に電子を流すとスピン偏極率の高い電子が得られるが、反対方向には電子が流れない整流装置を提供することができる。

50

【0006】

上記構成において、前記一次元チャネルは量子ポイントコンタクトである構成とすることができる。

【0007】

上記構成において、前記外部磁場生成部は、前記外部磁場を、前記有効磁場の方向または前記有効磁場と反対方向に生成する構成とすることができる。

【0008】

上記構成において、前記一次元チャネルは、閃亜鉛鉱型結晶構造を有する構成とすることができる。

【0009】

上記構成において、前記一次元チャネルは、(001)面または(110)面上に形成されている構成とすることができる。

【0010】

上記構成において、前記一次元チャネルは、前記電子が走行する方向に対し両側からくびれた箇所に形成される半導体である構成とすることができる。

【0011】

上記構成において、前記一次元チャネルの前記くびれた箇所の両側に空乏層を形成するサイドゲートを具備する構成とすることができる。

【0012】

本発明は、上記整流装置を含むトランジスタである。

【0013】

上記構成において、前記一次元チャネルに電子を注入するソースと、前記一次元チャネルから電子を受けるドレインと、を具備し、前記電極はゲート電極である構成とすることができる。

【0014】

本発明は、半導体からなり電子が走行している一次元チャネルに、電界を印加することにより、前記一次元チャネルを走行している電子にスピン軌道相互作用に起因する有効磁場を前記電子が走行している方向と交差する方向に生成させるステップと、前記一次元チャネルに外部磁場を生成するステップと、を含むことを特徴とする整流方法である。本発明によれば、一方方向に電子を流すとスピン偏極率の高い電子が得られるが、反対方向には電子が流れない整流方法を提供することができる。

【発明の効果】

【0015】

本発明によれば、一方方向に電子を流すとスピン偏極率の高い電子が得られるが、反対方向には電子が流れない整流装置および整流方法、並びにそれらを用いたトランジスタを提供することができる。

【図面の簡単な説明】

【0016】

【図1】図1(a)は、実施例1に係る整流装置の上面図、図1(b)は、図1(a)のX-X断面図、図1(c)は、図1(a)のY-Y断面図である。

【図2】図2は、実施例1に係る整流装置の平面模式図である。

【図3】図3(a)および図3(b)は、量子ポイントコンタクトを走行する電子に加わる有効磁場を説明する図である。

【図4】図4は、サンプルの半導体積層構造を示す図である。

【図5】図5(a)は、サイドゲート電圧に対するソース-ドレイン間のコンダクタンス、図5(b)は、サイドゲート電圧に対するスピン偏極率を示す図である。

【図6】図6(a)および図6(b)は、実施例1に係る整流装置の原理を説明する図である。

【図7】図7(a)および図7(b)は、電子の走行方向に依存したスピン分裂準位の模式図である。

10

20

30

40

50

【図 8】図 8 (a) および図 8 (b) は、実施例 2 に係るトランジスタの原理を説明する図である。

【図 9】図 9 (a) および図 9 (b) は、電子の走行方向に依存したスピン分裂準位の模式図である。

【図 10】図 10 (a) および図 10 (b) は、実施例 3 の動作を説明する平面模式図である。

【発明を実施するための形態】

【 0 0 1 7 】

以下、本発明の実施例を、図面を参照に説明する。

【実施例 1】

【 0 0 1 8 】

図 1 (a) は、実施例 1 に係る整流装置の上面図、図 1 (b) は、図 1 (a) の X - X 断面図、図 1 (c) は、図 1 (a) の Y - Y 断面図である。図 1 (a) から図 1 (c) のように、(0 0 1) 面半導体基板 1 0 上に、半導体層 1 1 として障壁層 1 2、井戸層 1 4 および障壁層 1 6 が順に形成されている。半導体層 1 1 には、基板 1 0 まで達する溝 3 0 が形成されている。井戸層 1 4 のバンドギャップを障壁層 1 2 および 1 6 より小さくすることにより、電子を井戸層 1 4 付近に閉じ込めることができる。これにより、井戸層 1 4 内には二次元チャネルが形成される。井戸層 1 4 に接するようにソース 2 0 およびドレイン 2 2 が形成されている。

【 0 0 1 9 】

溝 3 0 は、ソース 2 0 からドレイン 2 2 に走行する電子が通過する一次元チャネル 1 8 が形成されるように、半導体層 1 1 の両側面から V 字状に形成されている。これにより、半導体層 1 1 (特に井戸層 1 4) にくびれが形成される。このように、井戸層 1 4 により二次元チャネルを形成し、溝 3 0 によりくびれからなる一次元チャネル 1 8 を形成する。障壁層 1 6 上には絶縁膜 2 4 が形成されている。絶縁膜 2 4 上には、金属からなるゲート電極 2 6 が形成されている。ゲート電極 2 6 は、一次元チャネル 1 8 に電界を印加する。溝 3 0 によりチャネルから分離された半導体層 1 1 の領域 3 4 には、サイドゲート 3 2 が接触している。サイドゲート 3 2 により、領域 3 4 の半導体層 1 1 にサイドゲート電圧を印加することができる。さらに、一次元チャネル 1 8 に外部磁場 B_{ex} を印加する外部磁場生成部 3 8 が設けられている。外部磁場生成部 3 8 としては、磁化した強磁性体を用いることができる。また、電流により外部磁場を生成するものでもよい。

【 0 0 2 0 】

図 2 は、実施例 1 に係る整流装置の平面模式図である。図 2 には、半導体層 1 1、ソース 2 0、ドレイン 2 2 およびサイドゲート 3 2 が図示されている。図 2 の左から右方向 (ソース 2 0 からドレイン 2 2 方向) を + X 方向、の下から上方向を + Y 方向、奥行きから手前方向を + Z 方向とする。サイドゲート 3 2 は、図 1 (a) の領域 3 4 と一体に図示している。ドレイン 2 2 にはソース 2 0 に対しドレイン電圧 V_{ds} が印加される。サイドゲート 3 2 には、ソース 2 0 に対しサイドゲート電圧 V_{SG} が印加されている。正のドレイン電圧 V_{ds} を印加することにより、ソース 2 0 からドレイン 2 2 に電子が走行する。負のドレイン電圧 V_{ds} を印加することにより、ドレイン 2 2 からソース 2 0 に電子が走行する。なお、このとき、ドレイン 2 2 およびソース 2 0 は実質的にはそれぞれソースおよびドレインとして機能する。負のサイドゲート電圧 V_{SG} を印加することにより、溝 3 0 付近の半導体層 1 1 (特に井戸層 1 4) に空乏層 3 6 が形成される。空乏層 3 6 間に一次元チャネル 1 8 が形成される。サイドゲート電圧 V_{SG} の大きさにより、一次元チャネル 1 8 の幅を調整することができる。一次元チャネル 1 8 として振舞うには、一次元チャネル 1 8 の幅は、フェルミ波長程度以下の幅であり、50 nm ~ 100 nm 以下の幅とすることが好ましい。図 2 のように、チャネルの幅が 100 nm 程度以下であり、チャネル方向のくびれの長さが 500 nm 程度以下のポイント状に形成された一次元チャネル 1 8 を量子ポイントコンタクトという。

【 0 0 2 1 】

10

20

30

40

50

図3(a)および図3(b)は、量子ポイントコンタクトを走行する電子に加わる有効磁場を説明する図である。図3(a)のように、ドレイン電圧 V_{ds} が正であり、電子40が+X方向に走行している。ゲート電極26により、一次元チャンネルに+Z方向の電界Eが印加されている。この場合、一次元チャンネル18を走行(矢印44)する電子40には+Y方向に有効磁場 B が印加される。このように半導体におけるスピン軌道相互作用は電子に対し有効磁場として作用する。有効磁場は、電子が走行することにより受ける磁場である。例えば、閃亜鉛鋅型結晶構造を有する化合物半導体にはラシュバスピン軌道相互作用とドレッセルハウススピン軌道相互作用との2種類が存在している。ドレッセルハウススピン軌道相互作用の強さは、電子が走行する方向によって定まり、電界によらず一定である。ラシュバスピン軌道相互作用の強さは、電界により可変である。図3(a)および図3(b)の有効磁場 B はラシュバスピン軌道相互作用により生成されるものである。有効磁場 B の大きさは、電子の走行速度が速くなると大きくなる。一次元チャンネル18を通過した電子42は、有効磁場 B により+Y方向にスピン偏極(矢印41a)する。

10

【0022】

一次元チャンネル18を通過する電子を有効磁場 B を用いスピン偏極させることにより、スピン偏極率を向上させることができる。一般に、2次元または3次元に走行する電子は、格子振動等の散乱によりドリフト速度により走行する。このため、電子に作用する有効磁場 B は小さい。一方、量子ポイントコンタクトにおける一次元チャンネル18を走行する電子は、電子の平均自由工程がくびれの長さより十分長くなる。この場合、電子は一次元チャンネル18を弾道的に通過する。これにより、電子はフェルミ速度により一次元チャンネル18を走行する。フェルミ速度はドリフト速度の100倍以上である。このため、一次元チャンネル18においては、電子に作用する有効磁場 B を大きくすることができる。よって、電子42のスピン偏極率を大きくすることができる。

20

【0023】

図3(b)のように、ドレイン電圧 V_{ds} が負であり電子40が-X方向に走行している。電子40が-X方向に走行する場合、一次元チャンネル18において有効磁場 B は-Y方向に生成される。よって、電子42は-Y方向にスピン偏極(矢印41b)する。電子42のスピン偏極率を向上できるのは、図3(a)と同様である。なお、ゲート電極26に印加される電圧を反転し、一次元チャンネル18に印加される電界を-Z方向とすると、有効磁場 B の方向は、逆となる。すなわち、ドレイン電圧 $V_{ds} > 0$ の場合有効磁場 B の方向は-Y方向となり、電子42は-Y方向にスピン偏極される。ドレイン電圧 $V_{ds} < 0$ の場合有効磁場 B の方向は+Y方向となり、電子42は+Y方向にスピン偏極される。

30

【0024】

スピン偏極率を測定するためサンプルを作成した。図4は、サンプルの半導体積層構造を示す図である。基板10から順に、バッファ層50、障壁層12、第1半導体層52、第2半導体層54、第3半導体層56および障壁層16が積層されている。第1半導体層52から第3半導体層56が井戸層14に対応する。基板10は半絶縁性InP基板であり、(001)面を主面としている。バッファ層50は、膜厚が200nmでアンドープの $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層と、電子濃度が $4 \times 10^{18} \text{ cm}^{-3}$ で膜厚が6nmの $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層である。障壁層12は、膜厚が15nmでアンドープの $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層である。第1半導体層52は膜厚が5nmでアンドープの $(\text{In}_{0.53}\text{Ga}_{0.47}\text{As})_{0.41}(\text{InP})_{0.59}$ 層である。第2半導体層54は、膜厚が5nmでアンドープの $\text{In}_{0.8}\text{Ga}_{0.2}\text{As}$ 層である。第3半導体層56は、膜厚が3nmでアンドープの $(\text{In}_{0.52}\text{Al}_{0.48}\text{As})_{0.3}(\text{In}_{0.53}\text{Ga}_{0.47}\text{As})_{0.7}$ 層である。障壁層16は、膜厚が25nmでアンドープの $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層である。 $\text{In}_{0.53}\text{Al}_{0.47}\text{As}$ および $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ は、InPと格子整合するため、第2半導体層54以外はInPと格子整合し、図4の半導体積層構造は、格子歪の少ない構造となる。

40

50

【0025】

絶縁膜24は、原子層堆積装置を用い形成された、膜厚が150nmの酸化アルミニウム(Al_2O_3)である。ゲート電極26は、絶縁膜24側から膜厚が10nmのCr膜、膜厚が200nmのAu膜である。ソース20およびドレイン22は、膜厚が200nmのAuGeNi膜である。サイドゲート32は、障壁層16の上に形成された膜厚が200nmのAuGeNi膜である。溝30は、幅が約400nmであり、図1(a)の幅W1が400nm、幅W2が800nmとなるように形成する。

【0026】

作製したサンプルを用い、Fano因子からスピン偏極率を測定した。ドレイン電圧 V_{ds} は10 μ V、ゲート電圧は1.7Vとした。測定温度は3.6Kである。図5(a)は、サイドゲート電圧 V_{SG} に対するソース-ドレイン間のコンダクタンス G 、図5(b)は、サイドゲート電圧 V_{SG} に対するスピン偏極率を示す図である。量子ポイントコンタクトにおいては、電気伝導が離散化される。コンダクタンス G が $(2e^2/h)$ を単位として整数倍のところステップ構造があらわれる。コンダクタンス G が $1 \times (2e^2/h)$ の場合は、量子ポイントコンタクトの部分に電子が伝導するチャンネルが一本のみ存在すること示している。この状態において、電子の有効磁場が働くと、アップスピンまたはダウンスピンのみが通過することになる。よって、コンダクタンス G は $0.5 \times (2e^2/h)$ となる。

【0027】

図5(a)のように、サイドゲート電圧 V_{SG} が、-3.26Vから-3.17Vの範囲において、 $(2e^2/h)$ で規格化したコンダクタンス G がほぼ0.5となっている。これは、量子ポイントコンタクトがアップスピンまたはダウンスピンのみの一次元チャンネルとして機能していることを示している。図5(b)のように、一次元チャンネル18として機能しているサイドゲート電圧 V_{SG} が、-3.26Vから-3.17Vの範囲において、0.5~0.7と高いスピン偏極率が得られる。以上のように、強磁性体を用いず高い偏極率の電子を生成することができる。

【0028】

図6(a)および図6(b)は、実施例1に係る整流装置の原理を説明する図である。図7(a)および図7(b)は、電子の走行方向に依存したスピン分裂準位の模式図である。図6(a)および図6(b)のように、外部磁場生成部38により、-Y方向に外部磁場 B_{ex} が生成されている。図6(a)のように、ドレイン電圧 V_{ds} が正であり、電子が+X方向に走行している。この場合、電子40に加わる有効磁場 B は+Y方向である。図7(a)のように、外部磁場 B_{ex} が0の場合、電子40は有効磁場 B により準位がスピン分離する。この場合、+Y方向にスピン偏極したスピン準位 E_1 が-Y方向にスピン偏極したスピン準位 E_2 に対し低くなる。外部磁場 B_{ex} が-Y方向に印加された場合(すなわち $B_{ex} < 0$ の場合)、外部磁場 B_{ex} の方向が有効磁場 B の方向とは反対となる。このため、 $B_{ex} = 0$ に比べ、スピン準位 E_1 は高くなり、スピン準位 E_2 は低くなる。外部磁場 B_{ex} が印加されることにより、スピン準位 E_1 が高くなるエネルギー E は、 $1/2 g \mu_B B_{ex}$ である。ここで、 g は g 因子、 μ_B は透磁率である。

【0029】

図6(b)のように、ドレイン電圧 V_{ds} が負であり、電子が-X方向に走行している。この場合、電子40に加わる有効磁場 B は-Y方向である。図7(b)のように、外部磁場 B_{ex} が0の場合、電子40は有効磁場 B により準位がスピン分離する。この場合、-Y方向のスピン準位 E_2 がY方向のスピン準位 E_1 に対し低くなる。外部磁場 $B_{ex} < 0$ が印加された場合、外部磁場 B_{ex} の方向が有効磁場 B の方向と同じである。このため、 $B_{ex} = 0$ に比べ、スピン準位 E_2 は低くなり、スピン準位 E_1 は高くなる。外部磁場 B_{ex} が印加されることにより、スピン準位 E_2 が低くなるエネルギー E は、 $1/2 g \mu_B B_{ex}$ である。

【0030】

図7(a)においては、電子40は有効磁場 B によりY方向にスピン偏極する(図6

10

20

30

40

50

(a)参照)。しかし、外部磁場 B_{ex} により、+Y方向のスピン準位 E_1 のエネルギーが高くなる。例えば、スピン準位 E_1 がフェルミ準位 E_F より高くなる。このため、-Y方向にスピン偏極した電子のX方向への走行は妨げられる。一方、図7(b)においては、電子40は有効磁場 B により-Y方向にスピン偏極する(図6(b)参照)。外部磁場 B_{ex} により、-Y方向のスピン準位 E_2 のエネルギーが低くなる。例えば、スピン準位 E_2 がフェルミ準位 E_F より低くなる。このため、電子の-X方向への走行は促進される。このように、同じ電圧を印加しても電子スピンの方向により電子の流れ易さが異なるスピンラチェット状態を実現できる。以上のように、実施例1の整流装置は、-X方向に電子を流すと-Y方向にスピン偏極(図6(b)の矢印41b)したスピン偏極率の高い電子が得られるが、+X方向には電子が流れない整流装置となる。また、ゲート電極26に印加する電圧を反転し、一次元チャネル18における電界を-Z方向とすることにより、X方向に電子を流すとY方向にスピン偏極したスピン偏極率の高い電子が得られるが、-X方向には電子が流れない整流装置となる。

10

【0031】

実施例1によれば、ゲート電極26が、一次元チャネル18に電界を印加することにより、一次元チャネル18を走行する電子にスピン軌道相互作用に起因する有効磁場 B を電子が走行する方向に交差する方向に生成させる。外部磁場生成部38が、一次元チャネル18に外部磁場 B_{ex} を生成させる。これにより、図6(a)から図7(b)を用い説明したように、一方方向に電子を流すとスピン偏極率の高い電子が得られるが、反対方向には電子が流れない整流装置が得られる。

20

【0032】

一次元チャネル18は、図2のように、量子ポイントコンタクトを用い形成することができる。

【0033】

外部磁場生成部38が生成する外部磁場 B_{ex} は、有効磁場 B に対し直交していないことが好ましい。これにより、 E を大きくでき、より整流特性を向上できる。特に、外部磁場 B_{ex} は、図7(b)のように有効磁場 B の方向または図7(a)のように有効磁場 B と反対方向に生成することが好ましい。これにより、図7(a)および図7(b)の E を最も大きくでき、より整流特性を向上できる。

30

【0034】

ラシュバスピン軌道相互作用を用いるため、一次元チャネル18は、閃亜鉛型結晶構造を有することが好ましい。特に、III-V族化合物半導体であることが好ましい。例えば、一次元チャネル18としてGaAs、InAs、AlAs、GaP、InP、AlP、GaSb、InSb、AlSb、GaN、InNおよびAlNを用いることができる。また、これらの混晶を用いることができる。また、一次元チャネル18として、II-IV族化合物半導体を用いることもできる。

【0035】

一次元チャネル18が閃亜鉛型結晶構造を有する場合、有効磁場 B を得るため(001)面、(110)面、またはこれらの面に等価な面上に形成されていることが好ましい。一次元チャネル18における電子の走行方向は、面内方向のいずれの方向でもよい。

40

【0036】

図2のように、一次元チャネル18は、電子が走行する方向に対し両側からくびれた箇所形成される半導体である。このように、半導体層11(特に井戸層14)にくびれを設けることにより量子ポイントコンタクトを形成することができる。

【0037】

さらに、井戸層14のくびれた箇所の両側に空乏層を形成するサイドゲート32を設ける。これにより、くびれた箇所の両側の空乏層のより、図5(a)のように、一次元チャネル18を形成することができる。

【0038】

実施例1に係る整流装置を用いれば、例えば量子コンピューティングにおける量子ビット

50

トの初期化に用いることができる。量子コンピューティングにおいては、最初に電子スピンを一方向に揃えて（これを初期化という）から計算を行なう。量子コンピューティングにおいては、例えば量子ビットを1量子ビットとして用いられる。量子ビットの中にスピン偏極した電子を注入するには、量子ビットと同程度のサイズ（例えば数100nm）のスピン注入源を用いることが好ましい。例えば、強磁性体を用い半導体にスピン注入を行なう場合、数100nmサイズでのスピン注入は実現されていない。実施例1においては、100nm程度の一次元チャネルによりスピン注入できることから、スピンの方向が揃った電子を量子ビットに注入することができる。これにより、本整流装置を例えば量子コンピューティングにおける量子ビットの初期化に用いることができる。

【0039】

10

さらに、実施例1に係る整流装置は、例えばスピン電界効果トランジスタなどに用いることもできる。スピン電界効果トランジスタにおいては、強磁性体を用い半導体にスピン注入を行なう。このため、強磁性体と半導体との高品位ヘテロ接合を形成することになる。よって、高度な薄膜形成技術を要する。一方、本整流装置においては、半導体のみを用いスピン偏極を生成することができる。よって、本整流装置は、強磁性体を用いる場合に比べ、より半導体デバイスに適したスピン偏極源となる。さらに、本整流装置においては、スピン整流効果を利用することにより、ランダムエネルギー変化を利用して、スピンの揃った電流を生成できるため、省電力スピン偏極源として利用することもできる。

【実施例2】

【0040】

20

実施例1に係る整流装置をスピントランジスタとして用いる例を説明する。図8(a)および図8(b)は、実施例2に係るトランジスタの原理を説明する図である。図9(a)および図9(b)は、電子の走行方向に依存したスピン分裂準位の模式図である。図8(a)および図8(b)を参照し、ゲート電極26により、一次元チャネルに-Z方向の電界Eが印加されている。外部磁場生成部38により、-Y方向に外部磁場 B_{ex} が生成されている。図8(a)のように、ドレイン電圧 V_{ds} が正であり、電子40が+X方向に走行している。この場合、電子40に加わる有効磁場 B_{eff} は-Y方向である。

【0041】

図9(a)のように、外部磁場 B_{ex} が0の場合、電子40は有効磁場 B_{eff} により準位がスピン分離する。この場合、-Y方向にスピン偏極したスピン準位 E_2 が+Y方向にスピン偏極したスピン準位 E_1 に対し低くなる。外部磁場 B_{ex} が-Y方向に印加された場合($B_{ex} < 0$ の場合)、外部磁場 B_{ex} の方向が有効磁場 B_{eff} の方向と同じとなる。このため、 $B_{ex} = 0$ に比べ、スピン準位 E_2 は E_1 低くなり、スピン準位 E_1 は高くなる。

30

【0042】

図8(b)のように、ドレイン電圧 V_{ds} が負であり、電子が-X方向に走行している。この場合、電子40に加わる有効磁場 B_{eff} は+Y方向である。図9(b)のように、外部磁場 B_{ex} が0の場合、電子40は有効磁場 B_{eff} により準位がスピン分離する。この場合、+Y方向のスピン準位 E_1 が-Y方向のスピン準位 E_2 に対し低くなる。外部磁場 $B_{ex} < 0$ が印加された場合、外部磁場 B_{ex} の方向は有効磁場 B_{eff} の方向とは反対である。このため、 $B_{ex} = 0$ に比べ、スピン準位 E_1 は E_2 高くなり、スピン準位 E_2 は低くなる。

40

【0043】

ゲート電極26により、一次元チャネルに-Z方向の電界Eが印加されている場合は、図8(a)、図9(a)のように、外部磁場 B_{ex} により、-Y方向のスピン準位 E_2 のエネルギーがフェルミ準位 E_F より低くなる。このため、-Y方向にスピン偏極(矢印41b)した電子42のX方向への走行が促進される。一方、図8(b)、図9(b)のように、外部磁場 B_{ex} により、+Y方向のスピン準位 E_1 のエネルギーがフェルミ準位 E_F より高くなる。これにより、+Y方向にスピン偏極した電子のX方向への走行は妨げられる。

【0044】

50

以上のように、実施例 2 によれば、ソース 20 が一次元チャネル 18 に電子を注入し、ドレイン 22 が一次元チャネル 18 から電子を受ける場合（すなわち $V_{ds} > 0$ の場合）、ゲート電極 26 に負の電圧を印加すると、図 6 (a) および図 7 (a) のように、ソース 20 からドレイン 22 へ - Y 方向のスピンを有する電子の走行が抑制される。一方、ゲート電極に正の電圧を印加すると、図 8 (a) および図 9 (a) のように、ソース 20 からドレイン 22 へ - Y 方向にスピン偏極した（矢印 41 b）電子 42 が走行する。このように、ゲート電圧により、- Y 方向にスピン偏極した電子の流れをオンまたはオフするトランジスタを実現することができる。

【実施例 3】

【0045】

実施例 2 のトランジスタを 2 つ用いた例を説明する。図 10 (a) および図 10 (b) は、実施例 3 の動作を説明する平面模式図である。図 10 (a) および図 10 (b) 中のクロスは半導体層 11 上にゲート電極 26 が形成されていることを示している。図 10 (a) および図 10 (b) に示すように、実施例 2 において説明したトランジスタ 60 および 62 が複数接続されている。2 つのトランジスタ 60 および 62 のソース 20 は共有されている。

【0046】

図 10 (a) に示すように、ソース 20 とドレイン 22 との間に正のドレイン電圧 V_{ds} を印加する。これにより、トランジスタ 60 においては - X 方向に、トランジスタ 62 においては X 方向に電子が移動しようとする。ゲート電極 26 に正の電圧 V_{gs} を印加する。外部磁場 B_{ex} が - Y 方向に印加されている場合、図 8 (a) および図 8 (b) を用い説明したように、トランジスタ 60 においては、- X 方向に電子 40 は流れない。一方、トランジスタ 62 においては、X 方向に - Y 方向にスピン偏極した電子が流れる。よって、トランジスタ 60 は遮断状態となる。トランジスタ 62 は導通状態となり、スピン偏極した電子がソース 20 からドレイン 22 に流れる。

【0047】

図 10 (b) に示すように、ソース 20 とドレイン 22 との間に正のドレイン電圧 V_{ds} を印加し、かつゲート電極 26 に負の電圧 V_{gs} を印加する。外部磁場 B_{ex} が - Y 方向に印加されている場合、図 6 (a) および図 6 (b) を用い説明したように、トランジスタ 60 においては、- X 方向に - Y 方向にスピン偏極した電子 42 が流れる。トランジスタ 62 においては、X 方向に電子 40 は流れない。よって、トランジスタ 62 は遮断状態となる。トランジスタ 60 は導通状態となり、スピン偏極した電子がソース 20 からドレイン 22 に流れる。

【0048】

実施例 3 によれば、実施例 2 に係るトランジスタを複数用いることにより、簡単に、1 入力 2 出力のスイッチ回路を実現できる。実施例 3 以外にも、実施例 1 の整流装置を用いることにより様々な電子回路を実現することができる。

【0049】

以上、実施例 1 を用いたトランジスタおよび複数のトランジスタの例を説明したが、トランジスタは、実施例 1 に係る整流装置を備えていれば他の構成でもよい。また、実施例 1 の整流装置は、磁気センサ等に用いることもできる。さらに、実施例 1 から 3 は、モニタ、テレビジョン等の家庭用電気機器、通信機器およびコンピュータ等の電子機器を構成する電子部品として使用できる。

【0050】

以上、発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

【0051】

11 半導体層

10

20

30

40

50

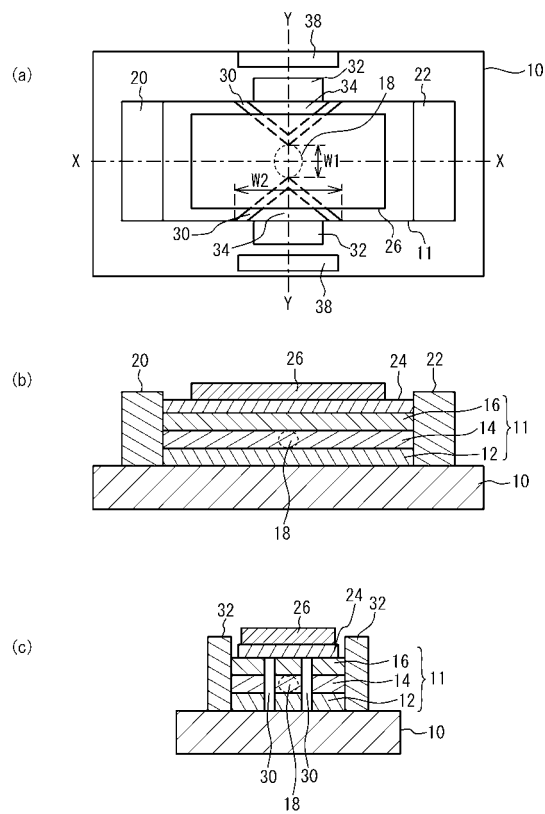
- 18 一次元チャンネル
- 20 ソース
- 22 ドレイン
- 26 ゲート電極
- 32 サイドゲート
- 38 外部磁場生成部
- 60、62 トランジスタ

【要約】

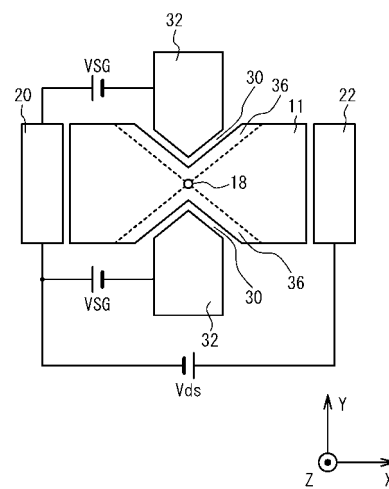
半導体からなり電子が走行する一次元チャンネル18と、前記一次元チャンネルに電界を印加することにより、前記一次元チャンネルを走行する電子にスピン軌道相互作用に起因する有効磁場を前記電子が走行する方向と交差する方向に生成させる電極26と、前記一次元チャンネルに外部磁場を生成する外部磁場生成部38と、を具備する整流装置。

10

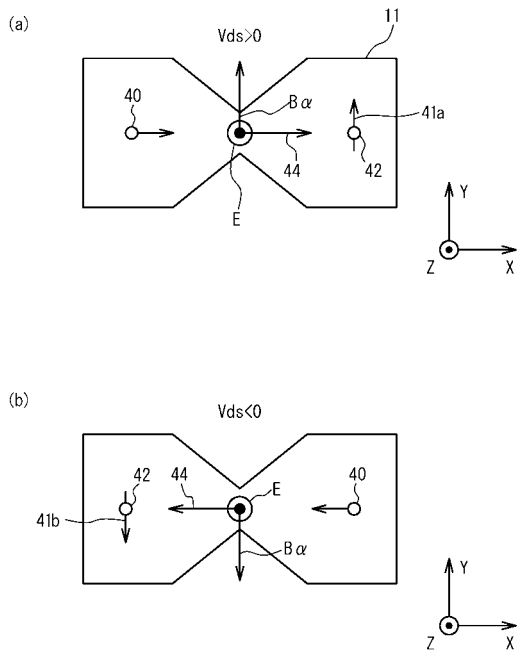
【図1】



【図2】



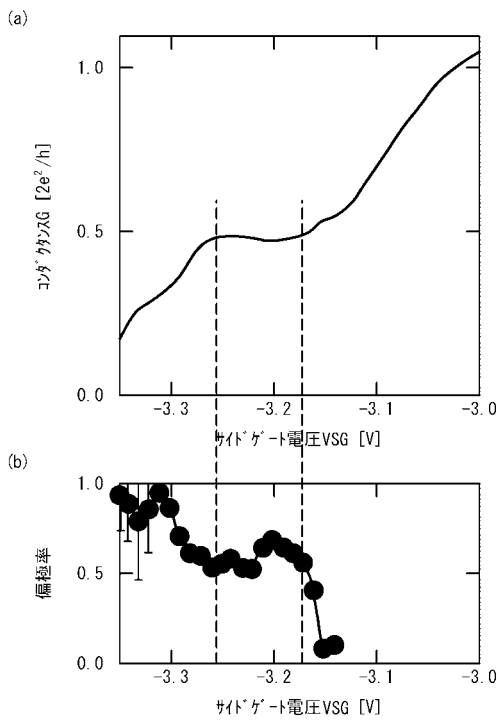
【図3】



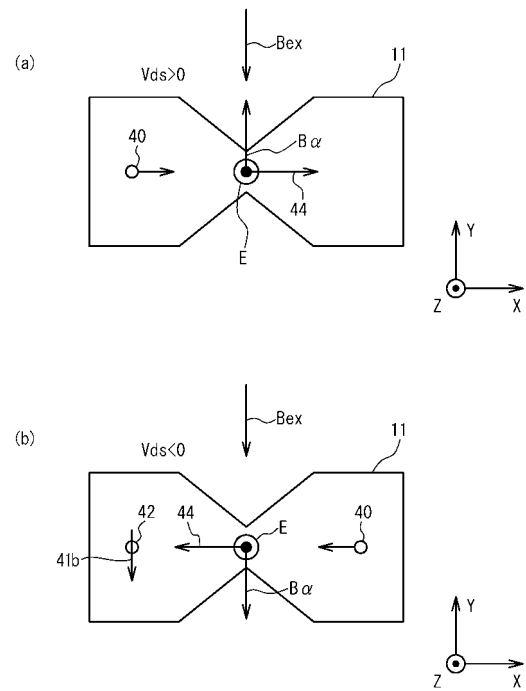
【図4】

| 層名 | 材料 | 膜厚 [nm] |
|---------------------|--|---------|
| 障壁層 16 | $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ | 25 |
| 第3半導体層 56 | $(\text{In}_{0.5}\text{Al}_{0.5}\text{As})_{0.3}(\text{In}_{0.5}\text{Ga}_{0.5}\text{As})_{0.7}$ | 3 |
| 第2半導体層 54 | $\text{In}_{0.6}\text{Ga}_{0.4}\text{As}$ | 5 |
| 第1半導体層 52 | $(\text{In}_{0.52}\text{Ga}_{0.48}\text{As})_{0.41}(\text{InP})_{0.59}$ | 5 |
| 障壁層 12 | $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ | 15 |
| i ⁺ 層 50 | $n\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$ ($N_D = 4 \times 10^{18} \text{cm}^{-3}$) | 6 |
| | $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ | 200 |
| 基板 10 | InP | - |

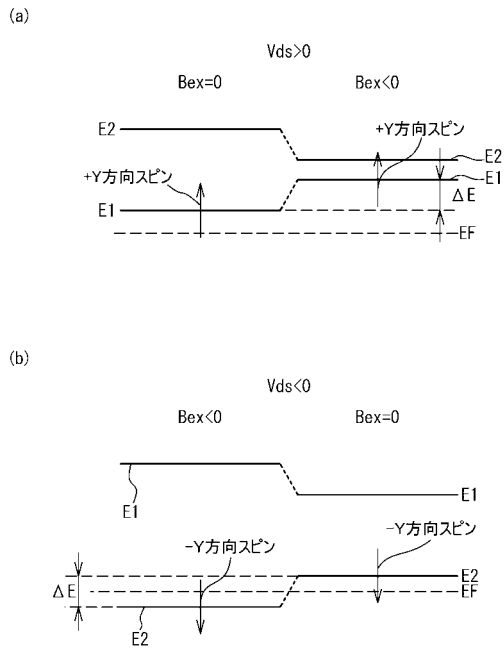
【図5】



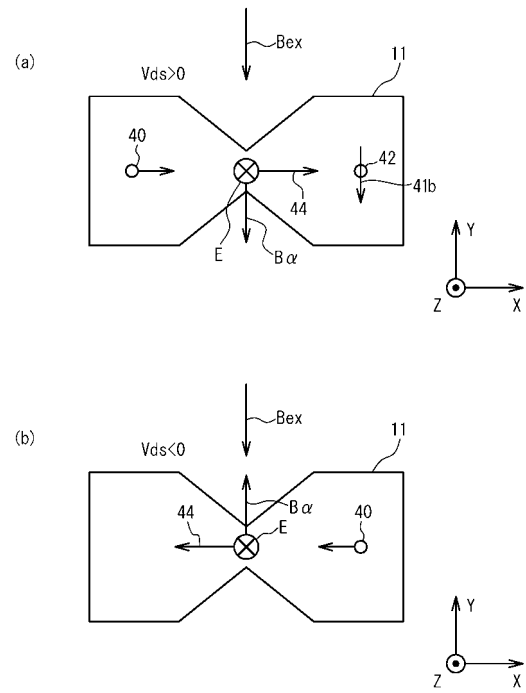
【図6】



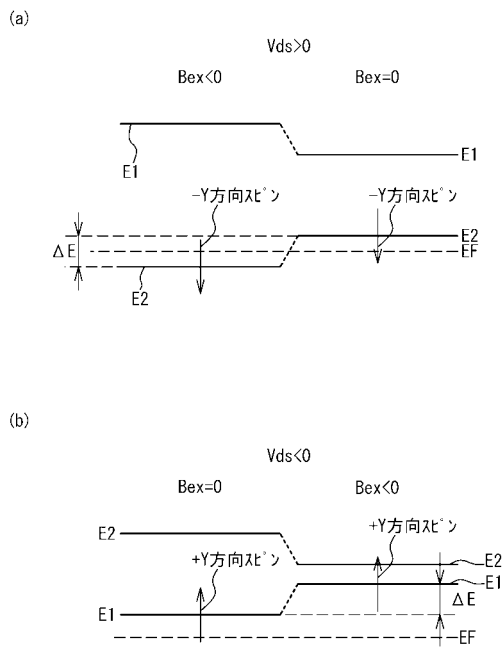
【 図 7 】



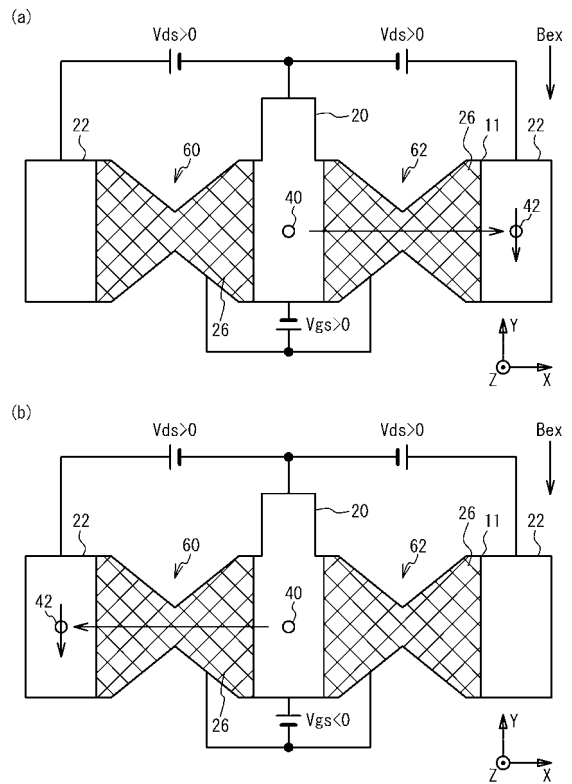
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

審査官 羽鳥 友哉

(56)参考文献 特開2006-032570(JP,A)
特開2011-071255(JP,A)
特開2011-082388(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 29/82