

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-91295
(P2016-91295A)

(43) 公開日 平成28年5月23日 (2016.5.23)

(51) Int.Cl. F 1 テーマコード (参考)
G 0 6 F 1/26 (2006.01) G 0 6 F 1/00 3 3 5 A 5 B 0 1 1

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号	特願2014-224905 (P2014-224905)	(71) 出願人	504180239 国立大学法人信州大学 長野県松本市旭三丁目1番1号
(22) 出願日	平成26年11月5日 (2014.11.5)	(72) 発明者	曾根原 誠 長野県長野市若里四丁目17番1号 国立 大学法人信州大学工学部内
		(72) 発明者	是津 信行 長野県長野市若里四丁目17番1号 国立 大学法人信州大学工学部内
		(72) 発明者	佐藤 敏郎 長野県長野市若里四丁目17番1号 国立 大学法人信州大学工学部内
		(72) 発明者	手嶋 勝弥 長野県長野市若里四丁目17番1号 国立 大学法人信州大学工学部内
		Fターム(参考)	5B011 DA06 DA13 DB02 EA09 JB01

(54) 【発明の名称】 バッテリ内蔵型 L S I

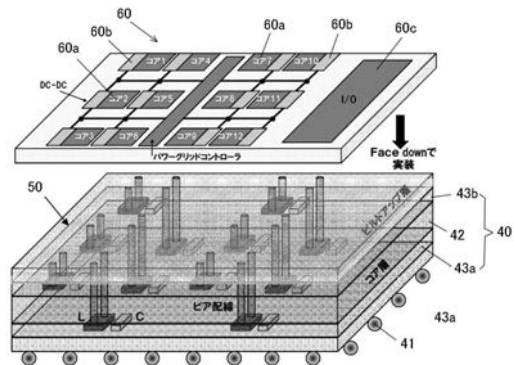
(57) 【要約】

【課題】 待機時の電力消費を抑制し、かつ集積化を損なわずにバッテリーを内蔵したLSIとして提供する。

【解決手段】 本発明に係るバッテリー内蔵型LSIは、インターポーザ40にLSI素子60を搭載してなるバッテリー内蔵型LSIであって、LSI素子60は、演算部60aと、演算部60aに電力を供給するDC-DCコンバータ60bとを備え、インターポーザ40は、演算部60aが待機状態にあるときに演算部60aに待機時の電力を供給するバッテリー50を備えると共に、バッテリー60は、インターポーザ40の厚さ方向に、電解質を挟んで陽極と陰極とを積層した構成を備えることを特徴とする。

前記バッテリー40としては、陽極と陰極と電解質とが、ともに固体からなる全固体型のバッテリーが好適に使用できる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

インターポータにLSI素子を搭載してなるバッテリー内蔵型LSIであって、
前記LSI素子は、演算部と、該演算部に電力を供給するDC-DCコンバータとを備え、
前記インターポータは、前記演算部が待機状態にあるときに前記演算部に待機時の電力を供給するバッテリーを備え、該バッテリーは、前記インターポータの厚さ方向に、電解質を挟んで陽極と陰極とを積層した構成を備えることを特徴とするバッテリー内蔵型LSI。

【請求項 2】

前記バッテリーは、前記陽極と陰極と電解質とが、ともに固体からなる全固体型のバッテリーであることを特徴とする請求項 1 記載のバッテリー内蔵型LSI。

10

【請求項 3】

前記バッテリーは、前記陽極と陰極とが、 $(\text{LiFePO}_4 : \text{Li}_4\text{Ti}_5\text{O}_{12})$ 、 $(\text{LiCoO}_2 : \text{V}_2\text{O}_5)$ 、 $(\text{V}_2\text{O}_5 : \text{CoO})$ 、 $(\text{Li}_2\text{FePO}_4\text{F} : \text{V}_2\text{O}_5)$ 、 $(\text{V}_2\text{O}_5 : \text{Li}_4\text{Ti}_5\text{O}_{12})$ の組み合わせのうちから選択されるいずれか一つであることを特徴とする請求項 2 記載のバッテリー内蔵型LSI。

【請求項 4】

前記バッテリーは、前記インターポータの平面領域の全体がバッテリー形成領域として利用して形成されていることを特徴とする請求項 1 ~ 3 のいずれか一項記載のバッテリー内蔵型LSI。

【請求項 5】

前記LSI素子とバッテリーとは、ビア配線を介して電気的に接続されていることを特徴とする請求項 1 ~ 4 のいずれか一項記載のバッテリー内蔵型LSI。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明はバッテリー内蔵型LSI関し、より詳細には薄膜バッテリーを内蔵したバッテリー内蔵型LSIに関する。

【背景技術】

【0002】

PCで使用されているCPUに代表されるように、LSIは様々な電子機器で利用されている。近年では、多機能化や高速処理化などLSIは高性能になっており、それとともに消費電力が増加傾向にある。一例として、ハイスpekクのCPUにおいては、消費電力が100Wを超えるものも登場している。ただし、このような場合も常に100 Wは使用してはならず、ほとんど電力を消費しない待機時の方が長い場合もある。

30

現在問題とされているのは、その待機時における消費電力である。LSIの電力供給に用いられるDC-DCコンバータは、LSIの通常動作時においては電力供給が効率的になされる一方、電力供給が少なくなる待機時においては電力変換効率が悪くなる。LSIに電力を供給して待機状態としておくのはLSIを素早く復帰させるためであるが、省電力の点から、この待機時に要する電力をいかに下げるかが課題になっている。

【0003】

40

特許文献 1 には、システムLSIに、待機時に電力を供給するための補助バッテリーを組み込んだ省電力信号処理装置が提案されている。この処理装置では、電圧オフ制御ユニットにより、待機時に主電源（バッテリー）による電力供給から補助バッテリーによる電力供給を切り換える制御を行い、さらに、所定の条件下において、補助バッテリーからの電力供給も完全に停止するモードへ切り換えることにより待機モードのみを備えるシステムと比べて電力消費を抑制できるようにしている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2005 - 4522 号公報

50

【特許文献2】特開2014-122122号公報

【特許文献3】特開2014-123431号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述した省電力処理装置のように、システムLSIに補助バッテリーを組み込んで、待機時に補助バッテリーから電力を供給する方法は、LSIの構成としては、部品点数が多くなり、組み立てが煩雑である他に、高集積化が困難であり、配線長が短縮できないという問題がある。

本発明は、LSIの待機時における電力供給を効率的に行うことにより待機時の消費電力を抑えることができ、バッテリーを内蔵してかつ集積化を可能にするバッテリー内蔵型LSIを提供することを目的とする。

10

【課題を解決するための手段】

【0006】

本発明に係るバッテリー内蔵型LSIは、インターポーザにLSI素子を搭載してなるバッテリー内蔵型LSIであって、前記LSI素子は、演算部と、該演算部に電力を供給するDC-DCコンバータとを備え、前記インターポーザは、前記演算部が待機状態にあるときに前記演算部に待機時の電力を供給するバッテリーを備え、該バッテリーは、前記インターポーザの厚さ方向に、電解質を挟んで陽極と陰極とを積層した構成を備えることを特徴とする。

このバッテリー内蔵型LSIは、LSI素子の演算部が通常動作状態にあるときはDC-DCコンバータから演算部に電力を供給し、演算部が待機状態にあるときは、インターポーザに備えられたバッテリーから演算部に電力を供給するように作用する。

20

【0007】

前記インターポーザが備えるバッテリーとしては、前記陽極と陰極と電解質とが、ともに固体からなる全固体型のバッテリーからなるものが好適に使用できる。全固体型のバッテリーはフラックス法を利用することにより容易にインターポーザに作り込むことができ、100 μm 以下といった薄膜形状としてLSI素子の待機状態の電力供給に利用することができる。

全固体型のバッテリーとしては、前記陽極と陰極とが、 $(\text{LiFePO}_4 : \text{Li}_4\text{Ti}_5\text{O}_{12})$ 、 $(\text{LiCoO}_2 : \text{V}_2\text{O}_5)$ 、 $(\text{V}_2\text{O}_5 : \text{CoO})$ 、 $(\text{Li}_2\text{FePO}_4\text{F} : \text{V}_2\text{O}_5)$ 、 $(\text{V}_2\text{O}_5 : \text{Li}_4\text{Ti}_5\text{O}_{12})$ の組み合わせのうちから選択されるいずれか一つであるものが好適に利用できる。これらの構成からなるバッテリーは、開放電圧が1.0V~2.0Vであり、LSI素子の供給電圧として十分に利用できる。

30

【0008】

前記バッテリーは、前記インターポーザの平面領域をバッテリーを形成する領域として適宜使用することが可能である。とくに、前記バッテリーの形成領域を前記インターポーザの平面領域の全体とすることにより、インターポーザの平面領域をバッテリー形成領域として有効利用できるという利点がある。

また、前記LSI素子とバッテリーとは、ビア配線を介することにより、容易に電気的に接続することができ、高密度配線も可能となる。

40

【発明の効果】

【0009】

本発明に係るバッテリー内蔵型LSIによれば、LSIが待機状態にあるときの電力消費を抑制することができ、また、バッテリーを内蔵しながら、LSIの高集積化を妨げることなく、消費電力を抑えかつ高速化が可能なLSIとして提供することができる。

【図面の簡単な説明】

【0010】

【図1】バッテリー内蔵型LSIの構成例を示すブロック図である。

【図2】集積化されたバッテリー内蔵型LSIに至るプロセスを示す説明図である。

【図3】バッテリー内蔵型LSIの構成例を示す組み立て図である。

50

【図4】CMOS-LSIの電源電圧の推移を示すグラフである。

【発明を実施するための形態】

【0011】

(バッテリー内蔵型LSI：基本構成)

図1は、LSIパッケージ10と、LSIパッケージ10に電力を供給する主DC-DCコンバータ20とからなる回路を示す。LSIパッケージ10は、主DC-DCコンバータ20に接続される副DC-DCコンバータ12と、演算部14と、バッテリー16とを備える。

演算部14は、副DC-DCコンバータ12とバッテリー16とに電氣的に接続され、バッテリー16は副DC-DCコンバータ12と演算部14とに電氣的に接続される。

【0012】

通常動作時においては、演算部14には主DC-DCコンバータ20及び副DC-DCコンバータ12から電力が供給され、待機時には、副DC-DCコンバータ12を介することなくバッテリー16のみから電力が供給される。

通常動作時と待機時における演算部14への電力供給の切り換えは、別途設けられている制御部によってなされる。バッテリー16は常時、演算部14への電力供給が可能であり、バッテリー16から演算部14への電力供給は、副DC-DCコンバータ12の作動が停止することにより自動的になされる。

【0013】

このように、通常動作時には主DC-DCコンバータ20と副DC-DCコンバータ12を介して電力を供給し、待機時にはバッテリー16から演算部14に電力を供給することにより、待機時の省電力化を図ることができる。DC-DCコンバータの電力変換効率が低くなる待機時にDC-DCコンバータの動作を停止させるからである。

バッテリー16の充電は、演算部14が通常動作している際に、主DC-DCコンバータ20と副DC-DCコンバータ12を介してなされる。通常動作状態と待機状態とは交互に生じるから、バッテリー16は随時、充電されることになる。バッテリー16を電力源として使用する理由は、バッテリーはキャパシタ等とは異なり、一定電圧を供給できる点にある。LSIを待機状態にする場合も、一定の電圧を供給することにより待機状態を維持することができる。

【0014】

図1は、一つの演算部14に対し電力を供給する回路例である。集積型のLSIは、多数個の演算部と、これらの演算部に電力を供給する主DC-DCコンバータ、副DC-DCコンバータ等を集積して構成される。

本発明に係るバッテリー内蔵型のLSIは、多数個の演算部(コア)と電力供給用のDC-DCコンバータを集積したLSIであり、待機時に個々の演算部に電力を供給するバッテリーを内蔵したことを特徴とする。

【0015】

(バッテリー内蔵型LSI：集積型)

図2は、DC-DCコンバータと演算部とを備え、バッテリーを備えていないLSIから、集積化を進めて、バッテリーを内蔵したLSIまで進むプロセスを説明的に示したものである。

図2(a)は、基板5上に主DC-DCコンバータ6と、副DC-DCコンバータ7と、LSIパッケージ8とが互いに重複しないように平面配置した例である。図2(a)において、一方のLSIパッケージ8については、コア8aが搭載された透視図で示している。

図2(b)は、LSIパッケージ8内に副DC-DCコンバータ7aを取り込み、図2(a)よりも集積化させた構成としたものである。

図2(c)は、LSIパッケージ8の外面上に主DC-DCコンバータ6aを搭載して(オンチップ型)さらに集積化を図った例である。このように、電子部品を集積化した配置とすることにより、配線長が短縮でき信号の高速化に好適に対応することが可能になる。

【0016】

図2(a)~(c)に示すLSIは、待機時に電力を供給するバッテリーを搭載していない構成のものである。図2(d)は、DC-DCコンバータや演算部を一つのパッケージ内に取り込んでさ

10

20

30

40

50

らに集積化を進めるとともに、待機時に演算部に電力を供給するバッテリーを搭載したバッテリー内蔵型LSIを示す。このバッテリー内蔵型LSIでは、主DC-DCコンバータ、副DC-DCコンバータ、演算部（コア）を一つのパッケージに集積し、その集積したパッケージの平面領域範囲にバッテリー30を組み込んだものである。バッテリー30としては、固体電解質を利用した全固体型の薄膜バッテリーが好適に利用できる。

【0017】

（バッテリー内蔵型LSI：積層構造）

図3は、バッテリー内蔵型LSIの実際の構成例を示す。このバッテリー内蔵型LSIは、インターポーザ40の平面領域内に薄膜バッテリー50を作り込み、インターポーザ40に多数個のコア（演算部）60a、DC-DCコンバータ60b、入出力部60cを備えたLSIチップ子60を搭載した構成を備える。インターポーザ40にLSIチップ60を搭載した半導体装置全体が、本発明に係るバッテリー内蔵型LSIに相当し、このバッテリー内蔵型LSIがパッケージされ実装用の基板に搭載して用いられる。インターポーザ40はLSIチップ60を実装するために、実装用の基板とLSIチップ60との間に介在して接続端子が必要な配置間隔となるように調整する等の作用をなすものである。

10

【0018】

インターポーザ40は、コア層42とコア層42の両面に設けられたビルドアップ層43a、43bとを備え、実装基板へ実装する実装面（一方の面）に、はんだボールあるいは銅ボール等の外部接続端子41を備える。

本実施形態では、インターポーザ40の実装面とは反対側の面（他方の面）の全面を利用して薄膜バッテリー50を設けている。薄膜バッテリー50は、陽極と陰極とで電解質層を厚さ方向に挟む積層構造に形成される。したがって、インターポーザ40の他方の面上に、陽極と陰極とで電解質層を挟む積層構造体を作り込むことにより、バッテリーを組み込むことができる。

20

【0019】

インターポーザ40とLSI素子60との電氣的接続は、コア層42、ビルドアップ層43a、43b、薄膜バッテリー50の各層間を接続するビア配線によってなされる。最近のインターポーザでは、ビルドアップ層43a、43bに、回路部品としてインダクタLやキャパシタCを内蔵した構成のものが検討されている。

薄膜バッテリー50とLSI素子60のコア60aとの接続は、それぞれのコア60aと薄膜バッテリー50の陽極及び陰極をビア配線により接続すればよい。

30

【0020】

薄膜バッテリー50はインターポーザ40の平面領域の全面にわたって、陽極、陰極が共通電極になるように一面の電極形状とし、LSI素子60のそれぞれのコア60aと陽極、陰極とを接続して、各々のコア60aに電力を供給する構成とすることもできるし、薄膜バッテリー50に、個々のコア60aの平面配置に合わせて個別に区画したバッテリー領域を設け、コア60aごとに個々に区画された薄膜バッテリーの陽極と陰極を接続する構成とすることもできる。

【0021】

前述したように、インターポーザ40上に組み込む薄膜バッテリー50としては、陽極、固体電解質、陰極の積層構造を備える全固体型の薄膜バッテリーが好適に利用できる。

40

全固体型の薄膜バッテリーを構成する陽極材、陰極材及び電解質の組み合わせ例を表1に示す。表1では、陽極材、陰極材、電解質の組み合わせによって得られる開放電圧をあわせて示す。

【0022】

【表 1】

開放電圧(V)	陽極材	陰極材	電解質
2.0	LiFePO ₄	Li ₄ Ti ₅ O ₁₂	LLTO、 LLZNO、 etc.
1.8	LiCoO ₂	V ₂ O ₅	
1.5	V ₂ O ₅	CoO	
1.2	Li ₂ FePO ₄ F	V ₂ O ₅	
1.0	V ₂ O ₅	Li ₄ Ti ₅ O ₁₂	

【0023】

表 1 に示す陽極材、陰極材、電解質を積層構造としてバッテリーを形成した場合、積層体全体の厚さを 60 μm 程度として、1 mm² あたり、数十～百 mA・s を出力することができる。この出力は待機時の LSI に供給する電力として十分な電力量である。

図 4 は、CMOS-LSI の電源電圧の推移を示すグラフである。図 4 は、CMOS-LSI の電源電圧が年と共に徐々に低下し、現在は、電源電圧が 1V 程度になっている。表 1 に示す陽極材、陰極材、電解質の組み合わせによる電池の開放電圧は、1V 以上であり、CMOS-LSI の供給電源として十分に使用可能である。

【0024】

なお、表 1 では、全固体型の薄膜バッテリーを構成する電解質として LLTO と LLZNO を例示しているが、上記例で使用している陰極材は比較的電圧が高いため、一般的な固体電解質であればほとんどの材料を使用することができる。例えば、代表的な電解質として、上記例以外に、Li_{2.9}PO_{3.34}N_{0.46} (LIPON : 3.3×10⁻⁶ S・cm⁻¹)、Li₇La₃Zr₂O₁₂ (LLZO : 10⁻⁴ ~ 10⁻³ S・cm⁻¹)、Li_{1.3}Al_{0.5}Ti_{1.7}(PO₄)₃ (LATP : 10⁻⁴ ~ 10⁻³ S・cm⁻¹)、Li_{1.3}Al_{0.5}Ge_{1.7}(PO₄)₃ (LAGP : 10⁻⁴ ~ 10⁻³ S・cm⁻¹)、Li₃N (10⁻⁴ ~ 10⁻³ S・cm⁻¹) 等を使用することができる。Li_{2.9}PO_{3.34}N_{0.46} (LIPON) は、イオン伝導度が 10⁻⁶ と、非常に遅いが、薄膜化が容易であるという利点があり、100nm 厚以下の緻密な超薄膜成膜が可能であることから、薄膜バッテリーを構成する電解質として好適に利用することが可能である。

【0025】

表 1 に示す陽極材、陰極材、電解質はからなる全固体型のバッテリーは、フラックス法あるいはスパッタリング法を利用して作製することができる。フラックス法を利用して基材上に結晶面方向のそろった結晶粒（各々の結晶粒は単結晶）を形成する方法には公知の方法を利用することができる（特許文献 2、3）。

フラックス法以外に、スパッタリング法により、陽極材、陰極材、電解質を積層して薄膜固体バッテリーを構成することも可能である。スパッタリング法は、薄膜形成が容易であり、薄膜バッテリーを作り込む基材（素子）が熱的に損傷されることが防止できる点で有効である。

【0026】

上記例ではインターポーザ 40 の実装面とは反対側の面に薄膜バッテリー 50 を形成したが、薄膜バッテリーを形成する位置（配置層の位置）はとくには限定されない。たとえば、インターポーザ 40 のコア層 42 の上に薄膜バッテリー 50 を形成する、といったようにインターポーザの中間層に形成することもできる。また、薄膜バッテリー 50 はインターポーザ 40 の平面の全領域範囲を利用して作り込むこともできるし、インターポーザ 40 の中央部分に矩形の薄膜バッテリーを形成する領域を確保するといったことも可能である。また、インターポーザ 40 の平面内の一部領域を薄膜バッテリーの形成領域として利用することにより、外部接続端子 41 を取り付ける実装面に薄膜バッテリー 40 を形成することもできる。

【0027】

本実施形態のバッテリー内蔵型 LSI は、LSI の通常動作時には、DC-DC コンバータから電力を供給し、待機時には薄膜バッテリー 50 からコア 60a に電力を供給することにより、電力変換効率の低い待機時に DC-DC コンバータを動作させる必要がなくなり、待機時の消費電力を効果的に抑制することができる。

10

20

30

40

50

また、待機時の電力を供給するバッテリーをインターポータの平面領域内に薄膜バッテリーを組み込む構成としたことにより、LSIの集積化を損なうことなく、バッテリーを内蔵したLSIとして提供でき、LSIの小型化を図るとともに、配線長を短縮し高速化が可能なLSIとして提供することが可能になる。

【産業上の利用可能性】

【0028】

本発明によれば、待機時の消費電力を抑えて省エネルギー化を図ることができるとともに、高速特性の優れたLSIが提供できる。

【符号の説明】

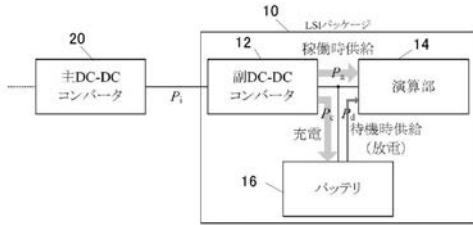
【0029】

- 5 基板
- 6、6 a 主DC-DCコンバータ
- 7、7 a 副DC-DCコンバータ
- 8 LSIパッケージ
- 8 a コア
- 10 LSIパッケージ
- 12 副DC-DCコンバータ
- 14 演算部
- 16 バッテリー
- 20 主DC-DCコンバータ
- 30 バッテリー
- 40 インターポータ
- 41 外部接続端子
- 42 コア層
- 43 a、43 b ビルドアップ層
- 50 薄膜バッテリー
- 60 LSI素子
- 60 a コア
- 60 b DC-DCコンバータ

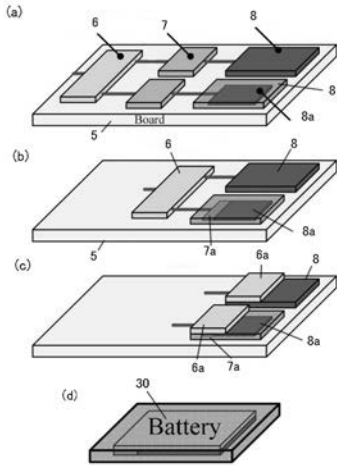
10

20

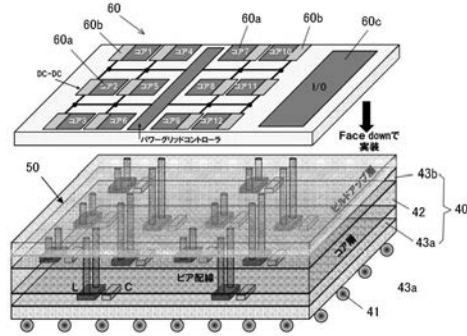
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

