

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-119773

(P2016-119773A)

(43) 公開日 平成28年6月30日 (2016.6.30)

(51) Int.Cl.	F I	テーマコード (参考)
<b>HO2M 7/48 (2007.01)</b>	HO2M 7/48 E	5H007
<b>HO2M 1/08 (2006.01)</b>	HO2M 1/08 A	5H740
	HO2M 1/08 341C	

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願2014-257934 (P2014-257934)  
 (22) 出願日 平成26年12月19日 (2014.12.19)

(71) 出願人 504171134  
 国立大学法人 筑波大学  
 茨城県つくば市天王台一丁目1番1  
 (74) 代理人 100106909  
 弁理士 棚井 澄雄  
 (74) 代理人 100188558  
 弁理士 飯田 雅人  
 (72) 発明者 磯部 高範  
 茨城県つくば市天王台一丁目1番1 国立  
 大学法人筑波大学内  
 (72) 発明者 岩室 憲幸  
 茨城県つくば市天王台一丁目1番1 国立  
 大学法人筑波大学内

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【要約】

【課題】低コスト化が図られた、高性能かつ信頼性の高い電力変換装置を提供する。

【解決手段】直流電源の高電位端子と出力端子との間に接続される第1のスイッチング素子と、前記直流電源の低電位端子と前記出力端子との間に接続される第2のスイッチング素子と、を有するスイッチングレグと、前記第1のスイッチング素子と前記第2のスイッチング素子とを、相補的にオンオフ動作させる駆動回路と、を備えた電力変換装置において、前記第1のスイッチング素子はNチャンネルIGBTまたはNチャンネルMOSFETであり、前記第2のスイッチング素子はPチャンネルIGBTまたはPチャンネルMOSFETであり、前記駆動回路は、前記第1のスイッチング素子および前記第2のスイッチング素子各々のゲート端子とエミッタ端子またはソース端子との間を共通に駆動する駆動信号を出力する。

【選択図】 図1

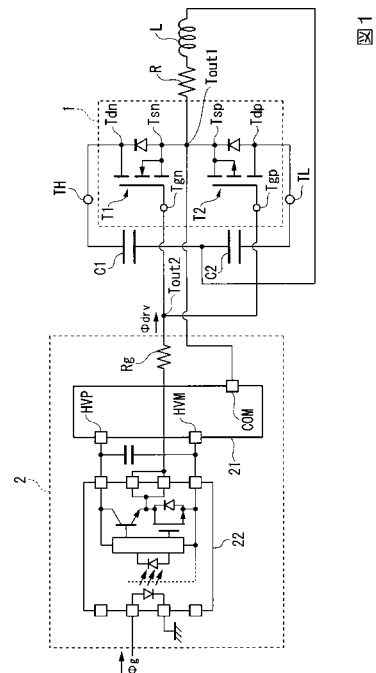


図1

## 【特許請求の範囲】

## 【請求項 1】

直流電源の高電位端子と出力端子との間に接続される第 1 のスイッチング素子と、前記直流電源の低電位端子と前記出力端子との間に接続される第 2 のスイッチング素子と、を有するスイッチングレグと、

前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを、相補的にオンオフ動作させる駆動回路と、を備えた電力変換装置において、

前記第 1 のスイッチング素子は N チャンネル I G B T または N チャンネル M O S F E T であり、

前記第 2 のスイッチング素子は P チャンネル I G B T または P チャンネル M O S F E T であり、

前記駆動回路は、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子各々のゲート端子とエミッタ端子またはソース端子との間を共通に駆動する駆動信号を出力する、

ことを特徴とする電力変換装置。

## 【請求項 2】

前記第 1 のスイッチング素子および前記第 2 のスイッチング素子は、S i C デバイスである、

ことを特徴とする請求項 1 に記載の電力変換装置。

## 【請求項 3】

前記スイッチングレグを複数台備え、複数台のスイッチングレグ各々に対して前記駆動回路を設けて構成される、

ことを特徴とする請求項 1 または請求項 2 に記載の電力変換装置。

## 【請求項 4】

前記駆動回路は、絶縁電源とフォトカブラを備え、

前記絶縁電源は、前記スイッチングレグの前記出力端子に接続される基準電圧入力端子の電位を基準電位として、前記基準電位より高い電位を生成して、生成した電位を第 1 の電源電圧出力端子から出力し、前記基準電位より低い電位を生成して、生成した電位を第 2 の電源電圧出力端子から出力し、

前記フォトカブラは、出力回路側の電源のうち高電位側電源が前記第 1 の電源電圧出力端子に接続され、低電位側電源が前記第 2 の電源電圧出力端子に接続され、入力信号が H レベルのとき、電位が高電位の前記駆動信号を前記ゲート端子に接続された第 2 の出力端子へ出力し、前記入力信号が L レベルのとき、電位が低電位の前記駆動信号を前記第 2 の出力端子へ出力する、

ことを特徴とする請求項 1 から請求項 3 いずれか一項に記載の電力変換装置。

## 【請求項 5】

前記駆動回路は、絶縁電源とフォトカブラと第 2 のフォトカブラを備え、

前記絶縁電源は、基準電圧入力端子の電位を基準電位として、前記基準電位より高い電位を生成して、生成した電位を第 1 の電源電圧出力端子から出力し、前記基準電位より低い電位を生成して、生成した電位を第 2 の電源電圧出力端子から出力し、

前記フォトカブラは、出力回路側の電源のうち高電位側電源が前記第 1 の電源電圧出力端子に接続され、低電位側電源が前記第 2 の電源電圧出力端子に接続され、入力信号が H レベルのとき、電位が高電位の前記駆動信号を前記ゲート端子に接続された第 2 の出力端子へ出力し、前記入力信号が L レベルのとき、電位が低電位の前記駆動信号を前記第 2 の出力端子へ出力し、

前記第 2 のフォトカブラは、出力回路側の電源のうち高電位側電源が前記第 1 の電源電圧出力端子に接続され、低電位側電源が前記基準電圧入力端子に接続され、第 2 の入力信号が H レベルのとき、電位が高電位の第 2 の駆動信号を前記出力端子に接続された第 3 の出力端子へ出力し、前記第 2 の入力信号が L レベルのとき、電位が前記基準電位の第 2 の駆動信号を前記第 3 の出力端子へ出力する、

10

20

30

40

50

ことを特徴とする請求項 1 から請求項 3 いずれか一項に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチングレグと、当該スイッチングレグを相補的にオンオフ動作させる駆動回路とを備えた電力変換装置に関するものである。

【背景技術】

【0002】

従来から、多相交流電力を直流電力に変換する多相コンバータ回路や、直流電力を多相交流電力に変換する多相インバータ回路などの電力変換装置が用いられている。これらの電力変換装置は、所定の電圧を出力するために、スイッチングレグと呼ばれる上段アーム側のスイッチング素子と下段アーム側のスイッチング素子とが直列に接続された構成を入力もしくは出力の相数分備えた、いわゆるブリッジ回路で構成されている。また、各アームのスイッチング素子のオンオフを行うために、ゲート駆動回路を用いることが一般的となっている。

10

【0003】

ところで、このようなスイッチングレグと、駆動回路とを備えた電力変換装置では、従来の Si (Silicon) 半導体を用いた MOSFET (Metal Oxide Semiconductor Field Effect Transistor) や IGBT (Insulated Gate Bipolar Transistor) 等のスイッチング素子が使用されている。

20

【0004】

このような電力変換装置は、スイッチングレグを構成する 2 つのスイッチング素子を、Nチャネル IGBT か Nチャネル MOSFET のいずれか一方で構成することが行われていた。また、下記特許文献 1 には、Nチャネル IGBT と Pチャネル IGBT からなるパワー回路部 (スイッチングレグ) および制御回路部 (駆動回路) とを備えるパワー半導体モジュールについて開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特許第 3525823 号公報

30

【非特許文献】

【0006】

【非特許文献 1】K.Ueno et al, "Improvement of the safe operating area for p-channel insulated gate bipolar transistors(IGBT)," Japanese Journal of Applied Physics, vol.30,No.6A,pp.L.966-969 (1991)

【非特許文献 2】N.Iwamuro et al, "Numerical Analysis of Short-circuit Safe Operating Area for p-Channel and n-Channel IGBT's," IEEE Trans on Electron Devices, Vol.38, No.2, pp.303-309 (1991)

【発明の概要】

【発明が解決しようとする課題】

40

【0007】

しかしながら、特許文献 1 に記載のスイッチングレグでは、スイッチング素子がいずれも Nチャネル素子を使用している場合と同様、電力変換装置を構成する駆動回路の部品点数が減らないため、電力増幅装置の低コスト化が図れないという問題があった。

【0008】

また、特許文献 1 に記載のスイッチングレグでは、スイッチング素子がいずれも Nチャネル素子を使用している場合と同様、両方のスイッチング素子がオンすることを防ぐため、デッドタイムを長く設ける必要があり、スイッチングの高周波化に伴う変調の歪みや損失の増加を防げず、電力変換装置の高性能化を妨げるという問題があった。

【0009】

50

また、特許文献 1 に記載のスイッチングレグでは、Si デバイスである P チャンネル IGBT を使用しているため、P チャンネル IGBT がオンからオフ状態に遷移する際、例えば 380 V 程度の高電圧が加わりながら電流が導通するモードがあると、P チャンネル IGBT が破壊するという信頼性上の問題があった。なおこの現象は非特許文献 1 または 2 にすでに公開されている。すなわち、電力変換装置の高信頼性を妨げるという問題があった。

【0010】

本発明は、上記のような問題点を解決するためになされたものであり、低コスト化が図られた、高性能かつ信頼性の高い電力変換装置を提供することにある。

【課題を解決するための手段】

【0011】

上記の課題を解決するために、本発明の電力変換装置は、直流電源の高電位端子と出力端子との間に接続される第 1 のスイッチング素子と、前記直流電源の低電位端子と前記出力端子との間に接続される第 2 のスイッチング素子と、を有するスイッチングレグと、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを、相補的にオンオフ動作させる駆動回路と、を備えた電力変換装置において、前記第 1 のスイッチング素子は N チャンネル IGBT または N チャンネル MOSFET であり、前記第 2 のスイッチング素子は P チャンネル IGBT または P チャンネル MOSFET であり、前記駆動回路は、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子各々のゲート端子とエミッタ端子またはソース端子との間を共通に駆動する駆動信号を出力する、ことを特徴とする。

【0012】

この構成により、本発明の電力変換装置は、第 1 のスイッチング素子は N チャンネル素子 (N チャンネル IGBT または N チャンネル MOSFET) であり、第 2 のスイッチング素子は P チャンネル素子 (P チャンネル IGBT または P チャンネル MOSFET) であり、駆動回路は、第 1 のスイッチング素子および第 2 のスイッチング素子各々のゲート端子とエミッタ端子またはソース端子との間を共通に駆動する駆動信号を出力する。これにより、電力変換装置を構成する駆動回路の部品点数を減らすことができる。また、共通に駆動する駆動信号を出力することにより、デッドタイムを最小化することができるため、スイッチングの高周波化に伴い変調の歪みや損失の増加につながることを防ぐことができ、電力変換装置の高性能化を図ることができる。

【0013】

また、本発明の電力変換装置は、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子は、SiC デバイスである、ことを特徴とする。

【0014】

この構成により、スイッチングレグでは、高耐圧な SiC (Silicon Carbide、炭化ケイ素) デバイスである P チャンネル IGBT または P チャンネル MOSFET を使用しているため、電力変換装置の信頼性を高めることができる。また、SiC デバイスである P チャンネル MOSFET を使用する場合、高抵抗な Si (Silicon、ケイ素) デバイスである P チャンネル MOSFET を使用する場合に比べ、低抵抗な P チャンネル MOSFET を使用することができるので、電力変換装置の高性能化を図ることができる。

【0015】

また、本発明の電力変換装置は、前記スイッチングレグを複数台備え、複数台のスイッチングレグ各々に対して前記駆動回路を設けて構成される、ことを特徴とする。

【0016】

この構成により、スイッチングレグを複数台備える電力変換装置において、駆動回路の部品点数を半減することができる。

【0017】

また、本発明の電力変換装置は、前記駆動回路は、絶縁電源とフォトカプラを備え、前記絶縁電源は、前記スイッチングレグの前記出力端子に接続される基準電圧入力端子の電位を基準電位として、前記基準電位より高い電位を生成して、生成した電位を第 1 の電源

10

20

30

40

50

電圧出力端子から出力し、前記基準電位より低い電位を生成して、生成した電位を第2の電源電圧出力端子から出力し、前記フォトカプラは、出力回路側の電源のうち高電位側電源が前記第1の電源電圧出力端子に接続され、低電位側電源が前記第2の電源電圧出力端子に接続され、入力信号がHレベルのとき、電位が高電位の前記駆動信号を前記ゲート端子に接続された第2の出力端子へ出力し、前記入力信号がLレベルのとき、電位が低電位の前記駆動信号を前記第2の出力端子へ出力する、ことを特徴とする。

【0018】

この構成により、駆動回路は、第1のスイッチング素子および第2のスイッチング素子各々のゲート端子とエミッタ端子またはソース端子との間を共通に駆動する駆動信号を出力することができる。

10

【0019】

また、本発明の電力変換装置は、前記駆動回路は、絶縁電源とフォトカプラと第2のフォトカプラを備え、前記絶縁電源は、基準電圧入力端子の電位を基準電位として、前記基準電位より高い電位を生成して、生成した電位を第1の電源電圧出力端子から出力し、前記基準電位より低い電位を生成して、生成した電位を第2の電源電圧出力端子から出力し、前記フォトカプラは、出力回路側の電源のうち高電位側電源が前記第1の電源電圧出力端子に接続され、低電位側電源が前記第2の電源電圧出力端子に接続され、入力信号がHレベルのとき、電位が高電位の前記駆動信号を前記ゲート端子に接続された第2の出力端子へ出力し、前記入力信号がLレベルのとき、電位が低電位の前記駆動信号を前記第2の出力端子へ出力し、前記第2のフォトカプラは、出力回路側の電源のうち高電位側電源が前記第1の電源電圧出力端子に接続され、低電位側電源が前記基準電圧入力端子に接続され、第2の入力信号がHレベルのとき、電位が高電位の第2の駆動信号を前記出力端子に接続された第3の出力端子へ出力し、前記第2の入力信号がLレベルのとき、電位が前記基準電位の第2の駆動信号を前記第3の出力端子へ出力する、ことを特徴とする。

20

【0020】

この構成により、スイッチングレグの出力を、電力変換装置の停止時、負荷短絡時、負荷地絡時のユーザ保護および電力変換装置の保護のため、両方のスイッチング素子をオフ状態にすることができる。この後もIGBTならば並列に接続してあるダイオード、MOSFETならばMOSFET自体が持つ逆導電性によって、第1もしくは第2のスイッチング素子に電流が流れるが、電流が速やかに減少することになるので保護の目的を果たすことができる。

30

【発明の効果】

【0021】

本発明によれば、低コスト化が図られた、高性能かつ信頼性の高い電力変換装置を提供することができる。

【図面の簡単な説明】

【0022】

【図1】第1の実施形態のスイッチング素子がMOSFETである電力変換装置の構成を示す回路図である。

40

【図2】図1の負荷電流が正の場合の負荷電圧の時間変化を示す図である。

【図3】図1の負荷電流が負の場合の負荷電圧の時間変化を示す図である。

【図4】第2の実施形態のスイッチング素子がMOSFETである電力変換装置の構成を示す回路図である。

【図5】第3の実施形態のスイッチング素子がMOSFETである駆動回路2aの構成を示す回路図である。

【図6】第1の実施形態のスイッチング素子がIGBTである電力変換装置の構成を示す回路図である。

【図7】図6の負荷電流が正の場合の負荷電圧の時間変化を示す図である。

【図8】図6の負荷電流が負の場合の負荷電圧の時間変化を示す図である。

【図9】第2の実施形態のスイッチング素子がIGBTである電力変換装置の構成を示す

50

回路図である。

【図10】第3の実施形態のスイッチング素子がIGBTである駆動回路2aの構成を示す回路図である。

【発明を実施するための形態】

【0023】

以下、本発明の実施の形態について図面を参照しながら説明する。

【0024】

[第1の実施形態]

図1は、第1の実施形態のスイッチング素子がMOSFETである電力変換装置の構成を示す回路図である。

10

電力変換装置は、スイッチングレグ1と駆動回路2とを備える。

なお、電力変換装置は、スイッチングレグ1と駆動回路2とを備えることが特徴であり、図1に示すコンデンサC1、コンデンサC2、抵抗RおよびコイルLは必須のものではない。コンデンサC1およびコンデンサC2は通常の3相インバータ回路などに用いられる平滑コンデンサと同様のものであり、抵抗RおよびコイルLは模擬負荷である。すなわち、図1は、例えばハーフブリッジインバータを模式的に表した図面となる。

【0025】

スイッチングレグ1は、パワー半導体素子として、スイッチング素子T1（第1のスイッチング素子）とスイッチング素子T2（第2のスイッチング素子）とを備える。

スイッチング素子T1は、NチャネルMOSFETであり、ドレイン端子Tdnが高電位端子THに接続され、ゲート端子Tgnが駆動回路2の出力端子Tout2（第2の出力端子）に接続され、ソース端子Tsnがスイッチングレグ1の出力端子Tout1（出力端子）に接続される。また、スイッチング素子T1はボディダイオードを含んでいる。ボディダイオードの電流の向きは、ソース端子Tsnからドレイン端子Tdnへ電流を流す向きである。このボディダイオードとは別に逆並列に接続されたダイオードを設けてもよい。

20

スイッチング素子T2は、PチャネルMOSFETであり、ドレイン端子Tdpが低電位端子TLに接続され、ゲート端子Tgpが駆動回路2の出力端子Tout2に接続され、ソース端子Tspがスイッチングレグ1の出力端子Tout1に接続される。また、スイッチング素子T2はボディダイオードを含んでいる。ボディダイオードの電流の向きは、ドレイン端子Tdpからソース端子Tspへ電流を流す向きである。このボディダイオードとは別に逆並列に接続されたダイオードを設けてもよい。

30

スイッチング素子T1およびスイッチング素子T2各々のゲート端子とソース端子との間は、駆動回路2が出力する駆動信号drvにより共通に駆動される。

なお、本実施形態において、スイッチングレグ1のスイッチング素子T1としてSiCデバイスであるNチャネルMOSFETを使用しているが、SiCデバイスであるNチャネルIGBTを使用してもよい。また、スイッチングレグ1のスイッチング素子T2としてSiCデバイスであるPチャネルMOSFETを使用しているが、SiCデバイスであるPチャネルIGBTを使用してもよい。

図6は、第1の実施形態のスイッチング素子がIGBTである電力変換装置の構成を示す回路図である。

40

図6に示すように、スイッチング素子T1は、コレクタ端子Tcnが高電位端子THに接続され、ゲート端子Tgnが駆動回路2の出力端子Tout2に接続され、エミッタ端子Tenがスイッチングレグ1の出力端子Tout1に接続される。また、スイッチング素子T1にはダイオードが逆並列に接続されている。

また、スイッチング素子T2は、コレクタ端子Tcpが低電位端子TLに接続され、ゲート端子Tgnが駆動回路2の出力端子Tout2に接続され、エミッタ端子Tepがスイッチングレグ1の出力端子Tout1に接続される。また、スイッチング素子T2にはダイオードが逆並列に接続されている。

【0026】

50

なお、本実施形態において、スイッチングレグ1のスイッチング素子T1としてSiCデバイスであるNチャンネル素子を、スイッチングレグ1のスイッチング素子T2としてSiCデバイスであるPチャンネル素子を使用している。これは現状において高耐圧化が進むSiCデバイスであるPチャンネル素子を使用することにより、電力変換装置の高信頼性を図るためである。この高信頼性は、Pチャンネル素子のSiCデバイスの構造により保証されるものであり、保証されるPチャンネル素子の高耐圧化の程度は、製品としての電力変換装置のスペックにより判断されるものである。

また、スイッチングレグ1のスイッチング素子T2としてSiCデバイスであるPチャンネルMOSFETを使用する場合、高抵抗なSi(Silicon、ケイ素)デバイスであるPチャンネルMOSFETを使用する場合に比べ、低抵抗なPチャンネルMOSFETを使用することができるので、電力変換装置の高性能化を図ることができる。この低抵抗化は、PチャンネルMOSFETのSiCデバイスの構造により保証されるものであり、保証されるPチャンネルMOSFETの低抵抗化の程度は、製品としての電力変換装置のスペックにより判断されるものである。

#### 【0027】

駆動回路2は、絶縁電源21と、スイッチングレグ1を駆動する駆動信号drvを出力するフォトブラ22とから構成される。駆動回路2は、スイッチングレグを構成する2つのスイッチング素子が、NチャンネルMOSFETまたはNチャンネルIGBTで構成される場合、2つのスイッチング素子を相補的にオンオフ動作させるため、図1に示す駆動回路を2台使用していた。なお、2つのスイッチング素子を相補的にオンオフ動作させるとは、2つのスイッチング素子の一方のスイッチング素子をオンさせている状態では、他方のスイッチング素子をオフの状態にし、一方のスイッチング素子をオフさせている状態では、他方のスイッチング素子をオンしている状態にすることをいう。これに対して、本願の電力変換装置では、図1および図6に示すように1台の駆動回路で、2つのスイッチング素子を相補的にオンオフ動作させることが可能となる。

#### 【0028】

絶縁電源21は、例えばトランスやDC/DCコンバータにより構成されており、フォトブラ22に動作電圧を供給するための回路である。絶縁電源21は、基準電圧入力端子COMがスイッチングレグ1の出力端子Tout1に接続され、基準電圧入力端子COMの電位を、一例として+15Vして、出力端子HVP(第1の電源電圧出力端子)から出力する。また、絶縁電源21は、基準電圧入力端子COMの電位を、一例として-15Vして、出力端子HVM(第2の電源電圧出力端子)から出力する。すなわち、基準電圧入力端子COMの電位を基準電位として、出力端子HVPおよび出力端子HVMの電位が決まる。決められた出力端子HVPおよび出力端子HVMの電位は、フォトブラ22の出力側の電源の電位として与えられる。

#### 【0029】

フォトブラ22は、マイコン(不図示)からの入力信号g(PWM信号)が入力される。入力信号gは、例えばハイ(H)レベルが5V、ロウ(L)レベルが0Vの信号である。フォトブラ22は、入力信号gが入力され、入力信号gを増幅した駆動信号drvを、ゲート抵抗Rgを介して出力する。駆動信号drvの増幅度は、(出力端子HVPの電位 - 出力端子HVMの電位) / 5Vである。

#### 【0030】

このように、駆動回路2は、絶縁電源21とフォトブラ22を有している。この絶縁電源21は、スイッチングレグ1の出力端子Tout1に接続される基準電圧入力端子COMの電位(Vtout1とする)を基準電位として、基準電位より高い電位(Vhvpとする)と基準電位より低い電位(Vhvmとする)を生成し、それぞれの生成した電位を出力端子HVP、出力端子HVMから出力する。また、フォトブラ22は、出力回路側の電源のうち高電位側電源が出力端子HVPに接続され、低電位側電源が出力端子HVMに接続される。フォトブラ22は、入力信号gがHレベルのとき、電位が(Vtout1 + Vhvp)である高電位の駆動信号drvを出力し、入力信号gがLレベル

10

20

30

40

50

のとき、電位が  $(V_{tout1} - V_{hvm})$  である低電位の駆動信号  $drv$  を出力する。ここで、 $V_{hvp} = V_{hvm}$  とする。

【0031】

このような構成により、駆動回路2は、パワー半導体素子として動作するスイッチングレグ1の両スイッチング素子のゲート-ソース間に、共通の電位（以下、電位差  $V_{gs}$  とする）を印加することが可能となる。なお、図6に示す駆動回路では、パワー半導体素子として動作するスイッチングレグ1の両スイッチング素子のゲート-エミッタ間に、共通の電位（以下、電位差  $V_{ge}$  とする）を印加することが可能となる。

駆動回路2は、例えば、高電位端子THの電位が +380V、低電位端子TLの電位が 0V のとき、スイッチングレグ1のスイッチング素子T1をオン、スイッチング素子T2をオフさせるため、両スイッチング素子のゲート-ソースまたはエミッタ間を、共通の電位差  $V_{gs}$ （または電位差  $V_{ge}$ ）のうち最大の15Vにより駆動することができる。また、駆動回路2は、スイッチングレグ1のスイッチング素子T1をオフ、スイッチング素子T2をオンさせるため、両スイッチング素子のゲート-ソース（またはエミッタ）間を、共通の電位差  $V_{gs}$ （または電位差  $V_{ge}$ ）のうち最小の-15Vにより駆動することができる。

【0032】

すなわち、駆動回路2は、従来ではNチャンネルMOSFETとNチャンネルMOSFETとを、相補的にオンオフ動作させるために2台必要であった。これに対し、本願では、駆動回路2は、NチャンネルMOSFETおよびPチャンネルMOSFETを相補的にオンオフ動作させるため、NチャンネルMOSFETおよびPチャンネルMOSFET各々のゲート端子とソース端子との間を共通に駆動する駆動信号  $drv$  を出力するので、1台あればよい。これにより、電力変換装置を構成する駆動回路の部品点数を減らすことができる。

また、駆動回路2は、従来ではNチャンネルIGBTとNチャンネルIGBTとを、相補的にオンオフ動作させるために2台必要であった。これに対し、本願では、駆動回路2は、NチャンネルIGBTおよびPチャンネルIGBTを相補的にオンオフ動作させるため、NチャンネルIGBTおよびPチャンネルIGBT各々のゲート端子とエミッタ端子との間を共通に駆動する駆動信号  $drv$  を出力するので、1台あればよい。これにより、電力変換装置を構成する駆動回路の部品点数を減らすことができる。

【0033】

続いて、本実施形態の電力変換装置の高性能化（デットタイムを小さくできること）について、図2、図3、図7及び図8を参照しつつ説明する。図2は、図1の負荷電流が正の場合の負荷電圧（Load voltage）の時間変化を示す図であり、図3は、図1の負荷電流が負の場合の負荷電圧の時間変化を示す図である。また、図7は、図6の負荷電流が正の場合の負荷電圧の時間変化を示す図であり、図8は、図6の負荷電流が負の場合の負荷電圧の時間変化を示す図である。ここで、負荷電流が正の場合とは、スイッチングレグ1の出力端子T<sub>out1</sub>から模擬負荷へ電流が流れ出す場合をいい、負荷電流が負の場合とは、スイッチングレグ1の出力端子T<sub>out1</sub>へ模擬負荷から電流が流れ込む場合をいう。また、負荷電圧とは、スイッチングレグ1の出力端子T<sub>out1</sub>の電位をいう。

また、負荷電流を正にする場合とは、フォトプラ22に入力される入力信号  $g$  の周波数が、例えば5kHzでduty比が0.7の場合である。また、負荷電流を負にする場合とは、フォトプラ22に入力される入力信号  $g$  の周波数が、例えば5kHzでduty比が0.3の場合である。また、ここでは、高電位端子THの電位が50V、低電位端子TLの電位が-50Vである場合について説明する。なお、図6に示すように、スイッチング素子がIGBTの場合、上記図2および図3に対応する図は、図7および図8である。図2および図3では、駆動回路2により、電位差  $V_{gs}$  がスイッチングレグ1のスイッチング素子T1およびスイッチング素子T2各々のゲート-ソース間に共通に加わることによる電力変換装置の高性能化を説明するが、図7および図8では、駆動回路2により、電位差  $V_{ge}$  がスイッチングレグ1のスイッチング素子T1およびスイッチング素子T2各々のゲート-エミッタ間に共通に加わるので、その高性能化についての説明は適

10

20

30

40

50



宜省略する。

【0034】

図2(a)に示すように、駆動回路2により、 $-13\text{V} \sim 13\text{V}$ で変化する電位差 $V_{gs}$ がスイッチングレグ1のスイッチング素子T1およびスイッチング素子T2各々のゲート-ソース間に共通に加わる。

スイッチングを始めるとき(時刻 $t=0$ )、駆動回路2によりスイッチング素子T1のゲート-ソース間容量を充電し、スイッチング素子T2のゲート-ソース間容量を放電するため、時間を $1\mu\text{s}$ 程度要する。

電位差 $V_{gs}$ がスイッチング素子T2の閾値 $-5\text{V}$ になると(時刻 $t_1$ )、スイッチング素子T2がオフする。その後、しばらく $2\mu\text{s}$ の期間、スイッチング素子T1およびスイッチング素子T2の両方がオフである時間が続く。電位差 $V_{gs}$ がスイッチング素子T1の閾値 $5\text{V}$ になると(時刻 $t_2$ )、スイッチング素子T1がオンする。時刻( $t_2-t_1$ )の期間がデッドタイムに相当する。

10

【0035】

このデッドタイムは、駆動回路2による電位差 $V_{gs}$ の立ち上りを早くすれば短くできる。このように、駆動回路2が、スイッチングレグ1のスイッチング素子T1およびスイッチング素子T2を相補的にオンオフ動作させるため、スイッチングレグ1のスイッチング素子T1およびスイッチング素子T2各々のゲート端子とソース端子との間を共通に駆動する駆動信号 $drv$ を出力することが、本願の特徴である。

【0036】

これに対して、スイッチング素子T1およびスイッチング素子T2がNチャンネルMOSFETである場合は、別々の駆動回路でスイッチング素子T1、スイッチング素子T2を駆動するため、簡単に両方がオンしない期間を短くするのが難しい。なぜなら、非常に高速でスイッチングさせるため、駆動回路の遅延などを考慮して、確実にスイッチング素子T2がオフしてから、スイッチング素子T1をオンさせなければならないため、デッドタイムが非常に長い時間になってしまうからである。

20

【0037】

本願では、一つの駆動回路2によりスイッチングレグ1のスイッチング素子T1およびスイッチング素子T2を相補的にオンオフ動作させるため、スイッチングレグ1のスイッチング素子T1およびスイッチング素子T2各々のゲート端子とソース端子との間を共通に駆動する駆動信号 $drv$ を出力するので、デッドタイムを短くでき、両方がオンする期間が発生することを排除できる。

30

【0038】

また、スイッチング素子T2の逆並列接続されたダイオード(図6に対応する場合)あるいはボディダイオードまたはボディダイオードとは別に設けられた逆並列に接続されたダイオード(図1に対応する場合)は、負荷電流が正の場合であるので、時刻 $t_1$ にスイッチング素子T2がオフしても、時刻 $t_2$ まで上向きに電流を流す。時刻 $t_2$ になると、スイッチング素子T1がオンするので、ダイオードからの電流パスがスイッチング素子T1からの電流パスに切り替わって、図2(a)に示すように、負荷電圧が $-50\text{V}$ から $50\text{V}$ へと変わるスイッチングが生じる。

40

【0039】

逆に、スイッチング素子T1がオフするとき、図2(b)に示すように、電位差 $V_{gs}$ がスイッチング素子T1の閾値 $5\text{V}$ になると(時刻 $t_3$ )、スイッチング素子T1がオフする。ここで、負荷電流が正の場合であるので、スイッチング素子T1からの電流パスがダイオードからの電流パスに切り替わって、負荷電圧が $50\text{V}$ から $-50\text{V}$ へと変わるスイッチングが生じる。その後、電位差 $V_{gs}$ がスイッチング素子T2の閾値 $-5\text{V}$ になっても(時刻 $t_4$ )、スイッチングは生じない。

【0040】

一方、負荷電流が負の場合については、図3(a)に示すように、電位差 $V_{gs}$ がスイッチング素子T2の閾値 $-5\text{V}$ になると(時刻 $t_1$ )、負荷電圧が $-50\text{V}$ から $50\text{V}$ へ

50

と変わるスイッチングが生じる。また、図3(b)に示すように、電位差 $V_{gs}$ がスイッチング素子 $T_2$ の閾値 $-5V$ になると(時刻 $t_4$ )、負荷電圧が $50V$ から $-50V$ へと変わるスイッチングが生じる。

#### 【0041】

図2と図3とを比較すると、あるいは図7と図8とを比較すると、負荷電圧の立ち上がりおよび立ち下りの時刻が、デッドタイムに相当する期間だけ前後にずれてしまうことが判る。しかしながら、この負荷電圧の立ち上がりおよび立ち下りの時刻のずれは、デッドタイムを短くすることにより、緩和できる。なお、デッドタイムを短くすることは、駆動回路2の出力部のゲート抵抗 $R_g$ を小さい値にし、駆動信号 $drv$ の立ち上がりを早くすることにより可能である。

10

#### 【0042】

このように、デッドタイムの期間においては、スイッチング素子 $T_2$ の逆並列接続されたダイオード(図6に対応する場合)あるいはボディダイオードまたはボディダイオードとは別に設けられた逆並列に接続されたダイオード(図1に対応する場合)により、損失が生じる。スイッチング素子 $T_1$ およびスイッチング素子 $T_2$ がNチャンネルMOSFETまたはIGBTである場合は、デッドタイムが長くなるため、損失の増加を抑制することができない。これに対して、本実施形態では、一つの駆動回路2によりスイッチングレグ1のスイッチング素子 $T_1$ およびスイッチング素子 $T_2$ を相補的にオンオフ動作させるため、スイッチング素子 $T_1$ およびスイッチング素子 $T_2$ 各々のゲート端子とソース端子またはエミッタ端子との間を共通に駆動する駆動信号 $drv$ を出力するので、デッドタイムを短くでき、損失の増加を抑制することができる。

20

#### 【0043】

また、負荷電流が正の場合と、負の場合とでは、デッドタイムに相当する分だけ、スイッチングの起こる時刻に誤差が生じ、制御上期待される $+50V$ 、 $-50V$ が出力される期間とは異なる期間で $+50V$ 、 $-50V$ が出力されることになり、たとえばデューティ比を正弦波状に制御することによって負荷に出力する交流電圧を正弦波とするPWM変調においては負荷電圧に歪みが生じることとなる。スイッチング素子 $T_1$ およびスイッチング素子 $T_2$ がNチャンネルMOSFETまたはIGBTである場合は、デッドタイムが長くなるため、歪みの増加を抑制することができない。これに対して、本実施形態では、一つの駆動回路2によりスイッチングレグ1のスイッチング素子 $T_1$ およびスイッチング素子 $T_2$ を相補的にオンオフ動作させるため、スイッチング素子 $T_1$ およびスイッチング素子 $T_2$ 各々のゲート端子とソース端子またはエミッタ端子との間を共通に駆動する駆動信号を出力するので、デッドタイムを短くでき、歪みの増加を抑制することができる。

30

#### 【0044】

このように、本実施形態の電力変換装置は、直流電源の高電位端子 $TH$ と出力端子 $Tout1$ との間に接続されるスイッチング素子 $T1$ (第1のスイッチング素子)と、直流電源の低電位端子 $TL$ と出力端子 $Tout1$ との間に接続されるスイッチング素子 $T2$ (第2のスイッチング素子)と、を有するスイッチングレグ1と、第1のスイッチング素子と第2のスイッチング素子とを、相補的にオンオフ動作させる駆動回路2と、を備える。この電力変換装置において、第1のスイッチング素子はNチャンネルIGBTまたはNチャンネルMOSFETであり、第2のスイッチング素子はPチャンネルIGBTまたはPチャンネルMOSFETであり、駆動回路2は、第1のスイッチング素子および第2のスイッチング素子各々のゲート端子とソース端子またはエミッタ端子との間を共通に駆動する駆動信号 $drv$ を出力する、ことを特徴とする。

40

#### 【0045】

これにより、本実施形態の電力変換装置によれば、駆動回路2が、第1のスイッチング素子および第2のスイッチング素子各々のゲート端子とエミッタ端子またはソース端子との間を共通に駆動する駆動信号 $drv$ を出力することにより、電力変換装置を構成する駆動回路の部品点数を減らすことができる。また、駆動回路2が、第1のスイッチング素子および第2のスイッチング素子各々のゲート端子とエミッタ端子またはソース端子との

50

間を共通に駆動する駆動信号  $d r v$  を出力することにより、デッドタイムを短くできるため、高性能かつ信頼性の高い電力変換装置を提供することができる。

【 0 0 4 6 】

[ 第 2 の実施形態 ]

第 2 の実施形態では、第 1 の実施形態で説明したスイッチングレグを 3 台用いた電力変換装置について説明する。

図 4 は、第 2 の実施形態のスイッチング素子が M O S F E T である電力変換装置の構成を示す回路図である。また、図 9 は、第 2 の実施形態のスイッチング素子が I G B T である電力変換装置の構成を示す回路図である。ここでは、図 4 を用いて説明し、図 9 を用いた説明については適宜省略する。

10

図 4 は、具体例として、三相インバータ回路の主要部の構成を示している。

三相インバータ回路は、スイッチングレグ 1 U、スイッチングレグ 1 V、およびスイッチングレグ 1 W の 3 つのレグを備える。スイッチングレグ 1 U、スイッチングレグ 1 V、およびスイッチングレグ 1 W 各々は、高電位端子 T H と低電位端子 T L との間に加わる直流電力を負荷の各相 ( U 相、V 相、W 相 ) に対応する三相の交流電力に変換し、それぞれの出力端子 T o u t 1 U、出力端子 T o u t 1 V、出力端子 T o u t 1 W から出力する。出力端子 T o u t 1 U、出力端子 T o u t 1 V、出力端子 T o u t 1 W に接続する負荷としては、例えば三相モータなどを用いることができる。

【 0 0 4 7 】

スイッチングレグ 1 U、スイッチングレグ 1 V、スイッチングレグ 1 W 各々は、第 1 の実施形態で説明したスイッチングレグ 1 と同様な構成を有している。すなわち、スイッチングレグ 1 U は、高電位端子 T H と低電位端子 T L との間に直列に接続された、スイッチング素子 T 1 U ( N チャネル M O S F E T ) とスイッチング素子 T 2 U ( P チャネル M O S F E T ) とを備える。また、スイッチングレグ 1 V は、高電位端子 T H と低電位端子 T L との間に直列に接続された、スイッチング素子 T 1 V ( N チャネル M O S F E T ) とスイッチング素子 T 2 V ( P チャネル M O S F E T ) とを備える。また、スイッチングレグ 1 W は、高電位端子 T H と低電位端子 T L との間に直列に接続された、スイッチング素子 T 1 W ( N チャネル M O S F E T ) とスイッチング素子 T 2 W ( P チャネル M O S F E T ) とを備える。

20

【 0 0 4 8 】

また、スイッチングレグ 1 U、スイッチングレグ 1 V、スイッチングレグ 1 W 各々は、第 1 の実施形態で説明したスイッチングレグ 1 と同様に、それぞれ一つの駆動回路 2 U、駆動回路 2 V、駆動回路 2 W から、2 つスイッチング素子を駆動する駆動信号  $d r v U$ 、駆動信号  $d r v V$ 、駆動信号  $d r v W$  が入力される。

30

すなわち、駆動回路 2 U は、マイコンから入力される入力信号  $g U$  ( P W M 信号 ) に基づいて、スイッチングレグ 1 U を構成するスイッチング素子 T 1 U およびスイッチング素子 T 2 U に対して、スイッチング素子 T 1 U およびスイッチング素子 T 2 U 各々のゲート端子とソース端子との間を共通に駆動する駆動信号  $d r v U$  を出力する。

また、駆動回路 2 V は、マイコンから入力される入力信号  $g V$  ( P W M 信号 ) に基づいて、スイッチングレグ 1 V を構成するスイッチング素子 T 1 V およびスイッチング素子 T 2 V に対して、スイッチング素子 T 1 V およびスイッチング素子 T 2 V 各々のゲート端子とソース端子との間を共通に駆動する駆動信号  $d r v V$  を出力する。

40

また、駆動回路 2 W は、マイコンから入力される入力信号  $g W$  ( P W M 信号 ) に基づいて、スイッチングレグ 1 W を構成するスイッチング素子 T 1 W およびスイッチング素子 T 2 W に対して、スイッチング素子 T 1 W およびスイッチング素子 T 2 W 各々のゲート端子とソース端子との間を共通に駆動する駆動信号  $d r v W$  を出力する。

【 0 0 4 9 】

従来の三相インバータ回路では、3 台のスイッチングレグにおいて、N チャネル M O S F E T と N チャネル M O S F E T とを相補的にオンオフ動作させるために、駆動回路が 6 台必要であった。

50

これに対して、本実施形態の三相インバータ回路では、3台のスイッチングレグにおいて、NチャンネルMOSFETおよびPチャンネルMOSFETを相補的にオンオフ動作させるために、NチャンネルMOSFETおよびPチャンネルMOSFET各々のゲート端子とソース端子との間を共通に駆動する駆動信号  $drvU$  ~ 駆動信号  $drvW$  を出力する駆動回路2U ~ 駆動回路2Wが3台あればよい。すなわち、三相インバータ回路を構成する駆動回路の部品点数を6台から3台へと半減することができる。

また、図9に示す本実施形態の三相インバータ回路では、3台のスイッチングレグにおいて、NチャンネルIGBTおよびPチャンネルIGBTを相補的にオンオフ動作させるために、NチャンネルIGBTおよびPチャンネルIGBT各々のゲート端子とエミッタ端子との間を共通に駆動する駆動信号  $drvU$  ~ 駆動信号  $drvW$  を出力する駆動回路2U ~ 駆動回路2Wが3台あればよい。すなわち、三相インバータ回路を構成する駆動回路の部品点数を6台から3台へと半減することができる。

10

【0050】

[第3の実施形態]

第3の実施形態では、第1の実施形態、第2の実施形態で説明したスイッチングレグの出力を、電力変換装置の停止時、負荷短絡時、負荷地絡時のユーザ保護および電力変換装置の保護のため、両方のスイッチング素子をオフ状態にする場合について説明する。

図5は、第3の実施形態のスイッチング素子がMOSFETである駆動回路2aの構成を示す回路図である。また、図10は、第3の実施形態のスイッチング素子がIGBTである駆動回路2aの構成を示す回路図である。ここでは、図5を用いて説明し、図10を用いた説明については適宜省略する。また、図5において、図1と同じ部分には、同じ符号を付し、その説明を省略する。

20

図5に示すように、駆動回路2aは、駆動回路2に対してフォトカプラ22a(第2のフォトカプラ)を備えている。

フォトカプラ22aは、出力回路側の電源のうち高電位側電源が、フォトカプラ22と同様に、絶縁電源21の出力端子HVPに接続され、低電位側電源が基準電圧入力端子COMに接続される。フォトカプラ22aは、入力信号  $ga$  (第2の入力信号) がHレベルのとき、電位が  $(V_{tout1} + V_{hvp})$  である高電位の駆動信号  $drva$  (第2の駆動信号) を、スイッチングレグ1の出力端子  $Tout1$  に接続された出力端子  $Tout3$  (第3の出力端子) へ出力する。また、フォトカプラ22aは、入力信号  $ga$  がLレベルのとき、電位が基準電位の駆動信号  $drva$  を出力端子  $Tout3$  へ出力する。

30

【0051】

本実施形態において、フォトカプラ22aが  $(V_{tout1} + V_{hvp})$  である高電位の駆動信号  $drva$  を出力する期間を、フォトカプラ22が  $(V_{tout1} + V_{hvp})$  である高電位の駆動信号  $drv$  を出力する期間と一致させる。これにより、この期間においては、スイッチングレグ1の両スイッチング素子のゲート-ソース間に、共通の電位差  $V_{gs} = 0$  を印加することが可能となる。

すなわち、駆動回路2aは、マイコンから入力される入力信号  $g$ 、入力信号  $ga$  をHレベルにすることにより、両方のスイッチング素子をオフ状態にすることが可能となり、電力変換装置の停止時、負荷短絡時、負荷地絡時のユーザ保護および電力変換装置の保護を行うことができる。この後も図10に示すようにIGBTならば並列に接続してあるダイオード、図5に示すようにMOSFETならばMOSFET自体が持つ逆導電性によって、第1もしくは第2のスイッチング素子に電流が流れるが、電流が速やかに減少することになるので保護の目的を果たすことができる。

40

【0052】

以上、図面を参照してこの発明の一実施形態について詳しく説明してきたが、具体的な構成は上述のものに限られることはなく、この発明の要旨を逸脱しない範囲内において様々な設計変更等を行うことが可能である。

例えば、実施形態では、電力変換装置として三相インバータ回路について説明を行った。しかし、スイッチングレグが2つのスイッチング素子で構成される、例えば、多相イン

50

バータ回路や、DC/DCコンバータ回路、或いはAC/DCコンバータ回路などの電力変換装置などであってもよい。

【産業上の利用可能性】

【0053】

本発明の電力変換装置は、モータドライブ用インバータ、太陽光発電用パワーコンディショナー、その他自然エネルギーの系統連系装置、ハイブリッド・電気自動車・電気鉄道のドライブ、ACアダプタなど直流電源装置に利用できる。

【符号の説明】

【0054】

1, 1U, 1V, 1W...スイッチングレグ、2, 2U, 2V, 2W...駆動回路、21, 21U, 21V, 21W...絶縁電源、22, 22U, 22V, 22W, 22a...フォトカプラ、T1, T1U, T1V, T1W, T2, T2U, T2V, T2W...スイッチング素子、Tgn, TgnU, TgnV, TgnW, Tgp, TgpU, TgpV, TgpW...ゲート端子、Tsn, TsnU, TsnV, TsnW, Tsp, TspU, TspV, TspW...ソース端子、Tdn, TdnU, TdnV, TdnW, Tdp, TdpU, TdpV, TdpW...ドレイン端子、Tout1, Tout2, HVP, HVM...出力端子、TH...高電位端子、TL...低電位端子、COM...入力端子、Rg, R...抵抗、C1, C2...コンデンサ、L...コイル、g, gU, gV, gW...入力信号、drv, drvU, drvV, drvW, drva...駆動信号

【図1】

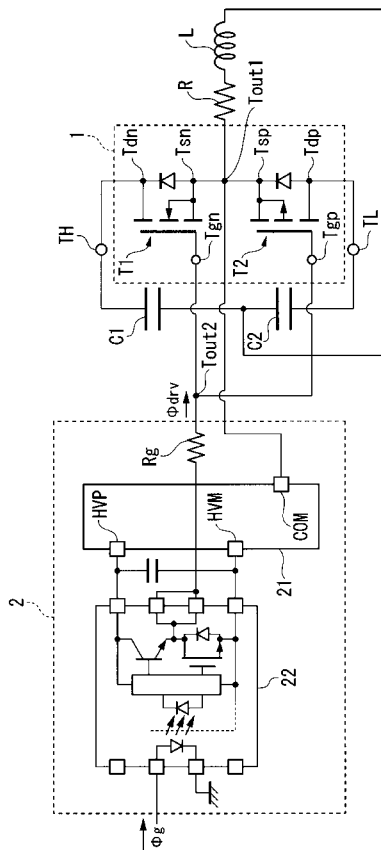


図1

【図2】

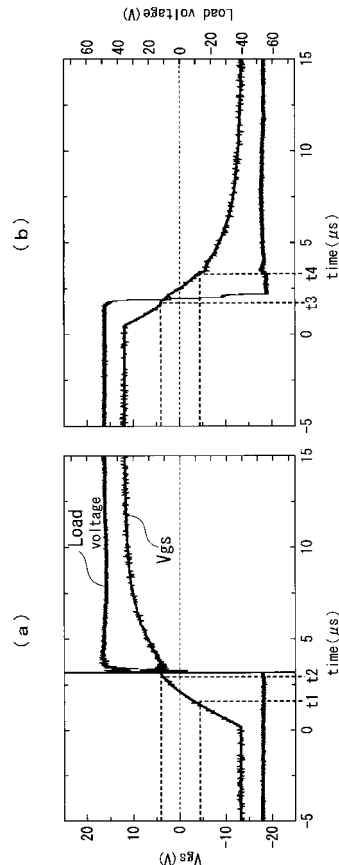


図2

【 図 3 】

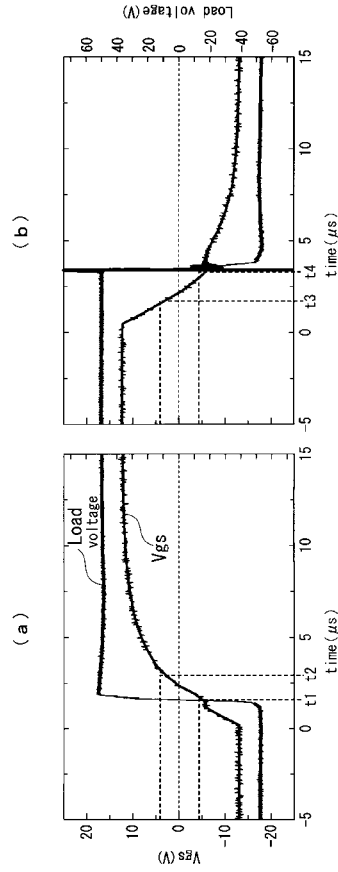


図 3

【 図 4 】

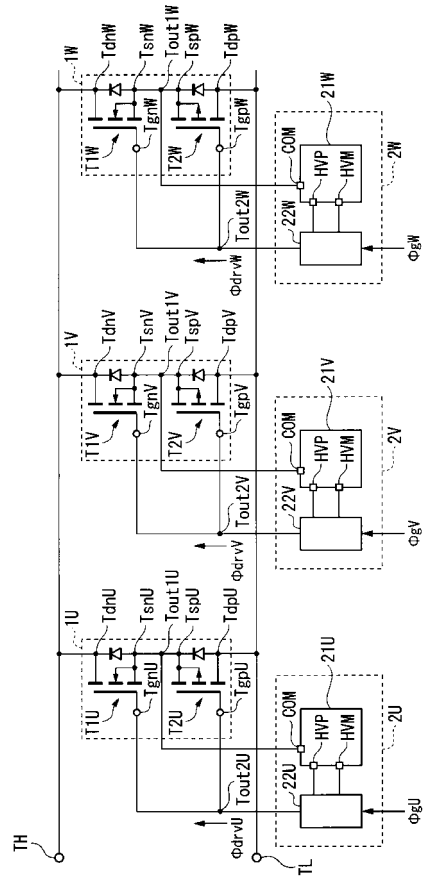


図 4

【 図 5 】

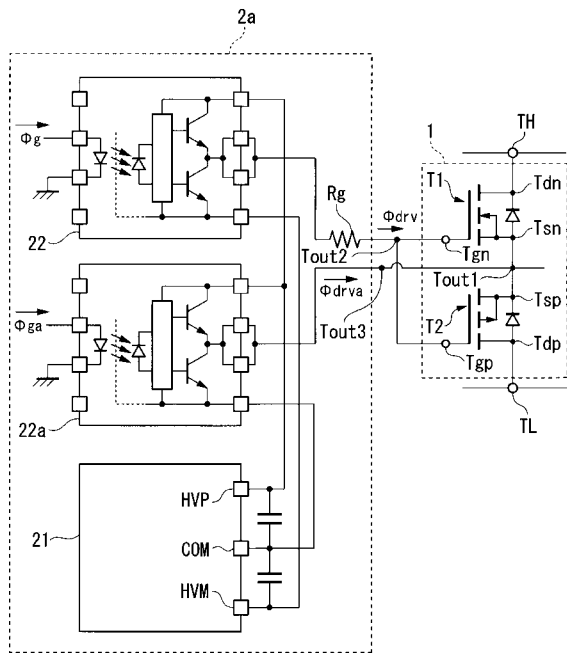


図 5

【 図 6 】

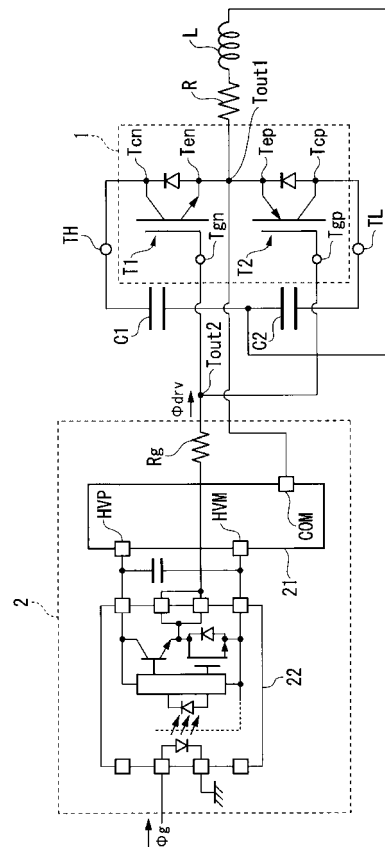


図 6

【 図 7 】

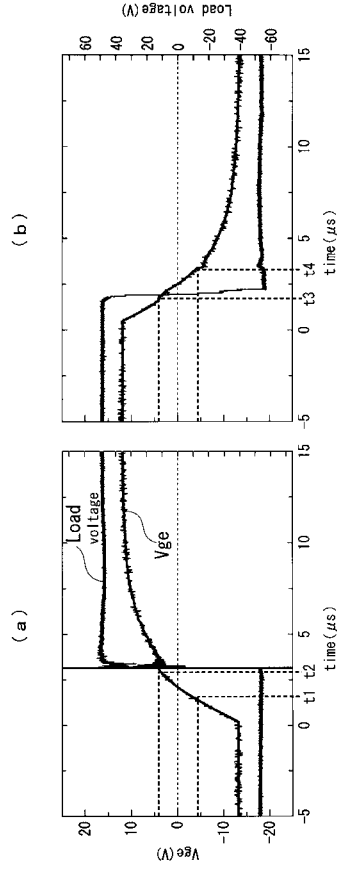


図 7

【 図 8 】

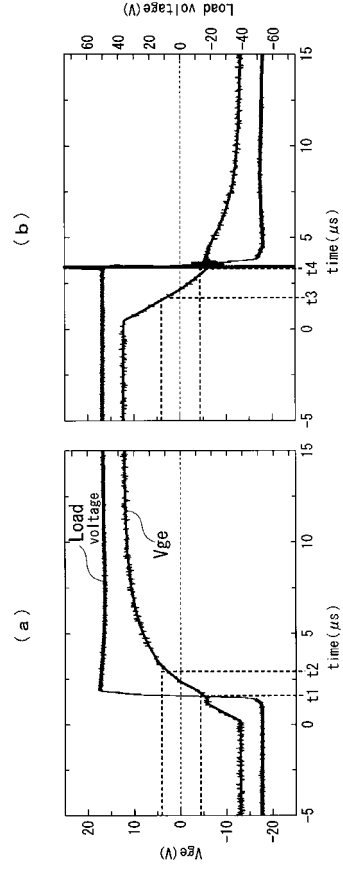


図 8

【 図 9 】

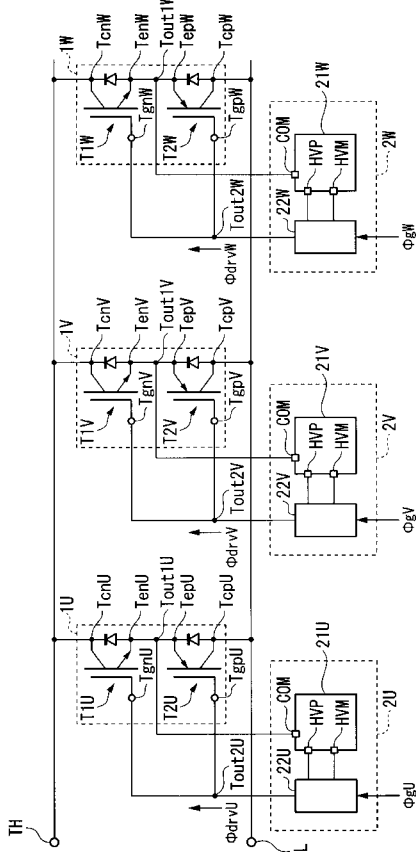


図 9

【 図 10 】

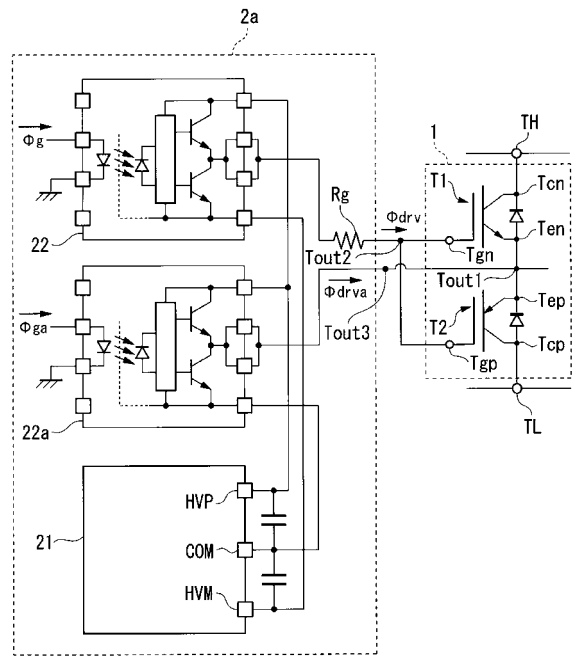


図 10

---

フロントページの続き

(72)発明者 只野 博

茨城県つくば市天王台一丁目1番1 国立大学法人筑波大学内

(72)発明者 矢野 裕司

茨城県つくば市天王台一丁目1番1 国立大学法人筑波大学内

Fターム(参考) 5H007 AA06 CA01 CA02 CB05 CB12 DB03 EA02

5H740 BA11 BA12 BB04 BB08 BC01 BC02 HH05 JA01 JB01 KK08

NN17