

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-119774

(P2016-119774A)

(43) 公開日 平成28年6月30日(2016.6.30)

(51) Int.Cl.		F I		テーマコード(参考)
HO2M	7/48	(2007.01)	HO2M 7/48	F 5H007
HO2M	1/08	(2006.01)	HO2M 1/08	A 5H740

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2014-257935 (P2014-257935)
 (22) 出願日 平成26年12月19日(2014.12.19)

(71) 出願人 504171134
 国立大学法人 筑波大学
 茨城県つくば市天王台一丁目1番1
 (74) 代理人 100106909
 弁理士 棚井 澄雄
 (74) 代理人 100188558
 弁理士 飯田 雅人
 (72) 発明者 磯部 高範
 茨城県つくば市天王台一丁目1番1 国立
 大学法人筑波大学内
 (72) 発明者 岩室 憲幸
 茨城県つくば市天王台一丁目1番1 国立
 大学法人筑波大学内

最終頁に続く

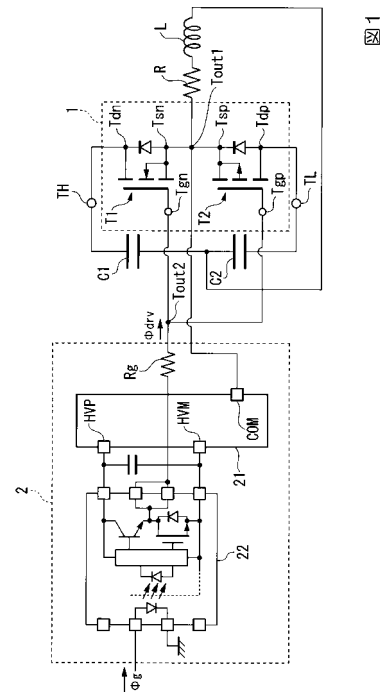
(54) 【発明の名称】 電力変換装置

(57) 【要約】

【課題】低コスト化が図られた、高性能な電力変換装置を提供する。

【解決手段】直流電源の高電位端子と出力端子との間に接続される第1のスイッチング素子と、前記直流電源の低電位端子と前記出力端子との間に接続される第2のスイッチング素子と、を有するスイッチングレグと、前記第1のスイッチング素子と前記第2のスイッチング素子とを、相補的にオンオフ動作させる駆動回路と、を備えた電力変換装置において、前記第1のスイッチング素子はNチャンネルMOSFETであり、前記第2のスイッチング素子はPチャンネルMOSFETであり、前記駆動回路は、前記第1のスイッチング素子および前記第2のスイッチング素子各々のゲート端子とソース端子との間を共通に駆動する駆動信号を出力する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

直流電源の高電位端子と出力端子との間に接続される第 1 のスイッチング素子と、前記直流電源の低電位端子と前記出力端子との間に接続される第 2 のスイッチング素子と、を有するスイッチングレグと、

前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを、相補的にオンオフ動作させる駆動回路と、を備えた電力変換装置において、

前記第 1 のスイッチング素子は N チャネル MOS F E T であり、

前記第 2 のスイッチング素子は P チャネル MOS F E T であり、

前記駆動回路は、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子各々のゲート端子とソース端子との間を共通に駆動する駆動信号を出力する、

ことを特徴とする電力変換装置。

10

【請求項 2】

前記第 1 のスイッチング素子および前記第 2 のスイッチング素子は、S i デバイスである、

ことを特徴とする請求項 1 に記載の電力変換装置。

【請求項 3】

前記スイッチングレグを複数台備え、複数台のスイッチングレグ各々に対して前記駆動回路を設けて構成される、

ことを特徴とする請求項 1 または請求項 2 に記載の電力変換装置。

20

【請求項 4】

前記駆動回路は、絶縁電源とフォトカブラを備え、

前記絶縁電源は、前記スイッチングレグの前記出力端子に接続される基準電圧入力端子の電位を基準電位として、前記基準電位より高い電位を生成して、生成した電位を第 1 の電源電圧出力端子から出力し、前記基準電位より低い電位を生成して、生成した電位を第 2 の電源電圧出力端子から出力し、

前記フォトカブラは、出力回路側の電源のうち高電位側電源が前記第 1 の電源電圧出力端子に接続され、低電位側電源が前記第 2 の電源電圧出力端子に接続され、入力信号が H レベルのとき、電位が高電位の前記駆動信号を前記ゲート端子に接続された第 2 の出力端子へ出力し、前記入力信号が L レベルのとき、電位が低電位の前記駆動信号を前記第 2 の出力端子へ出力する、

ことを特徴とする請求項 1 から請求項 3 いずれか一項に記載の電力変換装置。

30

【請求項 5】

前記駆動回路は、絶縁電源とフォトカブラと第 2 のフォトカブラを備え、

前記絶縁電源は、基準電圧入力端子の電位を基準電位として、前記基準電位より高い電位を生成して、生成した電位を第 1 の電源電圧出力端子から出力し、前記基準電位より低い電位を生成して、生成した電位を第 2 の電源電圧出力端子から出力し、

前記フォトカブラは、出力回路側の電源のうち高電位側電源が前記第 1 の電源電圧出力端子に接続され、低電位側電源が前記第 2 の電源電圧出力端子に接続され、入力信号が H レベルのとき、電位が高電位の前記駆動信号を前記ゲート端子に接続された第 2 の出力端子へ出力し、前記入力信号が L レベルのとき、電位が低電位の前記駆動信号を前記第 2 の出力端子へ出力し、

前記第 2 のフォトカブラは、出力回路側の電源のうち高電位側電源が前記第 1 の電源電圧出力端子に接続され、低電位側電源が前記基準電圧入力端子に接続され、第 2 の入力信号が H レベルのとき、電位が高電位の第 2 の駆動信号を前記出力端子に接続された第 3 の出力端子へ出力し、前記第 2 の入力信号が L レベルのとき、電位が前記基準電位の第 2 の駆動信号を前記第 3 の出力端子へ出力する、

ことを特徴とする請求項 1 から請求項 3 いずれか一項に記載の電力変換装置。

40

【発明の詳細な説明】**【技術分野】**

50

【 0 0 0 1 】

本発明は、スイッチングレグと、当該スイッチングレグを相補的にオンオフ動作させる駆動回路とを備えた電力変換装置に関するものである。

【 背景技術 】

【 0 0 0 2 】

従来から、多相交流電力を直流電力に変換する多相コンバータ回路や、直流電力を多相交流電力に変換する多相インバータ回路などの電力変換装置が用いられている。これらの電力変換装置は、所定の電圧を出力するために、スイッチングレグと呼ばれる上段アーム側のスイッチング素子と下段アーム側のスイッチング素子とが直列に接続された構成を入力もしくは出力の相数分備えた、いわゆるブリッジ回路で構成されている。また、各アームのスイッチング素子のオンオフを行うために、ゲート駆動回路を用いることが一般的となっている。

10

【 0 0 0 3 】

ところで、このようなスイッチングレグと、駆動回路とを備えた電力変換装置では、従来の Si (Silicon) 半導体を用いた MOSFET (Metal Oxide Semiconductor Field Effect Transistor) や IGBT (Insulated Gate Bipolar Transistor) 等のスイッチング素子が使用されている。

【 0 0 0 4 】

このような電力変換装置は、スイッチングレグを構成する 2 つのスイッチング素子を、Nチャネル IGBT か Nチャネル MOSFET のいずれか一方で構成することが行われていた。また、下記特許文献 1 には、Nチャネル IGBT と Pチャネル IGBT からなるパワー回路部 (スイッチングレグ) および制御回路部 (駆動回路) とを備えるパワー半導体モジュールについて開示されている。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特許第 3 5 2 5 8 2 3 号公報

【 非特許文献 】

【 0 0 0 6 】

【 非特許文献 1 】 K.Ueno et al, "Improvement of the safe operating area for p-channel insulated gate bipolar transistors(IGBT)," Japanese Journal of Applied Physics, vol.30, No.6A, pp.L.966-969 (1991)

30

【 非特許文献 2 】 N.Iwamuro et al, "Numerical Analysis of Short-circuit Safe Operating Area for p-Channel and n-Channel IGBT's," IEEE Trans on Electron Devices, Vol.38, No.2, pp.303-309 (1991)

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、特許文献 1 に記載のスイッチングレグでは、スイッチング素子がいずれも Nチャネル素子を使用している場合と同様、電力変換装置を構成する駆動回路の部品点数が減らないため、電力増幅装置の低コスト化が図れないという問題があった。

40

【 0 0 0 8 】

また、特許文献 1 に記載のスイッチングレグでは、スイッチング素子がいずれも Nチャネル素子を使用している場合と同様、両方のスイッチング素子がオンすることを防ぐため、デッドタイムを長く設ける必要があり、スイッチングの高周波化に伴う変調の歪みや損失の増加を防げず、電力変換装置の高性能化を妨げるという問題があった。

【 0 0 0 9 】

また、特許文献 1 に記載のスイッチングレグでは、Si デバイスである Pチャネル IGBT を使用しているため、Pチャネル IGBT がオンからオフ状態に遷移する際、例えば 380V 程度の高電圧が加わりながら電流が導通するモードがあると、Pチャネル IGBT

50

Tが破壊するという信頼性上の問題があった。なおこの現象は非特許文献1または2にすでに公開されている。すなわち、電力変換装置の高信頼性を妨げるという問題があった。このための対策として、SiデバイスをIGBTからMOSFETに変えることが考えられるが、SiデバイスであるPチャンネルMOSFETは、抵抗値が高かったため、電力変換装置の高性能化を妨げるという問題があった。

【0010】

本発明は、上記のような問題点を解決するためになされたものであり、低コスト化が図られた、高性能な電力変換装置を提供することにある。

【課題を解決するための手段】

【0011】

上記の課題を解決するために、本発明の電力変換装置は、直流電源の高電位端子と出力端子との間に接続される第1のスイッチング素子と、前記直流電源の低電位端子と前記出力端子との間に接続される第2のスイッチング素子と、を有するスイッチングレグと、前記第1のスイッチング素子と前記第2のスイッチング素子とを、相補的にオンオフ動作させる駆動回路と、を備えた電力変換装置において、前記第1のスイッチング素子はNチャンネルMOSFETであり、前記第2のスイッチング素子はPチャンネルMOSFETであり、前記駆動回路は、前記第1のスイッチング素子および前記第2のスイッチング素子各々のゲート端子とソース端子との間を共通に駆動する駆動信号を出力する、ことを特徴とする。

10

【0012】

この構成により、本発明の電力変換装置は、第1のスイッチング素子はNチャンネルMOSFETであり、第2のスイッチング素子はPチャンネルMOSFETであり、駆動回路は、第1のスイッチング素子および第2のスイッチング素子各々のゲート端子とソース端子との間を共通に駆動する駆動信号を出力する。これにより、電力変換装置を構成する駆動回路の部品点数を減らすことができる。また、共通に駆動する駆動信号を出力することにより、デッドタイムを最小化することができるため、スイッチングの高周波化に伴い変調の歪みや損失の増加につながることを防ぐことができ、電力変換装置の高性能化を図ることができる。

20

【0013】

また、本発明の電力変換装置は、前記第1のスイッチング素子および前記第2のスイッチング素子は、Siデバイスである、ことを特徴とする。

30

【0014】

この構成により、スイッチングレグでは、低抵抗なSi(Silicon、ケイ素)デバイスであるPチャンネルMOSFETを使用することにより、電力変換装置の高性能化を図ることができる。

【0015】

また、本発明の電力変換装置は、前記スイッチングレグを複数台備え、複数台のスイッチングレグ各々に対して前記駆動回路を設けて構成される、ことを特徴とする。

【0016】

この構成により、スイッチングレグを複数台備える電力変換装置において、駆動回路の部品点数を半減することができる。

40

【0017】

また、本発明の電力変換装置は、前記駆動回路は、絶縁電源とフォトカプラを備え、前記絶縁電源は、前記スイッチングレグの前記出力端子に接続される基準電圧入力端子の電位を基準電位として、前記基準電位より高い電位を生成して、生成した電位を第1の電源電圧出力端子から出力し、前記基準電位より低い電位を生成して、生成した電位を第2の電源電圧出力端子から出力し、前記フォトカプラは、出力回路側の電源のうち高電位側電源が前記第1の電源電圧出力端子に接続され、低電位側電源が前記第2の電源電圧出力端子に接続され、入力信号がHレベルのとき、電位が高電位の前記駆動信号を前記ゲート端子に接続された第2の出力端子へ出力し、前記入力信号がLレベルのとき、電位が低電位

50

の前記駆動信号を前記第 2 の出力端子へ出力する、ことを特徴とする。

【0018】

この構成により、駆動回路は、第 1 のスイッチング素子および第 2 のスイッチング素子各々のゲート端子とソース端子との間を共通に駆動する駆動信号を出力することができる。

【0019】

また、本発明の電力変換装置は、前記駆動回路は、絶縁電源とフォトカプラと第 2 のフォトカプラを備え、前記絶縁電源は、基準電圧入力端子の電位を基準電位として、前記基準電位より高い電位を生成して、生成した電位を第 1 の電源電圧出力端子から出力し、前記基準電位より低い電位を生成して、生成した電位を第 2 の電源電圧出力端子から出力し、前記フォトカプラは、出力回路側の電源のうち高電位側電源が前記第 1 の電源電圧出力端子に接続され、低電位側電源が前記第 2 の電源電圧出力端子に接続され、入力信号が H レベルのとき、電位が高電位の前記駆動信号を前記ゲート端子に接続された第 2 の出力端子へ出力し、前記入力信号が L レベルのとき、電位が低電位の前記駆動信号を前記第 2 の出力端子へ出力し、前記第 2 のフォトカプラは、出力回路側の電源のうち高電位側電源が前記第 1 の電源電圧出力端子に接続され、低電位側電源が前記基準電圧入力端子に接続され、第 2 の入力信号が H レベルのとき、電位が高電位の第 2 の駆動信号を前記出力端子に接続された第 3 の出力端子へ出力し、前記第 2 の入力信号が L レベルのとき、電位が前記基準電位の第 2 の駆動信号を前記第 3 の出力端子へ出力する、ことを特徴とする。

【0020】

この構成により、スイッチングレグの出力を、電力変換装置の停止時、負荷短絡時、負荷地絡時のユーザ保護および電力変換装置の保護のため、両方のスイッチング素子をオフ状態にすることができる。この後も MOSFET 自体が持つ逆導電性によって、第 1 もしくは第 2 のスイッチング素子に電流が流れるが、電流が速やかに減少することになるので保護の目的を果たすことができる。

【発明の効果】

【0021】

本発明によれば、低コスト化が図られた、高性能な電力変換装置を提供することができる。

【図面の簡単な説明】

【0022】

【図 1】第 1 の実施形態の電力変換装置の構成を示す回路図である。

【図 2】負荷電流が正の場合の負荷電圧の時間変化を示す図である。

【図 3】負荷電流が負の場合の負荷電圧の時間変化を示す図である。

【図 4】第 2 の実施形態の電力変換装置の構成を示す回路図である。

【図 5】第 3 の実施形態の駆動回路 2 a の構成を示す回路図である。

【発明を実施するための形態】

【0023】

以下、本発明の実施の形態について図面を参照しながら説明する。

【0024】

[第 1 の実施形態]

図 1 は、第 1 の実施形態の電力変換装置の構成を示す回路図である。

電力変換装置は、スイッチングレグ 1 と駆動回路 2 とを備える。

なお、電力変換装置は、スイッチングレグ 1 と駆動回路 2 とを備えることが特徴であり、図 1 に示すコンデンサ C 1、コンデンサ C 2、抵抗 R およびコイル L は必須のものではない。コンデンサ C 1 およびコンデンサ C 2 は通常の 3 相インバータ回路などに用いられる平滑コンデンサと同様のものであり、抵抗 R およびコイル L は模擬負荷である。すなわち、図 1 は、例えばハーフブリッジインバータを模式的に表した図面となる。

【0025】

スイッチングレグ 1 は、パワー半導体素子として、スイッチング素子 T 1 (第 1 のスイ

10

20

30

40

50

ツチング素子)とスイッチング素子T2(第2のスイッチング素子)とを備える。

スイッチング素子T1は、NチャンネルMOSFETであり、ドレイン端子Tdnが高電位端子THに接続され、ゲート端子Tgnが駆動回路2の出力端子Tout2(第2の出力端子)に接続され、ソース端子Tsnがスイッチングレグ1の出力端子Tout1(出力端子)に接続される。また、スイッチング素子T1はボディダイオードを含んでいる。ボディダイオードの電流の向きは、ソース端子Tsnからドレイン端子Tdnへ電流を流す向きである。また、スイッチング素子T1に逆並列に接続されたダイオードを設けてもよい。ダイオードの電流の向きは、ソース端子Tsnからドレイン端子Tdnへ電流を流す向きである。

スイッチング素子T2は、PチャンネルMOSFETであり、ドレイン端子Tdpが低電位端子TLに接続され、ゲート端子Tgが駆動回路2の出力端子Tout2に接続され、ソース端子Tspがスイッチングレグ1の出力端子Tout1に接続される。また、スイッチング素子T2はボディダイオードを含んでいる。ボディダイオードの電流の向きは、ドレイン端子Tdpからソース端子Tspへ電流を流す向きである。また、スイッチング素子T2に逆並列に接続されたダイオードを設けてもよい。ダイオードの電流の向きは、ドレイン端子Tdpからソース端子Tspへ電流を流す向きである。

スイッチング素子T1およびスイッチング素子T2各々のゲート端子とソース端子との間は、駆動回路2が出力する駆動信号drvにより共通に駆動される。

【0026】

なお、本実施形態において、スイッチングレグ1のスイッチング素子T1としてSiデバイスであるNチャンネルMOSFETを、スイッチングレグ1のスイッチング素子T2としてSiデバイスであるPチャンネルMOSFETを使用している。これは現状において低抵抗化が進むSiデバイスであるPチャンネルMOSFETを使用することにより、電力変換装置の高性能化を図るためである。この低抵抗化は、PチャンネルMOSFETのSiデバイスの構造により保証されるものであり、保証されるPチャンネルMOSFETの低抵抗化の程度は、製品としての電力変換装置のスペックにより判断されるものである。

【0027】

駆動回路2は、絶縁電源21と、スイッチングレグ1を駆動する駆動信号drvを出力するフォトブラ22とから構成される。駆動回路2は、スイッチングレグを構成する2つのスイッチング素子が、NチャンネルMOSFETで構成される場合、2つのスイッチング素子を相補的にオンオフ動作させるため、図1に示す駆動回路を2台使用していた。なお、2つのスイッチング素子を相補的にオンオフ動作させるとは、2つのスイッチング素子の一方のスイッチング素子をオンさせている状態では、他方のスイッチング素子をオフの状態にし、一方のスイッチング素子をオフさせている状態では、他方のスイッチング素子をオンしている状態にすることをいう。これに対して、本願の電力変換装置では、図1に示すように1台の駆動回路で、2つのスイッチング素子を相補的にオンオフ動作させることが可能となる。

【0028】

絶縁電源21は、例えばトランスやDC/DCコンバータにより構成されており、フォトブラ22に動作電圧を供給するための回路である。絶縁電源21は、基準電圧入力端子COMがスイッチングレグ1の出力端子Tout1に接続され、基準電圧入力端子COMの電位を、一例として+15Vして、出力端子HVP(第1の電源電圧出力端子)から出力する。また、絶縁電源21は、基準電圧入力端子COMの電位を、一例として-15Vして、出力端子HVM(第2の電源電圧出力端子)から出力する。すなわち、基準電圧入力端子COMの電位を基準電位として、出力端子HVPおよび出力端子HVMの電位が決まる。決められた出力端子HVPおよび出力端子HVMの電位は、フォトブラ22の出力側の電源の電位として与えられる。

【0029】

フォトブラ22は、マイコン(不図示)からの入力信号g(PWM信号)が入力される。入力信号gは、例えばハイ(H)レベルが5V、ロウ(L)レベルが0Vの信号

10

20

30

40

50

である。フォトカプラ 22 は、入力信号 g が入力され、入力信号 g を増幅した駆動信号 drv を、ゲート抵抗 R_g を介して出力する。駆動信号 drv の増幅度は、(出力端子 HVP の電位 - 出力端子 HVM の電位) / $5V$ である。

【0030】

このように、駆動回路 2 は、絶縁電源 21 とフォトカプラ 22 を有している。この絶縁電源 21 は、スイッチングレグ 1 の出力端子 $Tout1$ に接続される基準電圧入力端子 COM の電位 (V_{tout1} とする) を基準電位として、基準電位より高い電位 (V_{hvp} とする) と基準電位より低い電位 (V_{hvm} とする) を生成し、それぞれの生成した電位を出力端子 HVP 、出力端子 HVM から出力する。また、フォトカプラ 22 は、出力回路側の電源のうち高電位側電源が出力端子 HVP に接続され、低電位側電源が出力端子 HVM に接続される。フォトカプラ 22 は、入力信号 g が H レベルのとき、電位が ($V_{tout1} + V_{hvp}$) である高電位の駆動信号 drv を出力し、入力信号 g が L レベルのとき、電位が ($V_{tout1} - V_{hvm}$) である低電位の駆動信号 drv を出力する。ここで、 $V_{hvp} = V_{hvm}$ とする。

10

【0031】

このような構成により、駆動回路 2 は、パワー半導体素子として動作するスイッチングレグ 1 の両スイッチング素子のゲート - ソース間に、共通の電位 (以下、電位差 V_{gs} とする) を印加することが可能となる。

駆動回路 2 は、例えば、高電位端子 TH の電位が $+380V$ 、低電位端子 TL の電位が $0V$ のとき、スイッチングレグ 1 のスイッチング素子 $T1$ をオン、スイッチング素子 $T2$ をオフさせるため、両スイッチング素子のゲート - ソース間を、共通の電位差 V_{gs} のうち最大の $15V$ により駆動することができる。また、駆動回路 2 は、スイッチングレグ 1 のスイッチング素子 $T1$ をオフ、スイッチング素子 $T2$ をオンさせるため、両スイッチング素子のゲート - ソース間を、共通の電位差 V_{gs} のうち最小の $-15V$ により駆動することができる。

20

【0032】

すなわち、駆動回路 2 は、従来では N チャネル $MOSFET$ と N チャネル $MOSFET$ とを、相補的にオンオフ動作させるために 2 台必要であった。これに対し、本願では、駆動回路 2 は、 N チャネル $MOSFET$ および P チャネル $MOSFET$ を相補的にオンオフ動作させるため、 N チャネル $MOSFET$ および P チャネル $MOSFET$ 各々のゲート端子とソース端子との間を共通に駆動する駆動信号 drv を出力するので、1 台あればよい。これにより、電力変換装置を構成する駆動回路の部品点数を減らすことができる。

30

【0033】

続いて、本実施形態の電力変換装置の高性能化 (デットタイムを小さくできること) について、図 2 および図 3 を参照しつつ説明する。図 2 は、負荷電流が正の場合の負荷電圧 (Load voltage) の時間変化を示す図であり、図 3 は、負荷電流が負の場合の負荷電圧の時間変化を示す図である。ここで、負荷電流が正の場合とは、スイッチングレグ 1 の出力端子 $Tout1$ から模擬負荷へ電流が流れ出す場合をいい、負荷電流が負の場合とは、スイッチングレグ 1 の出力端子 $Tout1$ へ模擬負荷から電流が流れ込む場合をいう。また、負荷電圧とは、スイッチングレグ 1 の出力端子 $Tout1$ の電位をいう。

40

また、負荷電流を正にする場合とは、フォトカプラ 22 に入力される入力信号 g の周波数が、例えば $5kHz$ で $duty$ 比が 0.7 の場合である。また、負荷電流を負にする場合とは、フォトカプラ 22 に入力される入力信号 g の周波数が、例えば $5kHz$ で $duty$ 比が 0.3 の場合である。また、ここでは、高電位端子 TH の電位が $50V$ 、低電位端子 TL の電位が $-50V$ である場合について説明する。

【0034】

図 2 (a) に示すように、駆動回路 2 により、 $-13V \sim 13V$ で変化する電位差 V_{gs} がスイッチングレグ 1 のスイッチング素子 $T1$ およびスイッチング素子 $T2$ 各々のゲート - ソース間に共通に加わる。

スイッチングを始めるとき (時刻 $t = 0$)、駆動回路 2 によりスイッチング素子 $T1$ の

50

ゲート - ソース間容量を充電し、スイッチング素子 T 2 のゲート - ソース間容量を放電するため、時間を $1 \mu\text{s}$ 程度要する。

電位差 V_{gs} がスイッチング素子 T 2 の閾値 -5V になると (時刻 t_1)、スイッチング素子 T 2 がオフする。その後、しばらく $2 \mu\text{s}$ の期間、スイッチング素子 T 1 およびスイッチング素子 T 2 の両方がオフである時間が続く。電位差 V_{gs} がスイッチング素子 T 1 の閾値 5V になると (時刻 t_2)、スイッチング素子 T 1 がオンする。時刻 ($t_2 - t_1$) の期間がデッドタイムに相当する。

【0035】

このデッドタイムは、駆動回路 2 による電位差 V_{gs} の立ち上りを早くすれば短くできる。このように、駆動回路 2 が、スイッチングレグ 1 のスイッチング素子 T 1 およびスイッチング素子 T 2 を相補的にオンオフ動作させるため、スイッチングレグ 1 のスイッチング素子 T 1 およびスイッチング素子 T 2 各々のゲート端子とソース端子との間を共通に駆動する駆動信号 drv を出力することが、本願の特徴である。

【0036】

これに対して、スイッチング素子 T 1 およびスイッチング素子 T 2 が N チャネル MOSFET である場合は、別々の駆動回路でスイッチング素子 T 1、スイッチング素子 T 2 を駆動するため、簡単に両方がオンしない期間を短くするのが難しい。なぜなら、非常に高速でスイッチングさせるため、駆動回路の遅延などを考慮して、確実にスイッチング素子 T 2 がオフしてから、スイッチング素子 T 1 をオンさせなければならないため、デッドタイムが非常に長い時間となってしまうからである。

【0037】

本願では、一つの駆動回路 2 によりスイッチングレグ 1 のスイッチング素子 T 1 およびスイッチング素子 T 2 を相補的にオンオフ動作させるため、スイッチングレグ 1 のスイッチング素子 T 1 およびスイッチング素子 T 2 各々のゲート端子とソース端子との間を共通に駆動する駆動信号 drv を出力するので、デッドタイムを短くでき、両方がオンする期間が発生することを排除できる。

【0038】

また、スイッチング素子 T 2 のボディダイオードまたは逆並列接続されたダイオードは、負荷電流が正の場合であるので、時刻 t_1 にスイッチング素子 T 2 がオフしても、時刻 t_2 まで上向きに電流を流す。時刻 t_2 になると、スイッチング素子 T 1 がオンするので、ダイオードからの電流パスがスイッチング素子 T 1 からの電流パスに切り替わって、図 2 (a) に示すように、負荷電圧が -50V から 50V へと変わるスイッチングが生じる。

【0039】

逆に、スイッチング素子 T 1 がオフするとき、図 2 (b) に示すように、電位差 V_{gs} がスイッチング素子 T 1 の閾値 5V になると (時刻 t_3)、スイッチング素子 T 1 がオフする。ここで、負荷電流が正の場合であるので、スイッチング素子 T 1 からの電流パスがダイオードからの電流パスに切り替わって、負荷電圧が 50V から -50V へと変わるスイッチングが生じる。その後、電位差 V_{gs} がスイッチング素子 T 2 の閾値 -5V になっても (時刻 t_4)、スイッチングは生じない。

【0040】

一方、負荷電流が負の場合については、図 3 (a) に示すように、電位差 V_{gs} がスイッチング素子 T 2 の閾値 -5V になると (時刻 t_1)、負荷電圧が -50V から 50V へと変わるスイッチングが生じる。また、図 3 (b) に示すように、電位差 V_{gs} がスイッチング素子 T 2 の閾値 -5V になると (時刻 t_4)、負荷電圧が 50V から -50V へと変わるスイッチングが生じる。

【0041】

図 2 と図 3 とを比較すると、負荷電圧の立ち上がりおよび立ち下りの時刻が、デッドタイムに相当する期間だけ前後にずれてしまうことが判る。しかしながら、この負荷電圧の立ち上がりおよび立ち下りの時刻のずれは、デッドタイムを短くすることにより、緩和で

10

20

30

40

50

きる。なお、デッドタイムを短くすることは、駆動回路2の出力部のゲート抵抗 R_g を小さい値にし、駆動信号 d_{rv} の立ち上がりを早くすることにより可能である。

【0042】

このように、デッドタイムの期間においては、スイッチング素子 T_2 のボディダイオードまたは逆並列接続されたダイオードにより、損失が生じる。スイッチング素子 T_1 およびスイッチング素子 T_2 がNチャンネルMOSFETである場合は、デッドタイムが長くなるため、損失の増加を抑制することができない。これに対して、本実施形態では、一つの駆動回路2によりスイッチングレグ1のスイッチング素子 T_1 およびスイッチング素子 T_2 を相補的にオンオフ動作させるため、スイッチング素子 T_1 およびスイッチング素子 T_2 各々のゲート端子とソース端子との間を共通に駆動する駆動信号 d_{rv} を出力するので、デッドタイムを短くでき、損失の増加を抑制することができる。

10

【0043】

また、負荷電流が正の場合と、負の場合とでは、デッドタイムに相当する分だけ、スイッチングの起こる時刻に誤差が生じ、制御上期待される $+50V$ 、 $-50V$ が出力される期間とは異なる期間で $+50V$ 、 $-50V$ が出力されることになり、たとえばデューティ比を正弦波状に制御することによって負荷に出力する交流電圧を正弦波とするPWM変調においては負荷電圧に歪みが生じることとなる。スイッチング素子 T_1 およびスイッチング素子 T_2 がNチャンネルMOSFETである場合は、デッドタイムが長くなるため、歪みの増加を抑制することができない。これに対して、本実施形態では、一つの駆動回路2によりスイッチングレグ1のスイッチング素子 T_1 およびスイッチング素子 T_2 を相補的にオンオフ動作させるため、スイッチング素子 T_1 およびスイッチング素子 T_2 各々のゲート端子とソース端子との間を共通に駆動する駆動信号を出力するので、デッドタイムを短くでき、歪みの増加を抑制することができる。

20

【0044】

このように、本実施形態の電力変換装置は、直流電源の高電位端子 TH と出力端子 T_{out1} との間に接続されるスイッチング素子 T_1 （第1のスイッチング素子）と、直流電源の低電位端子 TL と出力端子 T_{out1} との間に接続されるスイッチング素子 T_1 （第2のスイッチング素子）と、を有するスイッチングレグ1と、第1のスイッチング素子と第2のスイッチング素子とを、相補的にオンオフ動作させる駆動回路2と、を備える。この電力変換装置において、第1のスイッチング素子はNチャンネルMOSFETであり、第2のスイッチング素子はPチャンネルMOSFETであり、駆動回路2は、第1のスイッチング素子および第2のスイッチング素子各々のゲート端子とソース端子との間を共通に駆動する駆動信号 d_{rv} を出力する、ことを特徴とする。

30

【0045】

これにより、本実施形態の電力変換装置によれば、駆動回路2が、第1のスイッチング素子および第2のスイッチング素子各々のゲート端子とソース端子との間を共通に駆動する駆動信号 d_{rv} を出力することにより、電力変換装置を構成する駆動回路の部品点数を減らすことができる。また、駆動回路2が、第1のスイッチング素子および第2のスイッチング素子各々のゲート端子とソース端子との間を共通に駆動する駆動信号 d_{rv} を出力することにより、デッドタイムを短くできるため、電力変換装置の高性能化を図ることができる。

40

【0046】

[第2の実施形態]

第2の実施形態では、第1の実施形態で説明したスイッチングレグを3台用いた電力変換装置について説明する。

図4は、第2の実施形態の電力変換装置の構成を示す回路図である。図4は、具体例として、三相インバータ回路の主要部の構成を示している。

三相インバータ回路は、スイッチングレグ1U、スイッチングレグ1V、およびスイッチングレグ1Wの3つのレグを備える。スイッチングレグ1U、スイッチングレグ1V、およびスイッチングレグ1W各々は、高電位端子 TH と低電位端子 TL との間に加わる直

50

流電力を負荷の各相（U相、V相、W相）に対応する三相の交流電力に変換し、それぞれの出力端子 T_{out1U} 、出力端子 T_{out1V} 、出力端子 T_{out1W} から出力する。出力端子 T_{out1U} 、出力端子 T_{out1V} 、出力端子 T_{out1W} に接続する負荷としては、例えば三相モータなどを用いることができる。

【0047】

スイッチングレグ1U、スイッチングレグ1V、スイッチングレグ1W各々は、第1の実施形態で説明したスイッチングレグ1と同様な構成を有している。すなわち、スイッチングレグ1Uは、高電位端子THと低電位端子TLとの間に直列に接続された、スイッチング素子T1U（NチャンネルMOSFET）とスイッチング素子T2U（PチャンネルMOSFET）とを備える。また、スイッチングレグ1Vは、高電位端子THと低電位端子TLとの間に直列に接続された、スイッチング素子T1V（NチャンネルMOSFET）とスイッチング素子T2V（PチャンネルMOSFET）とを備える。また、スイッチングレグ1Wは、高電位端子THと低電位端子TLとの間に直列に接続された、スイッチング素子T1W（NチャンネルMOSFET）とスイッチング素子T2W（PチャンネルMOSFET）とを備える。

10

【0048】

また、スイッチングレグ1U、スイッチングレグ1V、スイッチングレグ1W各々は、第1の実施形態で説明したスイッチングレグ1と同様に、それぞれ一つの駆動回路2U、駆動回路2V、駆動回路2Wから、2つスイッチング素子を駆動する駆動信号 $drvU$ 、駆動信号 $drvV$ 、駆動信号 $drvW$ が入力される。

20

すなわち、駆動回路2Uは、マイコンから入力される入力信号 gU （PWM信号）に基づいて、スイッチングレグ1Uを構成するスイッチング素子T1Uおよびスイッチング素子T2Uに対して、スイッチング素子T1Uおよびスイッチング素子T2U各々のゲート端子とソース端子との間を共通に駆動する駆動信号 $drvU$ を出力する。

また、駆動回路2Vは、マイコンから入力される入力信号 gV （PWM信号）に基づいて、スイッチングレグ1Vを構成するスイッチング素子T1Vおよびスイッチング素子T2Vに対して、スイッチング素子T1Vおよびスイッチング素子T2V各々のゲート端子とソース端子との間を共通に駆動する駆動信号 $drvV$ を出力する。

また、駆動回路2Wは、マイコンから入力される入力信号 gW （PWM信号）に基づいて、スイッチングレグ1Wを構成するスイッチング素子T1Wおよびスイッチング素子T2Wに対して、スイッチング素子T1Wおよびスイッチング素子T2W各々のゲート端子とソース端子との間を共通に駆動する駆動信号 $drvW$ を出力する。

30

【0049】

従来の三相インバータ回路では、3台のスイッチングレグにおいて、NチャンネルMOSFETとNチャンネルMOSFETとを相補的にオンオフ動作させるために、駆動回路が6台必要であった。

これに対して、本実施形態の三相インバータ回路では、3台のスイッチングレグにおいて、NチャンネルMOSFETおよびPチャンネルMOSFETを相補的にオンオフ動作させるために、NチャンネルMOSFETおよびPチャンネルMOSFET各々のゲート端子とソース端子との間を共通に駆動する駆動信号 $drvU$ ～駆動信号 $drvW$ を出力する駆動回路2U～駆動回路2Wが3台あればよい。すなわち、三相インバータ回路を構成する駆動回路の部品点数を6台から3台へと半減することができる。

40

【0050】

[第3の実施形態]

第3の実施形態では、第1の実施形態、第2の実施形態で説明したスイッチングレグの出力を、電力変換装置の停止時、負荷短絡時、負荷地絡時のユーザ保護および電力変換装置の保護のため、両方のスイッチング素子をオフ状態にする場合について説明する。

図5は、第3の実施形態の駆動回路2aの構成を示す回路図である。図5において、図1と同じ部分には、同じ符号を付し、その説明を省略する。

図5に示すように、駆動回路2aは、駆動回路2に対してフォトカップラ22a（第2の

50

フォトカブラ)を備えている。

フォトカブラ22aは、出力回路側の電源のうち高電位側電源が、フォトカブラ22と同様に、絶縁電源21の出力端子HVPに接続され、低電位側電源が基準電圧入力端子COMに接続される。フォトカブラ22aは、入力信号ga(第2の入力信号)がHレベルのとき、電位が($V_{tout1} + V_{hvp}$)である高電位の駆動信号drva(第2の駆動信号)を、スイッチングレグ1の出力端子Tou1に接続された出力端子Tou3(第3の出力端子)に出力する。また、フォトカブラ22aは、入力信号gaがLレベルのとき、電位が基準電位の駆動信号drvaを出力端子Tou3へ出力する。

【0051】

本実施形態において、フォトカブラ22aが($V_{tout1} + V_{hvp}$)である高電位の駆動信号drvaを出力する期間を、フォトカブラ22が($V_{tout1} + V_{hvp}$)である高電位の駆動信号drvを出力する期間と一致させる。これにより、この期間においては、スイッチングレグ1の両スイッチング素子のゲート-ソース間に、共通の電位差 $V_{gs} = 0$ を印加することが可能となる。

すなわち、駆動回路2aは、マイコンから入力される入力信号g、入力信号gaをHレベルにすることにより、両方のスイッチング素子をオフ状態にすることが可能となり、電力変換装置の停止時、負荷短絡時、負荷地絡時のユーザ保護および電力変換装置の保護を行うことができる。この後もMOSFET自体が持つ逆導電性によって、第1もしくは第2のスイッチング素子に電流が流れるが、電流が速やかに減少することになるので保護の目的を果たすことができる。

【0052】

以上、図面を参照してこの発明の一実施形態について詳しく説明してきたが、具体的な構成は上述のものに限られることはなく、この発明の要旨を逸脱しない範囲内において様々な設計変更等を行うことが可能である。

例えば、実施形態では、電力変換装置として三相インバータ回路について説明を行った。しかし、スイッチングレグが2つのスイッチング素子で構成される、例えば、多相インバータ回路や、DC/DCコンバータ回路、或いはAC/DCコンバータ回路などの電力変換装置などであってもよい。

【産業上の利用可能性】

【0053】

本発明の電力変換装置は、モータドライブ用インバータ、太陽光発電用パワーコンディショナー、その他自然エネルギーの系統連系装置、ハイブリッド・電気自動車・電気鉄道のドライブ、ACアダプタなど直流電源装置に利用できる。

【符号の説明】

【0054】

1, 1U, 1V, 1W...スイッチングレグ、2, 2U, 2V, 2W...駆動回路、21, 21U, 21V, 21W...絶縁電源、22, 22U, 22V, 22W, 22a...フォトカブラ、T1, T1U, T1V, T1W, T2, T2U, T2V, T2W...スイッチング素子、Tgn, TgnU, TgnV, TgnW, Tgp, TgpU, TgpV, TgpW...ゲート端子、Tsn, TsnU, TsnV, TsnW, Tsp, TspU, TspV, TspW...ソース端子、Tdn, TdnU, TdnV, TdnW, Tdp, TdpU, TdpV, TdpW...ドレイン端子、Tou1, Tou2, HVP, HVM...出力端子、TH...高電位端子、TL...低電位端子、COM...入力端子、Rg, R...抵抗、C1, C2...コンデンサ、L...コイル、g, gU, gV, gW...入力信号、drv, drvU, drvV, drvW, drva...駆動信号

10

20

30

40

【 図 1 】

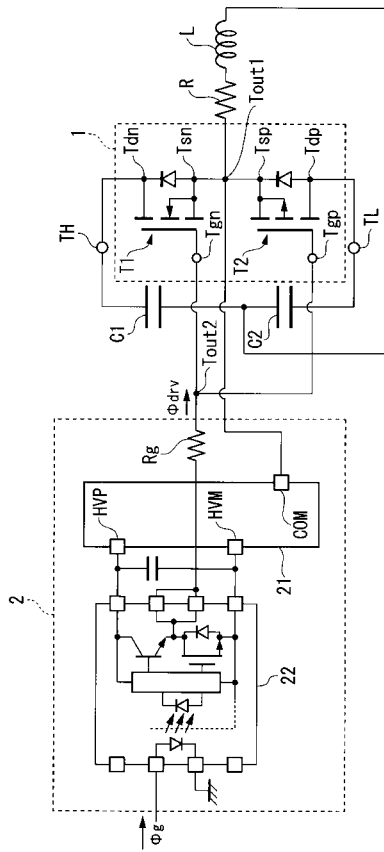


図 1

【 図 2 】

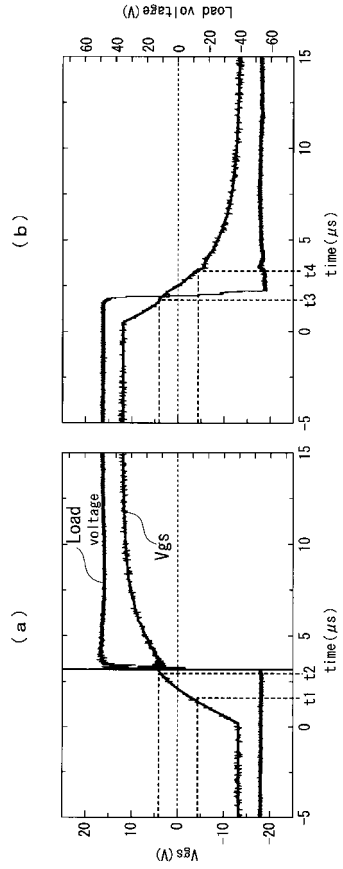


図 2

【 図 3 】

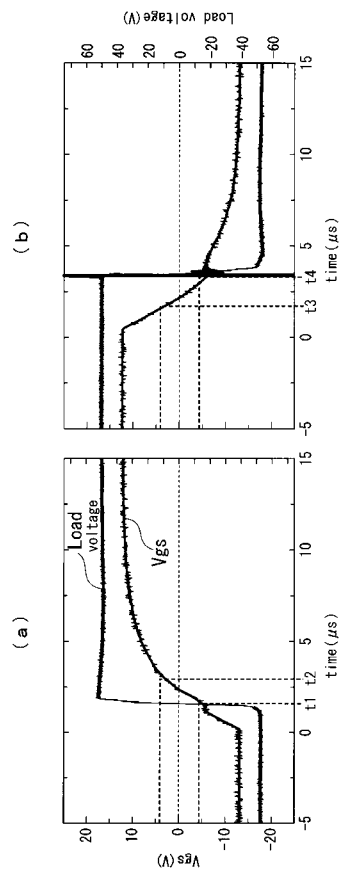


図 3

【 図 4 】

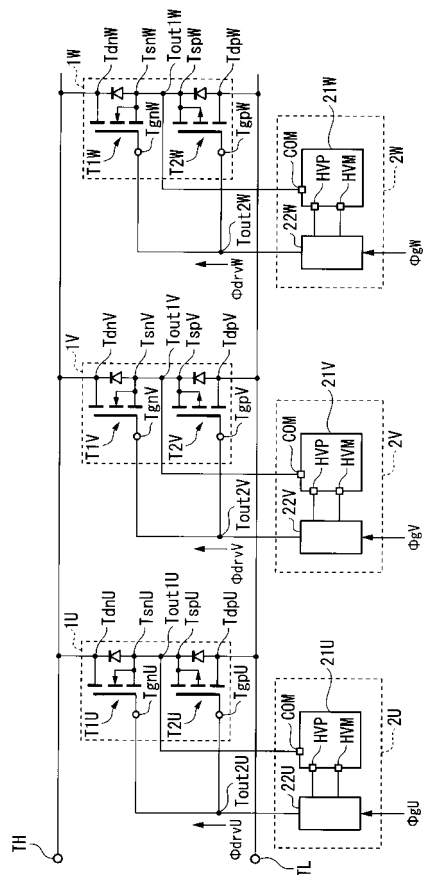


図 4

【 図 5 】

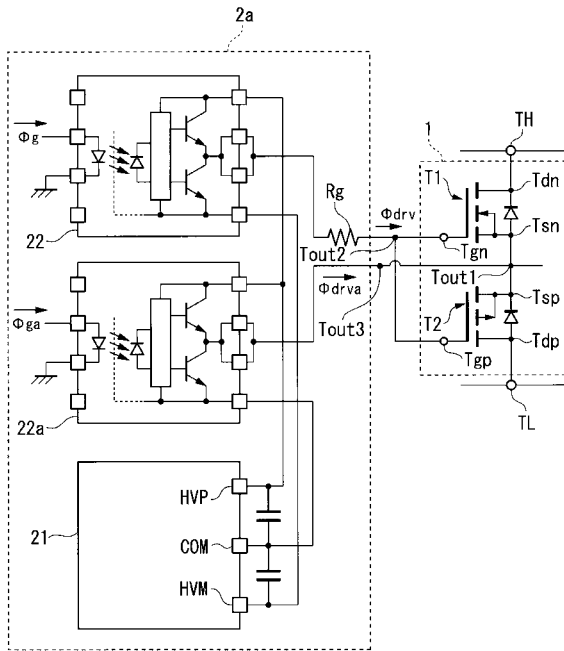


図5

フロントページの続き

(72)発明者 只野 博

茨城県つくば市天王台一丁目1番1 国立大学法人筑波大学内

(72)発明者 矢野 裕司

茨城県つくば市天王台一丁目1番1 国立大学法人筑波大学内

Fターム(参考) 5H007 CB02 CB04 CB05 CB12 CC06 CC07 CC23 DB03 DB09 DB12
EA02
5H740 BA12 BB01 BB05 BC01 BC02 HH05 KK04 LL01