

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-15186

(P2016-15186A)

(43) 公開日 平成28年1月28日(2016.1.28)

(51) Int.Cl.
G11C 11/412 (2006.01)

F I
G11C 11/40 301

テーマコード(参考)
5B015

審査請求 未請求 請求項の数 7 O L (全 24 頁)

(21) 出願番号 特願2014-135698 (P2014-135698)
(22) 出願日 平成26年7月1日(2014.7.1)

(71) 出願人 504160781
国立大学法人金沢大学
石川県金沢市角間町ヌ7番地
(74) 代理人 100121120
弁理士 渡辺 尚
(74) 代理人 100094145
弁理士 小野 由己男
(72) 発明者 松田 吉雄
石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内
Fターム(参考) 5B015 HH01 HH03 JJ24 KA02 KA06
KA13 KA28 KB92 QQ01

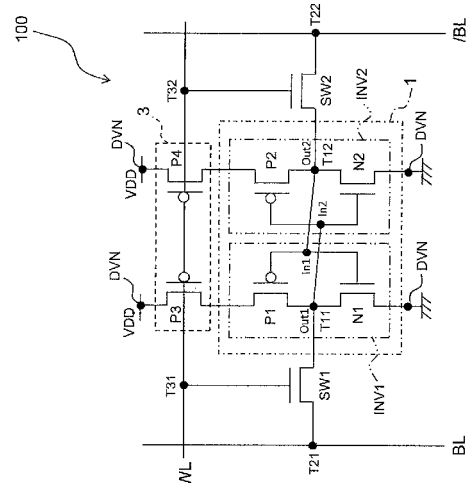
(54) 【発明の名称】 メモリ回路

(57) 【要約】

【課題】SRAMにおいて、より簡単な回路構成により書き込みマージンと読み出しマージンを拡大させる。

【解決手段】メモリ回路100は、メモリセル1とアクセストランジスタSW1、SW2とメモリ出力抵抗調整部3とを備える。メモリセル1においては、2個のCMOSインバータINV1、INV2が相補的に接続される。アクセストランジスタSW1、SW2は、データ出力ノードOut1、Out2と接続される第1端子と、ビット線BL、/BLと接続される第2端子と、ワード電圧VDDWが入力される第3端子とを有する。メモリ出力抵抗調整部3は、接続抵抗の抵抗値R₁の第1の倍数以上の抵抗値R₀を有するメモリ出力抵抗を形成する。読み出し動作時において、接続抵抗の抵抗値R₁はCMOSインバータINV1、INV2のON状態のnMOSトランジスタ又はpMOSトランジスタのソース・ドレイン間の抵抗値R₂の第2の倍数である。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

直列に接続された n M O S トランジスタと p M O S トランジスタから構成される 2 個の C M O S インバータを相補的に接続したフリップフロップ回路であるメモリセルと、

前記 C M O S インバータの出力とデータ出力ノードにおいて接続される第 1 端子と、前記メモリセルへ記憶するビットデータの値に対応する書き込み電圧が印加され前記メモリセルに記憶されているビットデータの値に対応する読み出し電圧が出力されるビット線と接続される第 2 端子と、書き込み動作時及び読み出し動作時に前記第 1 端子と前記第 2 端子とを接続するワード電圧が入力される第 3 端子と、を有するアクセストランジスタと、

前記メモリセルに駆動電力を供給する電源が接続される電力供給ノードと前記データ出力ノードとの間に配置され、前記書き込み動作時に前記第 1 端子と前記第 2 端子との間の接続抵抗の抵抗値の第 1 の倍数以上の抵抗値を有するメモリ出力抵抗を前記 n M O S トランジスタ又は前記 p M O S トランジスタとともに形成するメモリ出力抵抗調整部と、を備え、

前記読み出し動作時において、前記接続抵抗の抵抗値は O N 状態の前記 n M O S トランジスタ又は前記 p M O S トランジスタのソース - ドレイン間の抵抗値の第 2 の倍数となっている、メモリ回路。

【請求項 2】

前記ワード電圧は前記電源から出力される駆動電圧よりも低い、請求項 1 に記載のメモリ回路。

【請求項 3】

前記メモリ出力抵抗調整部は、前記 n M O S トランジスタ又は前記 p M O S トランジスタに対して直列に接続された M O S トランジスタにより構成される、請求項 1 又は 2 に記載のメモリ回路。

【請求項 4】

前記書き込み動作時及び前記読み出し動作時に、前記メモリ出力抵抗調整部を構成する前記 M O S トランジスタのゲート端子には前記ワード電圧が入力される、請求項 3 に記載のメモリ回路。

【請求項 5】

前記書き込み動作時及び前記読み出し動作時に、前記メモリ出力抵抗調整部を構成する前記 M O S トランジスタのゲート端子には、前記 M O S トランジスタのソース - ドレイン間の抵抗値を制御するメモリ出力抵抗調整電圧が入力される、請求項 3 に記載のメモリ回路。

【請求項 6】

前記メモリ出力抵抗調整部は、前記電力供給ノードと前記 n M O S トランジスタ又は前記 p M O S トランジスタとの間に配置される、請求項 1 ~ 5 のいずれかに記載のメモリ回路。

【請求項 7】

前記メモリ出力抵抗調整部は、前記 n M O S トランジスタ又は前記 p M O S トランジスタと前記データ出力ノードとの間に配置される、請求項 1 ~ 6 のいずれかに記載のメモリ回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体記憶装置のメモリ回路、特に、S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) のメモリ回路に関する。

【背景技術】**【0002】**

従来、高速動作可能なメモリとして、主に M O S トランジスタ (C M O S (C o m p l e m e n t a r y M e t a l - O x i d e - S e m i c o n d u c t o r)) により構

10

20

30

40

50

成されているSRAMが知られている。SRAMが用いられるシステム（例えば、コンピュータなど）における動作の高速化、システムの低電圧化、及び、SRAMの高密度化によるMOSトランジスタなどの素子や配線幅の縮小に伴い、SRAMの動作マージン（読み出しマージン及び書き込みマージン）の拡大が期待されている。

【0003】

システムの動作の高速化や低電圧化によりシステム中の信号波形が変動すると、信号電圧の電圧値が変動するために、SRAMの動作マージンが小さいと、SRAMは信号が示している値を精度よく認識できなくなる。例えば、信号の電圧値がしきい電圧（信号が「1」を示すか「0」を示すかを決定する閾を決定する電圧値）からずれた場合に、本来は「1」であった信号を「0」と認識してしまう。

10

【0004】

また、SRAMの高密度化による素子や配線幅の縮小により、SRAM中の素子間の特性にばらつきが生じる。その結果、同じ信号に対して、ある素子においては「1」と認識する一方、他の素子においては「0」と認識してしまう。

【0005】

書き込みマージンを改善する方法としては、例えば、特許文献1には、書き込み操作時にSRAMセル電源の制御を行う際、最適な電源制御を行うために制御量として書き込みマージンをモニターし、書き込み時の電源電圧を切り換えることが開示されている。

一方、読み込みマージンを改善する方法としては、非特許文献1に、SRAMに記憶されているビットデータを読み出す際にワード線に印加する電圧を駆動電圧（VDD）よりも低くすることが開示されている。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特許第4924838号公報

【非特許文献】

【0007】

【非特許文献1】オオバヤシ, エス., 他14名, 「読み出し及び書き込みセル安定回路とともに製造するための65nmSoC組み込み6T-SRAMの設計(A 65 nm SoC Embedded 6T-SRAM Design for Manufacturing with Read and Write Cell Stabilizing Circuits)」、ダイジェスト・オブ・テクニカル・ペーパーズ(Digest of Technical Papers)、シンポジウム・オン・VLSI回路(2006年、p. 17 - 18)

30

【発明の概要】

【発明が解決しようとする課題】

【0008】

上記のような従来の書き込みマージンの改善方法と、従来の読み出しマージンの改善方法を、共通の回路構成により達成することはできなかった。なぜなら、従来の書き込みマージン改善方法を従来のSRAMに適用した場合には読み込みマージンが悪化し、その逆に、従来の読み出しマージンの改善方法を従来のSRAMに適用した場合には書き込みマージンが悪化するからである。

40

【0009】

そのため、書き込みマージンと読み出しマージンとを同時に改善するためには、書き込みマージンの改善のための回路構成と、読み出しマージンの改善のための回路構成とをSRAMに両方備える必要があった。SRAM中に2つの異なる回路構成を備えた場合、SRAMの回路構成が複雑になったり、回路面積が広がったりする。

【0010】

本発明の課題は、SRAMにおいて、簡単な回路構成により書き込みマージンと読み込

50

みマージンとを同時に拡大することにある。

【課題を解決するための手段】

【0011】

以下に、課題を解決するための手段として複数の態様を説明する。これら態様は、必要に応じて任意に組み合わせることができる。

本発明の一見地に係るメモリ回路は、メモリセルと、アクセストランジスタと、メモリ出力抵抗調整部と、を備える。

メモリセルは、直列に接続されたnMOSトランジスタとpMOSトランジスタから構成される2個のCMOSインバータを相補的に接続したフリップフロップ回路である。

アクセストランジスタは、第1端子と、第2端子と、第3端子とを有する。第1端子は、CMOSインバータの出力とデータ出力ノードにおいて接続される。第2端子は、ビット線と接続されている。ビット線には、書き込み電圧が印加され、読み出し電圧が出力される。書き込み電圧は、メモリセルへ記憶するビットデータの値に対応する電圧値を有する電圧である。読み出し電圧は、メモリセルに記憶されているビットデータの値に対応する電圧値を有する電圧である。第3端子には書き込み動作時及び読み出し動作時にワード電圧が入力される。ワード電圧は、第1端子と第2端子とを接続する電圧である。

メモリ出力抵抗調整部は、電力供給ノードとデータ出力ノードとの間に配置される。電力供給ノードには、メモリセルに駆動電力を供給する電源が接続される。メモリ出力調整部は、nMOSトランジスタ又はpMOSトランジスタとともにメモリ出力抵抗を形成する。メモリ出力抵抗は、書き込み動作時の接続抵抗の抵抗値の第1の倍数以上の抵抗値を有する。接続抵抗は、第1端子と第2端子との間の抵抗成分である。

【0012】

また、上記のメモリ回路では、読み出し動作時において、接続抵抗の抵抗値は、ON状態のnMOSトランジスタ又はpMOSトランジスタのソース-ドレイン間の抵抗値の第2の倍数となっている。

【0013】

上記のメモリ回路においては、ビットデータの読み出し動作時には、アクセストランジスタの第3端子にワード電圧が入力される。これにより、アクセストランジスタを介して、メモリセルのデータ出力ノードとビット線とが接続される。このとき、ビット線の電圧が、メモリセルに記憶されているビットデータの値に対応する電圧（読み出し電圧）へと変化する。その結果、メモリセルからビット線へのビットデータの読み出しが実行される。

【0014】

読み出し動作時に、接続抵抗の抵抗値は、ON状態のnMOSトランジスタ又はpMOSトランジスタのソース-ドレイン間の抵抗値の第2の倍数となっている。これにより、読み出し動作時にビット線からメモリセルへと流れる電流を制限して、読み出し時のメモリセルの動作を安定化できる。その結果、読み出しマージンを拡大できる。

【0015】

一方、ビットデータの書き込み動作時には、書き込みたいビットデータの値に対応する電圧がビット線に印加された状態にて、アクセストランジスタの第3端子にワード電圧が入力される。これにより、アクセストランジスタを介して、メモリセルのデータ出力ノードとビット線とが接続され、ビット線に印加された電圧に対応する値のビットデータが、メモリセルに書き込まれる。

【0016】

上記のメモリ回路においては、書き込み動作時に、メモリ出力抵抗調整部が、書き込み動作時の接続抵抗の抵抗値の第1の倍数以上の抵抗値を有するメモリ出力抵抗を、nMOSトランジスタ又はpMOSトランジスタとともに形成している。これにより、書き込み動作時にメモリセルからビット線へ流れる電流を制限して、書き込み時のメモリセルの動作を安定化できる。その結果、書き込みマージンを拡大できる。

【0017】

10

20

30

40

50

メモリ回路が上記の特徴を有することにより、より簡単な回路構成を有するメモリ回路により、書き込みマージンと読み出しマージンを同時に拡大できる。

【0018】

ワード電圧は駆動電圧よりも低くてもよい。駆動電圧は、電源から出力される電圧である。これにより、メモリ回路において、より簡単に接続抵抗の抵抗値を、ON状態のnMOSトランジスタ又はpMOSトランジスタのソース-ドレイン間の抵抗値の第2の倍数とできる。その結果、より簡単に読み出しマージンを拡大できる。

【0019】

メモリ出力抵抗調整部は、nMOSトランジスタ又はpMOSトランジスタに対して直列に接続されたMOSトランジスタにより構成されてもよい。これにより、より簡単な構成によりメモリ出力抵抗調整部を実現できる。その結果、メモリ回路の回路構成をより簡単にできる。

10

【0020】

書き込み動作時及び読み出し動作時に、メモリ出力抵抗調整部を構成するMOSトランジスタのゲート端子には、ワード電圧が入力されてもよい。これにより、アクセストランジスタの第3端子へ入力する信号とメモリ出力抵抗調整部のMOSトランジスタのゲート端子に入力する信号とを共通化できる。その結果、メモリ回路の回路構成をより簡単にできる。

【0021】

書き込み動作時及び読み出し動作時に、メモリ出力抵抗調整部を構成するMOSトランジスタのゲート端子には、メモリ出力抵抗調整電圧が入力されてもよい。メモリ出力抵抗調整電圧は、MOSトランジスタのソース-ドレイン間の抵抗値を制御する。これにより、より精度よくメモリ出力抵抗の抵抗値を調整できる。

20

【0022】

メモリ出力抵抗調整部は、電力供給ノードとnMOSトランジスタ又はpMOSトランジスタとの間に配置されてもよい。これにより、nMOSトランジスタ又はpMOSトランジスタのソース端子又はドレイン端子に駆動電圧が印加されることを回避して、nMOSトランジスタ又はpMOSトランジスタの駆動能力を低下できる。その結果、書き込みマージンをさらに拡大できる。

【0023】

メモリ出力抵抗調整部は、nMOSトランジスタ又はpMOSトランジスタとデータ出力ノードとの間に配置されてもよい。

30

【発明の効果】

【0024】

SRAMにおいて、簡単な回路構成により書き込みマージンと読み込みマージンを同時に拡大できる。

【図面の簡単な説明】

【0025】

【図1】第1実施形態に係るメモリ回路の構成を示す図。

【図2】マージンを算出する際のメモリ回路を示す図。

40

【図3A】読み出しマージンの定義を示す図。

【図3B】書き込みマージンの定義を示す図。

【図4】第1実施形態に係るメモリ回路の読み出しマージン及び書き込みマージンの算出結果を示す図。

【図5A】比較例1の読み出しマージン及び書き込みマージンの算出結果を示す図。

【図5B】比較例2の読み出しマージン及び書き込みマージンの算出結果を示す図。

【図6A】読み出し電流が流れる様子を示す図。

【図6B】読み出し電流が流れる経路の等価回路を示す図。

【図7A】書き込み電流が流れる様子を示す図。

【図7B】書き込み電流が流れる経路の等価回路を示す図。

50

【図 8】変形例 1 に係るメモリ回路の構成を示す図。

【図 9】変形例 2 に係るメモリ回路の構成を示す図。

【図 10】変形例 3 に係るメモリ回路の構成を示す図。

【図 11】変形例 4 に係るメモリ回路の構成を示す図。

【図 12】変形例 5 に係るメモリ回路の構成を示す図。

【図 13】変形例 6 に係るメモリ回路の構成を示す図。

【図 14】変形例 7 に係るメモリ回路の構成を示す図。

【発明を実施するための形態】

【0026】

(1) 第 1 実施形態

10

第 1 実施形態に係るメモリ回路 100 の構成について、図 1 を用いて説明する。図 1 は、第 1 実施形態に係るメモリ回路の構成を示す図である。

第 1 実施形態に係るメモリ回路 100 は、メモリセル 1 と、アクセストランジスタ SW 1、SW 2 と、メモリ出力抵抗調整部 3 と、を備える。

【0027】

メモリセル 1 は、2 個の CMOS インバータ INV 1、INV 2 を相補的に接続したフリップフロップ回路である。ここで、「インバータ」は、論理回路における「NOT 回路」と言い換えることができる。本実施形態において、CMOS インバータ INV 1 は、直列に接続された nMOS (n-type Metal-Oxide-Semiconductor) トランジスタ N1 と pMOS (p-type Metal-Oxide-Semiconductor) トランジスタ P1 とから構成される。一方、CMOS インバータ INV 2 は、直列に接続された nMOS トランジスタ N2 と pMOS トランジスタ P2 から構成される。

20

【0028】

また、「2 個の CMOS インバータ INV 1、INV 2 が相補的に接続された」とは、CMOS インバータ INV 1 の出力（データ出力ノード Out 1（後述））が CMOS インバータ INV 2 の入力 In 2 に接続され、CMOS インバータ INV 2 の出力（データ出力ノード Out 2（後述））が CMOS インバータ INV 1 の入力 In 1 に接続された状態をいう。

【0029】

30

本実施形態において、アクセストランジスタ SW 1、SW 2 は、nMOS トランジスタである。nMOS トランジスタであるアクセストランジスタ SW 1、SW 2 は、それぞれ、第 1 端子 T 1 1、T 1 2 と、第 2 端子 T 2 1、T 2 2 と、第 3 端子 T 3 1、T 3 2 と、を有する。

アクセストランジスタ SW 1、SW 2 の第 1 端子 T 1 1、T 1 2 は、アクセストランジスタ SW 1、SW 2 を構成している nMOS トランジスタのソース端子又はドレイン端子である。第 1 端子 T 1 1 は、CMOS インバータ INV 1 の出力とデータ出力ノード Out 1 において接続されている。また、第 1 端子 T 1 2 は、CMOS インバータ INV 2 の出力とデータ出力ノード Out 2 において接続されている。

【0030】

40

第 1 端子 T 1 1、T 1 2 がドレイン端子の場合には、第 2 端子 T 2 1、T 2 2 はソース端子である。また、第 1 端子 T 1 1、T 1 2 がソース端子の場合には、第 2 端子 T 2 1、T 2 2 はドレイン端子である。

第 2 端子 T 2 1、T 2 2 は、それぞれ、ビット線 BL、/BL と接続されている。ビット線 BL、/BL には、メモリセル 1 へビットデータを書き込む書き込み動作時には、書き込み電圧が印加される。一方、メモリセル 1 に記憶されているビットデータを読み出す読み出し動作時には、ビット線 BL、/BL には、読み出し電圧が出力される。

【0031】

書き込み電圧は、メモリセル 1 に記憶するビットデータの値に対応する電圧値を有する電圧である。図 1 に示すメモリ回路 100 においては、メモリセル 1 に「1」の値を示す

50

ビットデータを書き込みたい場合、ビット線 B L には書き込み電圧としてプレチャージ電圧 V b 1 (後述) が印加され、ビット線 / B L には 0 V が印加される。一方、メモリセル 1 に「0」の値を示すビットデータを書き込みたい場合、ビット線 B L には書き込み電圧として 0 V が印加され、ビット線 / B L にはプレチャージ電圧 V b 1 が印加される。

【0032】

一方、読み出し電圧は、メモリセル 1 に記憶されたビットデータの値に対応する電圧値を有する電圧である。図 1 に示すメモリ回路 100 においては、メモリセル 1 に「1」の値を示すビットデータが記憶されている場合、ビット線 B L には駆動電圧 V D D (あるいはそれに近い電圧) を有する読み出し電圧が出力され、ビット線 / B L には 0 V (あるいはそれに近い電圧) が出力される。一方、メモリセル 1 に「0」の値を示すビットデータが記憶されている場合、ビット線 B L には、0 V (あるいはそれに近い電圧) が読み出し電圧として出力され、ビット線 / B L には、駆動電圧 V D D (あるいはそれに近い電圧) が出力される。

10

【0033】

第 3 端子 T 3 1、T 3 2 は、それぞれ、アクセストランジスタ S W 1、S W 2 である n M O S トランジスタのゲート端子である。図 1 に示すメモリ回路 100 において、第 3 端子 T 3 1、T 3 2 はワード線 W L に接続されている。

【0034】

ワード線 W L には、書き込み動作時及び読み出し動作時において、アクセストランジスタ S W 1、S W 2 を O N 状態、すなわち、第 1 端子 T 1 1、T 1 2 と第 2 端子 T 2 1、T 2 2 とを電氣的に接続するワード電圧 V D D W が印加される。これにより、書き込み動作時に、メモリセル 1 に書き込み電圧の電圧値に応じたビットデータ値を記憶したり、読み出し動作時に読み出し電圧をビット線 B L、/ B L に出力したりできる。

20

なお、ビット線 B L、/ B L とメモリセル 1 とを接続する必要のないときには、アクセストランジスタ S W 1、S W 2 を O F F 状態とする電圧 (0 V) が印加される。

【0035】

一般的に、n M O S トランジスタなどの M O S トランジスタにおいては、ゲート端子に印加される電圧値により、ソース - ドレイン間に流れる電流値が変化する。すなわち、アクセストランジスタ S W 1、S W 2 の第 3 端子 T 3 1、T 3 2 に印加される電圧値により、第 1 端子 T 1 1、T 1 2 と第 2 端子 T 2 1、T 2 2 との間の抵抗成分 (接続抵抗と呼ぶことにする) の抵抗値を制御できる。

30

【0036】

従って、本実施形態においては、読み出し動作時において、ワード電圧 V D D W を駆動電圧 V D D よりも低くしている。これにより、読み出し動作時の接続抵抗の抵抗値を、より簡単に、O N 状態の n M O S トランジスタ又は p M O S トランジスタ N 1、N 2 のソース - ドレイン間の抵抗値の第 2 の倍数とできる。その結果、より簡単に読み出しマージンを拡大できる。

【0037】

図 1 に示すように、メモリ回路 100 において、メモリ出力抵抗調整部 3 は、2 つの p M O S トランジスタ P 3、P 4 により構成されている。p M O S トランジスタ P 3、P 4 は、それぞれ、ソース端子又はドレイン端子の一方が p M O S トランジスタ P 1、P 2 側の電力供給ノード D V N (後述) に接続され、他方が C M O S インバータ I N V 1、I N V 2 の p M O S トランジスタ P 1、P 2 のソース端子又はドレイン端子に接続されている。すなわち、メモリ出力抵抗調整部 3 を構成する p M O S トランジスタ P 3、P 4 は、それぞれ、電力供給ノード D V N と p M O S トランジスタ P 1、P 2 との間に配置された状態にて、p M O S トランジスタ P 1、P 2 と直列に接続されている。

40

【0038】

上記のようなメモリ出力抵抗調整部 3 と C M O S インバータ I N V 1、I N V 2 の p M O S トランジスタ P 1、P 2 との接続により、メモリ出力抵抗調整部 3 は、p M O S トランジスタ P 1、P 2 と共に、駆動電圧 V D D (後述) が印加された電力供給ノード D V N

50

とデータ出力ノードOut 1、Out 2との間に、メモリ出力抵抗を形成する。

【0039】

メモリ出力抵抗調整部3をpMOSトランジスタP3、P4のようなMOSトランジスタにより構成することにより、より簡単な構成によりメモリ出力抵抗調整部3を実現できる。その結果、メモリ回路100の回路構成をより簡単にできる。

また、メモリ出力抵抗調整部3を構成するpMOSトランジスタP3、P4を、電力供給ノードDVNとpMOSトランジスタP1、P2との間に配置することにより、pMOSトランジスタP1、P2のソース端子又はドレイン端子に駆動電圧が印加されることを回避して、pMOSトランジスタP1、P2の駆動能力を低下（流れる電流を低下）できる。その結果、書き込みマージンをさらに拡大できる。

10

【0040】

さらに、図1に示すように、メモリ回路100においては、メモリ出力抵抗調整部3を構成するpMOSトランジスタP3、P4のゲート端子はワード線WLと接続されている。すなわち、書き込み動作時及び読み出し動作時において、メモリ出力抵抗調整部3を構成するpMOSトランジスタP3、P4のゲート端子にはワード電圧VDDWが入力される。

これにより、アクセストランジスタSW1、SW2の第3端子T31、T32へ入力する信号とメモリ出力抵抗調整部3のpMOSトランジスタP3、P4のゲート端子に入力する信号とを共通化できる。その結果、メモリ回路100の回路構成をより簡単にできる。

20

【0041】

また、メモリ回路100においては、書き込み動作時においても、読み出し動作時のワード電圧VDDWと同じ電圧を印加している。これにより、書き込み用のワード電圧と読み出し用のワード電圧とを個別に発生させる必要がなくなる。その結果、メモリ回路100の構成を簡単にできる。

【0042】

なお、メモリ回路100において、ワード電圧VDDWは駆動電圧VDDよりも小さいが、アクセストランジスタSW1、SW2の接続抵抗を、ビット線BL、/BLとメモリセル1とを電氣的にアクセス可能な程度とする（すなわち、アクセストランジスタSW1、SW2を実質的にON状態とする）電圧には少なくとも設定されている。なぜなら、アクセストランジスタSW1、SW2をON状態にしておかないと、メモリセル1に記憶されたビットデータを読み出せないからである。

30

【0043】

一方、書き込み動作時において、上記のワード電圧VDDWがメモリ出力抵抗調整部3のpMOSトランジスタP3、P4のゲート端子に入力されると、pMOSトランジスタP3、P4は実質的にほぼOFF状態となっている。これにより、ワード電圧VDDWが駆動電圧VDDよりも低くなっても、pMOSトランジスタP3、P4のソース-ドレイン間の抵抗値を十分に大きな値（接続抵抗の抵抗値の第1の倍数以上）とできる。

【0044】

上記のように、アクセストランジスタSW1、SW2及びメモリ出力抵抗調整部3をMOSトランジスタにより構成し、ワード線WLをアクセストランジスタSW1、SW2とメモリ出力抵抗調整部3とにおいて共通化する場合、アクセストランジスタSW1、SW2のMOSトランジスタの型と、メモリ出力抵抗調整部3のMOSトランジスタとの型とを異ならせることが好ましい。

40

【0045】

これにより、より簡単な回路構成により、メモリ出力抵抗の抵抗値を、書き込み動作時のアクセストランジスタSW1、SW2の接続抵抗の抵抗値の第1の倍数以上にできる。なぜなら、アクセストランジスタSW1、SW2が実質的にON状態となると、メモリ出力抵抗調整部3のMOSトランジスタが実質的にOFF状態となるからである。その結果、メモリ回路100においては、より簡単な回路構成により、読み出しマージンと書き込

50

みマージンとを同時に拡大できる。

【0046】

(2) メモリ回路の動作

次に、上記のメモリ回路100の動作について説明する。以下の説明においては、メモリセル1にビットデータを書き込むときの書き込み動作と、メモリセル1に記憶されているビットデータを読み出すときの読み出し動作とを、それぞれ説明する。

【0047】

I. 書き込み動作

まず、書き込み動作について説明する。メモリセル1へのビットデータの書き込みを開始すると、まず、ワード線WLにワード電圧VDDWを印加することなく、外部回路(図示せず)などを用いて、ビット線BL、/BLをプレチャージ電圧Vb1に「プレチャージ」する。

【0048】

プレチャージとは、外部回路にてビット線BL、/BLにプレチャージ電圧を印加した後、外部回路とビット線BL、/BLとを切り離してビット線BL、/BLをプレチャージ電圧Vb1に保持(チャージ)することをいう。

【0049】

プレチャージ後、ビット線BL又はビット線/BLのいずれかを、ビットデータの値として「0」を示す電圧値(本実施形態においては、0V)とする。例えば、メモリセル1に「1」を示すビットデータを記憶したい場合には、ビット線/BLを0Vとする。このとき、ビット線BLには、プレチャージ電圧Vb1が書き込み電圧として印加される。一方、メモリセル1にビットデータとして「0」を記憶したい場合には、ビット線BLを0V(書き込み電圧)とする。

【0050】

次に、ワード線WLにワード電圧VDDWを印加(入力)し、アクセストランジスタSW1、SW2を実質的にON状態とする。これにより、接続抵抗(アクセストランジスタSW1、SW2)を介して、ビット線BL、/BLとデータ出力ノードOut1、Out2とがそれぞれ接続される。

【0051】

これにより、例えば、ビット線BLが0Vとされている場合には、データ出力ノードOut1が0Vとなり、データ出力ノードOut1と接続されたCMOSインバータINV2の入力In2が0Vとなる。その結果、CMOSインバータINV2のpMOSトランジスタP2がON状態、nMOSトランジスタN2がOFF状態となる。

ビット線BLが0Vのとき、ビット線/BLにはプレチャージ電圧Vb1が印加されているため、データ出力ノードOut2とCMOSインバータINV1の入力In1の電圧は、プレチャージ電圧Vb1となっている。これにより、CMOSインバータINV1においては、nMOSトランジスタN1がON状態、pMOSトランジスタP1がOFF状態となる。

【0052】

上記の状態において、ワード線WLを0VにしてアクセストランジスタSW1、SW2をOFF状態とし、ビット線BL、/BLとデータ出力ノードOut1、Out2とを電氣的に切断すると、CMOSインバータINV1においては、nMOSトランジスタN1がON状態、pMOSトランジスタP1がOFF状態となっているので、データ出力ノードOut1は0V(あるいはそれに近い値)となる。すなわち、メモリセル1に「0」を示すビットデータが記憶される。なぜなら、図1に示すように、データ出力ノードOut1は、nMOSトランジスタN1を介して、電源のグラウンド電位(0V)側の電力供給ノードDVNに電氣的に接続されるからである。

【0053】

一方、CMOSインバータINV2においては、CMOSインバータINV2のpMOSトランジスタP2がON状態、nMOSトランジスタN2がOFF状態となっているた

10

20

30

40

50

め、データ出力ノード $Out\ 2$ は、駆動電圧 VDD (あるいはそれに近い値) となっている。なぜなら、この場合、データ出力ノード $Out\ 2$ は、メモリ出力抵抗調整部 3 の (ON 状態の) pMOS トランジスタ $P\ 4$ と、pMOS トランジスタ $P\ 2$ とを介して、電源の駆動電圧 VDD が印加される側の電力供給ノード DVN に電氣的に接続されるからである。

【0054】

アクセストランジスタ $SW\ 1$ 、 $SW\ 2$ を OFF 状態にした後の上記のデータ出力ノード $Out\ 1$ 、 $Out\ 2$ の状態は、次にアクセストランジスタ $SW\ 1$ 、 $SW\ 2$ が ON 状態となるまで (すなわち、ワード電圧 $VDDW$ がワード線 WL に印加されるまで) 保持され続ける。なぜなら、CMOS インバータ $INV\ 1$ と CMOS インバータ $INV\ 2$ とが、相補的に接続されているからである。

上記のようにして、ビット線 BL 、 $/BL$ に印加された電圧に対応した値を有するビットデータをメモリセル 1 に書き込み、記憶 (保持) できる。

【0055】

I I . 読み出し動作

次に、読み出し動作について説明する。以下においては、メモリセル 1 に「0」を示すビットデータが記憶されている場合を例にとって読み出し動作を説明する。すなわち、読み出し動作前に、データ出力ノード $Out\ 1$ の電圧が $0\ V$ (あるいはそれに近い値) に保持され、データ出力ノード $Out\ 2$ の電圧が駆動電圧 VDD (あるいはそれに近い値) に保持されているとする。

【0056】

メモリセル 1 からのビットデータの読み出しを開始すると、まず、書き込み動作時と同様に、ビット線 BL 、 $/BL$ をプレチャージ電圧 $Vb1$ にてプレチャージする。その後、ワード線 WL にワード電圧 $VDDW$ を印加 (入力) することにより、アクセストランジスタ $SW\ 1$ 、 $SW\ 2$ を ON 状態にして、ビット線 BL 、 $/BL$ とデータ出力ノード $Out\ 1$ 、 $Out\ 2$ とを、接続抵抗を介して電氣的に接続する。

【0057】

ビット線 BL 、 $/BL$ とデータ出力ノード $Out\ 1$ 、 $Out\ 2$ とが、接続抵抗を介して電氣的に接続されると、ビット線 $/BL$ の電圧がプレチャージ電圧 $Vb1$ に保持される一方、ビット線 BL の電圧はプレチャージ電圧 $Vb1$ から $0\ V$ (あるいはそれに近い電圧) である読み出し電圧へと変化する。

上記のビット線 BL 、 $/BL$ のいずれかにおいて発生した電圧値の下降変化を、図示しないセンスアンプなどにより増幅検知することにより、メモリセル 1 に記憶されているビットデータの値を読み出せる。

【0058】

具体的には、ビット線 BL 側にて上記の電圧の下降変化が検出された (あるいは、ビット線 $/BL$ 側にて下降変化されなかった) が場合には、メモリセル 1 から「0」を示すビットデータを読み出したと判断できる。一方、ビット線 $/BL$ 側にて下降変化が検出された (あるいは、ビット線 BL 側にて下降変化が検出されなかった) 場合、メモリセル 1 から「1」を示すビットデータを読み出したと判断できる。

このようにして、メモリ回路 100 においては、メモリセル 1 に記憶されたビットデータを読み出すことができる。

【0059】

(3) 回路シミュレーション

次に、メモリ回路 100 における上記の書き込み動作及び読み出し動作をシミュレート (回路シミュレーション) し、書き込み動作時及び読み出し動作時の書き込みマージン及び読み出しマージンを算出した結果について説明する。

I . 読み出しマージンの定義

まず、読み出しマージン及び書き込みマージンの定義と算出方法について説明する。読み出しマージン及び書き込みマージンを算出するにあたり、図 2 のように、メモリ回路 (

10

20

30

40

50

簡単のため、図 2 に示すメモリ回路は、メモリ出力抵抗調整部 3 を省略している) を、メモリセル 1 の CMOS インバータ INV 1、INV 2 の単位毎に 2 つの回路 I 及び回路 I I に分割する。図 2 は、マージンを算出する際のメモリ回路を示す図である。

【0060】

マージンは、図 2 に示す回路 I 及び回路 I I において、次のようにして書き込み動作及び読み出し動作を行わせた時の、回路 I 及び回路 I I の特性に基づき算出される。回路 I においては、アクセストランジスタ SW 1 の第 3 端子 T 3 1 にワード電圧 V D D W を印加し、CMOS インバータ INV 1 の入力 I n 1 には、データ出力ノード O u t 2 における電圧である V O U T 2 を印加する。

一方、回路 I I においては、アクセストランジスタ SW 2 の第 3 端子 T 3 2 にワード電圧 V D D W を印加し、CMOS インバータ INV 2 の入力 I n 2 には、データ出力ノード O u t 1 における電圧である V O U T 1 を印加する。

上記の状態において、読み出し動作時には、ビット線 B L とビット線 / B L の両方にプレチャージ電圧 V b 1 を印加する。

【0061】

次に、上記のような電圧の印加状態において、回路 I において V O U T 2 を 0 V から駆動電圧 V D D まで変化したときのデータ出力ノード O u t 1 の電圧 (V O U T 1) の変化と、回路 I I において V O U T 1 を 0 V から駆動電圧 V D D まで変化したときのデータ出力ノード O u t 2 の電圧 (V O U T 2) の変化とを、横軸を V O U T 1 とし縦軸を V O U T 2 としたグラフ (横軸を V O U T 2、縦軸を V O U T 1 としてもよい) 上にプロットすると、図 3 A のようなグラフが得られる。図 3 A は、読み出しマージンの定義を示す図である。

【0062】

図 3 A において、点線にて示した特性曲線が CMOS インバータ INV 1 における特性曲線であり、一点鎖線にて示した特性曲線が CMOS インバータ INV 2 における特性曲線である。読み出しマージンは、上記の 2 つの特性曲線に内接する正方形のうち、最大の辺を有する正方形の 1 辺の長さとして定義される。

【0063】

I I . 書き込みマージンの定義

一方、書き込み動作時には、図 2 に示す回路 I のビット線 B L に 0 V を印加し、回路 I I のビット線 / B L にプレチャージ電圧 V b 1 を印加する。この場合、回路 I において V O U T 2 を 0 V から駆動電圧 V D D まで変化したときのデータ出力ノード O u t 1 の電圧 (V O U T 1) の変化と、回路 I I において V O U T 1 を 0 V から駆動電圧 V D D まで変化したときのデータ出力ノード O u t 2 の電圧 (V O U T 2) の変化とを、横軸を V O U T 1 とし縦軸を V O U T 2 としたグラフ上にプロットすると、図 3 B のようなグラフが得られる。図 3 B は、書き込みマージンの定義を示す図である。

書き込みマージンは、図 3 B に示す 2 つの特性曲線に内接する正方形のうち、最小の辺を有する正方形の 1 辺の長さとして定義される。

【0064】

I I I . 回路シミュレーションによる読み出しマージン及び書き込みマージンの算出結果

次に、メモリ回路 1 0 0 を回路シミュレーションした結果得られる、上記のように定義した読み出しマージン及び書き込みマージンの算出結果について説明する。本実施形態においては、メモリ回路 1 0 0 の回路シミュレーションは、以下のような条件を用いて実行した。

メモリ回路 1 0 0 における各 MOS トランジスタのパラメータとしては、4 0 n m のトランジスタパラメータを用いた。また、駆動電圧 V D D は 1 V とし、ワード電圧 V D D W は 0 . 5 V とした。さらに、ビット線 B L、/ B L に印加するプレチャージ電圧 V b 1 を 0 ~ 1 V の範囲にて変化し、それぞれのプレチャージ電圧値の時の書き込みマージン及び読み出しマージンを、上記の定義に従って算出した。

10

20

30

40

50

【 0 0 6 5 】

本実施形態のメモリ回路 1 0 0 の回路シミュレーションを実行して読み出しマージン（図 4 においては点線にて示す）及び書き込みマージン（図 4 においては実線にて示す）を算出した結果を、図 4 に示す。図 4 は、第 1 実施形態に係るメモリ回路の読み出しマージン及び書き込みマージンの算出結果を示す図である。

図 4 に示すように、メモリ回路 1 0 0 においては、後述する比較例と比較すると、書き込みマージン、読み出しマージンとも 0 . 3 以上の大きな値を示している。すなわち、本実施形態のメモリ回路 1 0 0 は、読み出し動作及び書き込み動作の両方において安定に動作できる。

【 0 0 6 6 】

また、図 4 に示すように、本実施形態のメモリ回路 1 0 0 においては、プレチャージ電圧 V_{b1} が 0 . 2 V と低電圧であっても、大きな読み出しマージン及び書き込みマージンを得られている。また、上記のように、本実施形態のメモリ回路 1 0 0 において、ワード線 W_L に印加するワード電圧 V_{DDW} は 0 . 5 V である。すなわち、本実施形態のメモリ回路 1 0 0 は、低電圧動作が可能である。このように、ビット線 B_L 、 $/B_L$ 及びワード線 W_L を低電圧にすることにより、メモリ回路 1 0 0 及びメモリ回路 1 0 0 の周辺回路の消費電力を削減できる。また、低電圧化により消費電力を削減できることにより、メモリ回路 1 0 0 の高速動作も可能となる。

【 0 0 6 7 】

比較例 1 として、メモリ出力抵抗調整部 3 を備えていないこと以外はメモリ回路 1 0 0 と同じにしたメモリ回路において、ワード電圧 V_{DDW} を 1 V（駆動電圧 V_{DD} と同一）とした以外は上記と同様の条件を用いて回路シミュレーションを行い、読み出しマージン及び書き込みマージンを算出した結果を、図 5 A に示す。図 5 A は、比較例 1 の読み出しマージン及び書き込みマージンの算出結果を示す図である。図 5 A に示すように、プレチャージ電圧 V_{b1} が比較的大きい（0 . 4 V 以上）場合においては、書き込みマージンの値は大きくなっている。一方、読み出しマージンは、すべてのプレチャージ電圧 V_{b1} の範囲にて 0 . 2 以下と本実施形態のメモリ回路 1 0 0 よりも低くなっている。

【 0 0 6 8 】

このように、メモリ出力抵抗調整部 3 を備えず、ワード電圧 V_{DDW} を駆動電圧 V_{DD} と同じにすると、書き込みマージンと読み出しマージンとを同時に拡大できない。

【 0 0 6 9 】

また、比較例 2 として、メモリ出力抵抗調整部 3 を備えていないこと以外はメモリ回路 1 0 0 と同じにしたメモリ回路において、ワード電圧 V_{DDW} を 0 . 5 V として回路シミュレーションを行い、読み出しマージン及び書き込みマージンを算出した結果を、図 5 B に示す。図 5 B は、比較例 2 の読み出しマージン及び書き込みマージンの算出結果を示す図である。

【 0 0 7 0 】

図 5 B に示すように、比較例 2 においては、メモリ出力抵抗調整部 3 を備えることなくワード電圧 V_{DDW} を 1 V から 0 . 5 V に下げることにより、読み出しマージンに改善は見られるものの、書き込みマージンは負値を示すほど悪化している。書き込みマージンが負値であることは、ビット線 B_L 、 $/B_L$ に与えられた電圧値に対応した適切なビットデータを書き込むことができない、又は、メモリ回路が不安定になることを意味している。すなわち、比較例 2 においては、メモリ回路において書き込み動作が不可能になることを意味している。

【 0 0 7 1 】

このように、メモリ出力抵抗調整部 3 を備えず、ワード電圧 V_{DDW} を駆動電圧 V_{DD} よりも小さく（0 . 5 V）しても、読み出しマージンと書き込みマージンとを同時に拡大できない。特に、書き込みマージンが悪化して、比較例 2 のようにメモリ回路において書き込み動作が不可能となる場合もある。

【 0 0 7 2 】

10

20

30

40

50

(4) 読み出し動作時の接続抵抗を大きくする効果

ここで、読み出し動作時において、アクセストランジスタ $S W 1$ 、 $S W 2$ の接続抵抗の抵抗値を、ON 状態の $n M O S$ トランジスタ $N 1$ 、 $N 2$ のソース - ドレイン間の抵抗値の第 2 の倍数にする効果についてさらに説明する。

以下においては、メモリセル 1 に「0」を示すビットデータが記憶されている場合の $C M O S$ インバータ $I N V 1$ の動作を例にとって、読み出し動作時の接続抵抗を ON 状態の $n M O S$ トランジスタ $N 1$ 、 $N 2$ のソース - ドレイン間の抵抗値の第 2 の倍数にする効果について説明する。すなわち、データ出力ノード $O u t 1$ の電圧が $0 V$ に保持されている場合の動作について説明する。

【0073】

図 6 A のように、読み出し動作時において、データ出力ノード $O u t 1$ の電圧が $0 V$ であると、プレチャージ電圧 $V b 1$ が印加されたビット線 $B L$ から、アクセストランジスタ $S W 1$ 及び $n M O S$ トランジスタ $N 1$ を通り、 $C M O S$ インバータ $I N V 1$ のグラウンド電位 ($0 V$) へ読み出し電流 I_R が流れる。図 6 A は、読み出し電流が流れる様子を示す図である。

【0074】

この場合、上記の読み出し電流 I_R が流れる経路における等価回路は、図 6 B に示すように、プレチャージ電圧 $V b 1$ に印加されたビット線 $B L$ とグラウンド電位 ($0 V$) の間に、接続抵抗 (抵抗値 R_1) と ON 状態の $n M O S$ トランジスタのソース - ドレイン間の抵抗 (抵抗値 R_2) とが直列に接続された回路となる。図 6 B は、読み出し電流が流れる経路の等価回路を示す図である。

【0075】

図 6 B に示す等価回路において、読み出し電流 I_R は $V b 1 / (R_1 + R_2)$ と算出される。また、データ出力ノード $O u t 1$ における電圧 $V O U T 1$ は、 $I_R * R_2$ と算出される。

【0076】

ここで、例えば、アクセストランジスタ $S W 1$ の第 3 端子 $T 3 1$ に駆動電圧 $V D D$ と同一のワード電圧 $V D D W$ を入力するなどして、接続抵抗の抵抗値 R_1 が相対的に小さくなった場合に、プレチャージ電圧 $V b 1$ が変動などにより過剰に大きくなると、読み出し電流 I_R が大きくなる。それに伴ってデータ出力ノード $O u t 1$ の電圧 $V O U T 1$ の大きくなる。

【0077】

データ出力ノード $O u t 1$ は $C M O S$ インバータ $I N V 2$ の入力 $I n 2$ に接続されているため、データ出力ノード $O u t 1$ の電圧 $V O U T 1$ が大きくなると、 $n M O S$ トランジスタ $N 2$ が ON 状態、 $p M O S$ トランジスタ $P 2$ が OFF 状態に近づく。このような場合、 $n M O S$ トランジスタ $N 2$ の ON 状態、 $p M O S$ トランジスタ $P 2$ の OFF 状態の程度により、メモリセル 1 の動作が不安定になるか、最悪の場合は、メモリセル 1 のビットデータが書き換わる。

【0078】

一方、接続抵抗の抵抗値 R_1 を、ON 状態の $n M O S$ トランジスタ $N 1$ のソース - ドレイン間の抵抗値の第 2 の倍数とすることにより、 $V b 1$ が過剰に大きくなったとしても、読み出し電流 I_R は制限できることが、上記の式からわかる。これにより、ビット線 $B L$ の電圧 (プレチャージ電圧 $V b 1$) が変動しても、データ出力ノード $O u t 1$ における電圧 $V O U T 1$ をグラウンド電位 ($0 V$) に近い値に保持でき、 $C M O S$ インバータ $I N V 2$ が上記のようなスイッチング状態になることを抑制できる。その結果、メモリセル 1 の動作が安定する。

【0079】

なお、接続抵抗の抵抗値 R_1 を $a * R_2$ (すなわち、接続抵抗の抵抗値 R_1 は、ON 状態の $n M O S$ トランジスタのソース - ドレイン間の抵抗値 R_2 の a 倍、 a は第 2 の倍数に対応) とした場合、データ出力ノード $O u t 1$ の電圧 $V O U T 1$ は、 $I_R * R_2 = V b 1$

10

20

30

40

50

$\div (a + 1)$ と表現できる。従って、上記の第2の倍数は、プレチャージ電圧 V_{b1} の変動範囲などに応じて、適切な値に設定できる。

【0080】

例えば、プレチャージ電圧 V_{b1} が小さな電圧であり変動も小さい場合には、第2の倍数(a の値)は比較的小さな値に設定できる。一方、プレチャージ電圧 V_{b1} が大きな電圧(あるいは大きく変動する)の場合には、第2の倍数は、大きな値に設定にすることが好ましい。

ただし、第2の倍数は過剰に大きな値にしないこともまた好ましい。なぜなら、第2の倍数を過剰に大きくすると(すなわち、接続抵抗の抵抗値 R_1 を大きくしすぎると)、読み出し電流 I_R が過剰に小さくなるからである。その結果、ビット線 BL 、 \overline{BL} の電圧がプレチャージ電圧 V_{b1} から $0V$ (読み出し電圧)へ変化するまでに時間がかかるからである。その結果、メモリ回路100の読み出し動作が遅くなるからである。

【0081】

(5)メモリ出力抵抗調整部を備える効果

次に、メモリ回路100がメモリ出力抵抗調整部3を備える効果についてさらに説明する。以下においては、図7Aに示すように、書き込み動作開始前においてメモリセル1に「1」を示すビットデータが記憶された状態にて、メモリセル1に「0」を示すビットデータを書き込む場合のCMOSインバータ $INV1$ の動作を例にとって、メモリ出力抵抗調整部3を備える効果を説明する。図7Aは、書き込み電流が流れる様子を示す図である。

【0082】

上記の書き込み動作の開始前、データ出力ノード $Out1$ の電圧は駆動電圧 V_{DD} (あるいはそれに近い電圧)となっており、ビット線 BL には $0V$ が印加されている。このような電圧の印加状態においてアクセストランジスタ $SW1$ をON状態にすると、図7Aに示すように、メモリセル1の駆動電圧 V_{DD} が印加された電力供給ノード DVN から、pMOSトランジスタ $P3$ (メモリ出力抵抗調整部3)、pMOSトランジスタ $P1$ 、及びアクセストランジスタ $SW1$ を通り、 $0V$ に印加されたビット線 BL へと書き込み電流 I_w が流れる。

【0083】

この場合、書き込み電流 I_w が流れる経路における等価回路は、図7Bに示すように、電力供給ノード DVN の駆動電圧 V_{DD} 側とビット線 BL との間に、メモリ出力抵抗調整部3の抵抗成分(抵抗値 R_3)と、ON状態のpMOSトランジスタ $P1$ のソース・ドレイン間の抵抗(抵抗値 R_4)と、接続抵抗(抵抗値 R_1)とが直列に接続された回路となる。図7Bは、書き込み電流が流れる経路の等価回路を示す図である。また、図7Bに示す等価回路において、メモリ出力抵抗の抵抗値(R_0 と表すものとする)は $R_3 + R_4$ となる。

【0084】

図7Bに示す等価回路において、書き込み電流 I_w は $V_{DD} / (R_0 + R_1)$ と算出される。また、データ出力ノード $Out1$ における電圧 V_{OUT1} は、 $I_w * R_1 = (R_1 / (R_0 + R_1)) * V_{DD}$ と算出される。

今、メモリ出力抵抗調整部3を備えない場合(抵抗値 $R_3 = 0$ の場合)を考えると、メモリ出力抵抗は、ON状態のpMOSトランジスタ $P1$ のソース・ドレイン間の抵抗成分のみとなる(すなわち、 $R_0 = R_4$)。従って、データ出力ノード $Out1$ における電圧 V_{OUT1} は、 $(R_1 / (R_4 + R_1)) * V_{DD}$ となる。上記の式にて表されるデータ出力ノード $Out1$ の電圧 V_{OUT1} は、 $0.5V_{DD}$ (駆動電圧 V_{DD} の半分の電圧値)よりも大きな電圧値となる。なぜなら、本実施形態においてはワード電圧 V_{DDW} が駆動電圧 V_{DD} よりも低いため、ON状態のpMOSトランジスタ $P1$ のソース・ドレイン間の抵抗値 R_4 は、接続抵抗の抵抗値 R_1 よりも小さいからである。

【0085】

データ出力ノード $Out1$ における電圧 V_{OUT1} が $0.5V_{DD}$ よりも大きな電圧値

10

20

30

40

50

となると、CMOSインバータINV2のnMOSトランジスタN2がON状態に近くなり（実質的にはON状態）、pMOSトランジスタP2がOFF状態に近くなる（実質的にはOFF状態）ため、書き込み動作時において、メモリセル1の動作が不安定になる。その結果、メモリ回路において書き込み動作が不可能になる。

【0086】

一方、メモリ出力抵抗調整部3を電力供給ノードDVNとデータ出力ノードOut1との間（本実施形態においては、電力供給ノードDVNとpMOSトランジスタP1、P2との間）に配置することにより、メモリ出力抵抗の抵抗値 R_0 を R_4 から増加できる。その結果、上記のように表された書き込み電流 I_w を抑制でき、データ出力ノードOut1の電圧VOUT1を低下できる。

10

また、電力供給ノードDVNとpMOSトランジスタP1、P2との間にメモリ出力抵抗調整部3を配置することにより、pMOSトランジスタP1、P2のソース端子又はドレイン端子に駆動電圧VDDが印加されることを回避できる。その結果、pMOSトランジスタの駆動能力を低下（すなわち、書き込み電流 I_w を抑制）できる。

【0087】

さらに、本実施形態においては、アクセストランジスタSW1、SW2のMOSトランジスタの型（n型）と、メモリ出力抵抗調整部3のMOSトランジスタP3、P4の型（p型）とを異ならせているため、メモリ出力抵抗の抵抗値 R_0 を接続抵抗の抵抗値 R_1 の第1の倍数以上とできる。なぜなら、上記のように、書き込み動作時には、アクセストランジスタSW1、SW2がON状態となり、メモリ出力抵抗調整部3のpMOSトランジスタP3、P4がOFF状態となるため、メモリ出力抵抗調整部3の抵抗値 R_3 が、接続抵抗の抵抗値 R_1 よりはるかに大きくなっているからである。

20

【0088】

上記のようにメモリ出力抵抗の抵抗値 R_0 を接続抵抗の抵抗値 R_1 の第1の倍数以上とすることにより、データ出力ノードOut1の電圧VOUT1を0Vに近い電圧値に保持できる。これにより、上記の書き込み動作時において、CMOSインバータINV2のpMOSトランジスタをON状態にnMOSトランジスタをOFF状態にして、CMOSインバータINV1の入力In1に駆動電圧VDD（あるいはそれに近い電圧）を入力できる。その結果、上記の書き込み動作を安定して実行できる。

【0089】

また、メモリ回路100において、接続抵抗の抵抗値 R_1 を増加して読み出し電流 I_R を制限し、メモリ出力抵抗調整部3を備えて書き込み電流 I_w を制限することにより、書き込みマージン及び読み出しマージンを同時に拡大するとともに、メモリ回路100の書き込み動作及び読み出し動作時の電力消費を減少できる。その結果、メモリ回路100からの発熱を減少できる。

30

【0090】

以上、第1実施形態に係るメモリ回路100について説明したが、書き込みマージンと読み出しマージンとを同時に拡大できるという効果を有するメモリ回路の回路構成は、図1に示したメモリ回路100の回路構成に限られない。以下に説明する変形例1～7の回路構成を有するメモリ回路も、第1実施形態に係るメモリ回路100と同様の効果を有する。

40

【0091】

(6) 変形例1

上記のメモリ回路100において、メモリ出力抵抗調整部3のpMOSトランジスタP3、P4のゲート端子にはワード線WLが入力されていた。しかし、これに限られず、図8に示すように、変形例1にとして、メモリ出力抵抗調整部3のpMOSトランジスタP3、P4のゲート端子が、ワード線WLとは別に設けられたメモリ出力抵抗調整線CPLに接続されてもよい。図8は、変形例1に係るメモリ回路の構成を示す図である。

【0092】

変形例1に係るメモリ回路101においては、メモリ出力抵抗調整線CPLにワード電

50

圧 V_{DDW} とは異なるメモリ出力抵抗調整電圧を印加してもよい。このように、 $pMOS$ トランジスタ P_3 、 P_4 のゲート端子に、ワード電圧 V_{DDW} とは別の電圧を入力することにより、より精度よくメモリ出力抵抗の抵抗値 R_0 を調整できる。

【0093】

例えば、メモリ出力抵抗調整電圧として、読み出しマージンを最大化するための電圧と、書き込みマージンを最大化するための電圧とを用意してもよい。このとき、読み出し動作時にはメモリ出力抵抗を最小とするための電圧（例えば、 $0V$ ）を印加し、書き込み動作時にはメモリ出力抵抗を最大とするための信号（例えば、駆動電圧 V_{DD} ）を印加してもよい。これにより、メモリ回路 101 において、読み出しマージンと書き込みマージンをより拡大できる。

10

【0094】

(7) 変形例 2

上記のメモリ回路 100、101 において、メモリ出力抵抗調整部 3 は、電力供給ノード DVN と $CMOS$ インバータ $INV1$ 、 $INV2$ の $pMOS$ トランジスタ $P1$ 、 $P2$ との間に配置されていた。しかし、これに限られず、図 9 に示すように、変形例 2 において、メモリ出力抵抗調整部 3 を、 $pMOS$ トランジスタ $P1$ 、 $P2$ とデータ出力ノード $Out1$ 、 $Out2$ との間に配置してもよい。図 9 は、変形例 2 に係るメモリ回路の構成を示す図である。

【0095】

(8) 変形例 3

変形例 3 として、上記の変形例 1 と変形例 2 における構成を組み合わせてもよい。すなわち、図 10 に示すように、メモリ出力抵抗調整部 3 を、 $CMOS$ インバータ $INV1$ 、 $INV2$ の $pMOS$ トランジスタ $P1$ 、 $P2$ とデータ出力ノード $Out1$ 、 $Out2$ との間に配置し、メモリ出力抵抗調整部 3 の $pMOS$ トランジスタ $P3$ 、 $P4$ のゲート端子を、ワード線 WL とは別に設けられたメモリ出力抵抗調整線 CPL と接続してもよい。図 10 は、変形例 3 に係るメモリ回路の構成を示す図である。

20

【0096】

(9) 変形例 4

上記のメモリ回路 100 ~ 103 は、ワード線 WL に $0V$ を印加してアクセストランジスタ $SW1$ 、 $SW2$ を OFF 状態にし、ワード電圧 V_{DDW} を印加してアクセストランジスタ $SW1$ 、 $SW2$ を ON 状態にしていた。しかし、これに限られず、変形例 4 として、ワード線 WL にワード電圧 V_{DDW} が印加されたときにアクセストランジスタ $SW1$ 、 $SW2$ を ON 状態とし、ワード線 WL に駆動電圧 V_{DD} が印加されたときにアクセストランジスタ $SW1$ 、 $SW2$ を OFF 状態としてもよい。

30

【0097】

従って、図 11 に示すように、変形例 4 に係るメモリ回路 104 においては、アクセストランジスタ $SW1$ 、 $SW2$ が $pMOS$ トランジスタにより構成されている。また、メモリ出力抵抗調整部 3 は、 $nMOS$ トランジスタ $N3$ 、 $N4$ により構成されている。さらに、メモリ出力抵抗調整部 3 は、 $CMOS$ インバータ $INV1$ 、 $INV2$ の $nMOS$ トランジスタ $N1$ 、 $N2$ とグラウンド電位 ($0V$) に接続された電力供給ノード DVN との間に配置されている。図 11 は、変形例 4 に係るメモリ回路の構成を示す図である。

40

【0098】

変形例 4 に係るメモリ回路 104 においては、ワード線 WL にワード電圧 V_{DDW} が印加されたときに、 $nMOS$ トランジスタ $N3$ 、 $N4$ は実質的に OFF 状態になり、メモリ出力抵抗調整部 3 の抵抗値 R_3 は高くなる。一方、ワード線 WL に駆動電圧 V_{DD} が印加されたとき、 $nMOS$ トランジスタ $N3$ 、 $N4$ は ON 状態となり、抵抗値 R_3 は低くなる。このように、変形例 4 のメモリ回路 104 の動作においては、第 1 実施形態のメモリ回路 100 及び変形例 1 ~ 3 のメモリ回路 100 ~ 103 とは動作が逆となる。

【0099】

(10) 変形例 5

50

変形例 5 として、上記の変形例 4 に係るメモリ回路 104 において、ワード線 WL とは別にメモリ出力抵抗調整線 CPL を設けて、メモリ出力抵抗調整線 CPL を、メモリ出力抵抗調整部 3 の nMOS トランジスタ N3、N4 のゲート端子に接続する回路構成としてもよい。図 12 は、変形例 5 に係るメモリ回路の構成を示す図である。

【0100】

(11) 変形例 6

変形例 6 として、図 13 に示すように、変形例 4 に係るメモリ回路 104 において、メモリ出力抵抗調整部 3 を、データ出力ノード Out1、Out2 と nMOS トランジスタ N1、N2 との間に配置した回路構成としてもよい。図 13 は、変形例 6 に係るメモリ回路の構成を示す図である。

10

【0101】

(12) 変形例 7

変形例 7 として、図 14 に示すように、変形例 5 に係るメモリ回路 105 と変形例 6 に係るメモリ回路 106 とを組み合わせた回路構成としてもよい。図 14 は、変形例 7 に係るメモリ回路の構成を示す図である。

すなわち、変形例 7 に係るメモリ回路 107 において、ワード線 WL とは別に設けられたメモリ出力抵抗調整線 CPL がメモリ出力抵抗調整部 3 の nMOS トランジスタ N3、N4 のゲート端子に接続されてもよい。また、メモリ出力抵抗調整部 3 が、データ出力ノード Out1、Out2 と nMOS トランジスタ N1、N2 との間に配置されてもよい。

20

【0102】

(13) 実施形態の共通事項

上記第 1 実施形態及び上記変形例 1～7 は、下記の構成及び機能を共通に有している。

メモリ回路（例えば、メモリ回路 100）は、メモリセル（例えば、メモリセル 1）と、アクセストランジスタ（例えば、アクセストランジスタ SW1、SW2）と、メモリ出力抵抗調整部（例えば、メモリ出力抵抗調整部 3）と、を備える。

メモリセルは、直列に接続された nMOS トランジスタ（例えば、nMOS トランジスタ N1、N2）と pMOS トランジスタ（例えば、pMOS トランジスタ P1、P2）から構成される 2 個の CMOS インバータ（例えば、CMOS インバータ INV1、INV2）を相補的に接続したフリップフロップ回路である。

アクセストランジスタは、第 1 端子（例えば、第 1 端子 T11、T12）と、第 2 端子（例えば、第 2 端子 T21、T22）と、第 3 端子（例えば、第 3 端子 T31、T32）とを有する。第 1 端子は、CMOS インバータの出力とデータ出力ノード（例えば、データ出力ノード Out1、Out2）において接続される。第 2 端子は、ビット線（例えば、ビット線 BL、/BL）と接続されている。ビット線には、書き込み電圧が印加され、読み出し電圧が出力される。書き込み電圧は、メモリセルへ記憶するビットデータの値に対応する電圧値を有する電圧である。読み出し電圧は、メモリセルに記憶されているビットデータの値に対応する電圧値を有する電圧である。第 3 端子には書き込み動作時及び読み出し動作時にワード電圧（例えば、ワード電圧 VDDW）が入力される。ワード電圧は、第 1 端子と第 2 端子とを接続する電圧である。

30

メモリ出力抵抗調整部は、電力供給ノード（例えば、電力供給ノード DVN）とデータ出力ノードとの間に配置される。電力供給ノードには、メモリセルに駆動電力を供給する電源が接続される。メモリ出力調整部は、nMOS トランジスタ又は pMOS トランジスタとともにメモリ出力抵抗を形成する。メモリ出力抵抗は、書き込み動作時の接続抵抗の抵抗値（例えば、抵抗値 R_1 ）の第 1 の倍数以上の抵抗値（例えば、抵抗値 R_0 ）を有する。接続抵抗は、第 1 端子と第 2 端子との間の抵抗成分である。

40

【0103】

また、メモリ回路では、読み出し動作時において、接続抵抗の抵抗値は、ON 状態の nMOS トランジスタ又は pMOS トランジスタのソース - ドレイン間の抵抗値（例えば、抵抗値 R_2 ）の第 2 の倍数となっている。

【0104】

50

メモリ回路においては、ビットデータの読み出し動作時には、アクセストランジスタの第3端子にワード電圧が入力される。これにより、アクセストランジスタを介して、メモリセルのデータ出力ノードとビット線とが接続される。このとき、ビット線の電圧が、メモリセルに記憶されているビットデータの値に対応する電圧（読み出し電圧）へと変化する。その結果、メモリセルからビット線へのビットデータの読み出しが実行される。

【0105】

読み出し動作時に、接続抵抗の抵抗値は、ON状態のnMOSトランジスタ又はpMOSトランジスタのソース-ドレイン間の抵抗値の第2の倍数となっている。これにより、読み出し動作時にビット線からメモリセルへと流れる電流を制限して、読み出し時のメモリセルの動作を安定化できる。その結果、読み出しマージンを拡大できる。

10

【0106】

一方、ビットデータの書き込み動作時には、書き込みたいビットデータの値に対応する電圧がビット線に印加された状態にて、アクセストランジスタの第3端子にワード電圧が入力される。これにより、アクセストランジスタを介して、メモリセルのデータ出力ノードとビット線とが接続され、ビット線に印加された電圧に対応する値のビットデータが、メモリセルに書き込まれる。

【0107】

メモリ回路においては、書き込み動作時に、メモリ出力抵抗調整部が、書き込み動作時の接続抵抗の抵抗値の第1の倍数以上の抵抗値を有するメモリ出力抵抗を、nMOSトランジスタ又はpMOSトランジスタとともに形成している。これにより、書き込み動作時にメモリセルからビット線へ流れる電流を制限して、書き込み時のメモリセルの動作を安定化できる。その結果、書き込みマージンを拡大できる。

20

【0108】

メモリ回路が上記の特徴を有することにより、より簡単な回路構成を有するメモリ回路により、書き込みマージンと読み出しマージンとを同時に拡大できる。

【0109】

メモリ出力抵抗調整部は、nMOSトランジスタ又はpMOSトランジスタに対して直列に接続されたMOSトランジスタ（例えば、pMOSトランジスタP3、P4、又は、nMOSトランジスタN3、N4）により構成されている。これにより、より簡単な構成によりメモリ出力抵抗調整部を実現できる。その結果、メモリ回路の回路構成をより簡単にできる。

30

【0110】

(14) 他の実施形態

以上、本発明の一実施形態について説明したが、本発明は上記実施形態に限定されるものではなく、発明の要旨を逸脱しない範囲で種々の変更が可能である。特に、本明細書に書かれた複数の実施形態及び変形例は必要に応じて任意に組み合わせ可能である。

(A) メモリ出力抵抗調整部に関する他の実施形態

上記の第1実施形態及び変形例1~7に係るメモリ回路100~107において、メモリ出力抵抗調整部3は、pMOSトランジスタP3、P4又はnMOSトランジスタN3、N4により構成されていた。しかし、これに限られず、メモリ出力抵抗調整部3を抵抗などの他の電子素子（能動素子及び/又は受動素子）により構成してもよい。

40

【0111】

例えば、メモリ出力抵抗調整部3を抵抗にて構成することにより、ワード信号やメモリ出力抵抗調整信号などを用いることなく、メモリ出力抵抗の抵抗値 R_0 を接続抵抗の抵抗値 R_1 の第1の倍数以上とできる。

【0112】

また、メモリ出力抵抗調整部3を抵抗により構成する場合、メモリ出力抵抗調整部3を抵抗値が高い抵抗と抵抗値が低い（あるいは実質的に導通の）抵抗とを並列に接続して構成し、スイッチなどによりいずれの抵抗を用いるかを選択可能としておいてもよい。

この場合、例えば、書き込み動作時においては、抵抗値が高い抵抗を選択して、メモリ

50

出力抵抗調整部 3 の抵抗値 R_3 を高くし、読み出し動作時においては、抵抗値が低い抵抗を選択してメモリ出力抵抗調整部 3 の抵抗値 R_3 を低くしてもよい。

これにより、書き込みマージンを最大にできる最適な抵抗値と読み出しマージンを最大に出来る最適な抵抗値とを切り替えて、書き込みマージンと読み出しマージンを両方最大にできる。

【0113】

また、メモリ回路において複数のメモリ出力抵抗調整部 3 が存在していてもよい。この場合、例えば、複数のメモリ出力抵抗調整部 3 のいくつかを、電力供給ノード DVN と pMOS トランジスタ P1、P2 又は nMOS トランジスタ N1、N2 との間に配置し、他のいくつかのメモリ出力抵抗調整部 3 を、pMOS トランジスタ P1、P2 又は nMOS トランジスタ N1、N2 とデータ出力ノード Out1、Out2 との間に配置してもよい。

10

【0114】

(B) 駆動電圧に関する他の実施形態

第1実施形態に係るメモリ回路100において、駆動電圧VDDを1Vとしていたが、これに限られない。駆動電圧VDDを1V以外の電圧としてもよい。例えば、駆動電圧VDDを1Vより小さくすることにより、メモリ回路100における駆動電力をさらに低下できる。駆動電圧VDDの電圧値を変更した場合、駆動電圧VDDの値に応じて、他の電圧(ワード電圧VDDW、プレチャージ電圧Vblなど)の動作電圧を変更してもよい。

20

【産業上の利用可能性】

【0115】

本発明は、半導体記憶装置のメモリ回路、特に、SRAMのメモリ回路に広く適用できる。

【符号の説明】

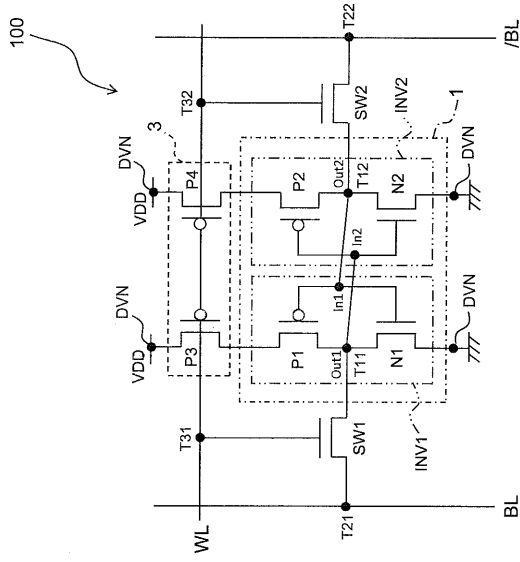
【0116】

100、101、102 メモリ回路
103、104、105 メモリ回路
106、107 メモリ回路
1 メモリセル
3 メモリ出力抵抗調整部
BL、/BL ビット線
WL ワード線
CPL メモリ出力抵抗調整線
DVN 電力供給ノード
INV1、INV2 CMOSインバータ
In1、In2 入力
N1、N2、N3、N4 nMOSトランジスタ
P1、P2、P3、P4 pMOSトランジスタ
Out1、Out2 データ出力ノード
SW1、SW2 アクセストランジスタ
IR 読み出し電流
IW 書き込み電流
R1、R2、R3、R4、R0 抵抗値
T11、T12 第1端子
T21、T22 第2端子
T31、T32 第3端子
Vbl プレチャージ電圧
VDD 駆動電圧
VDDW ワード電圧

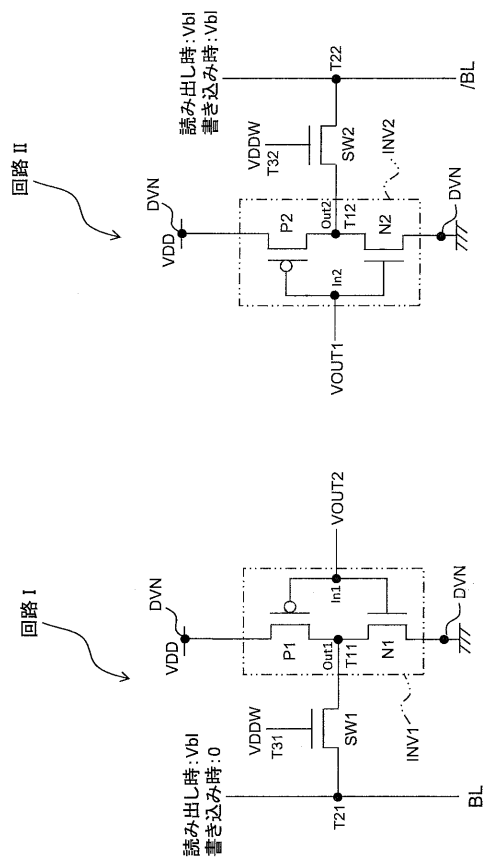
30

40

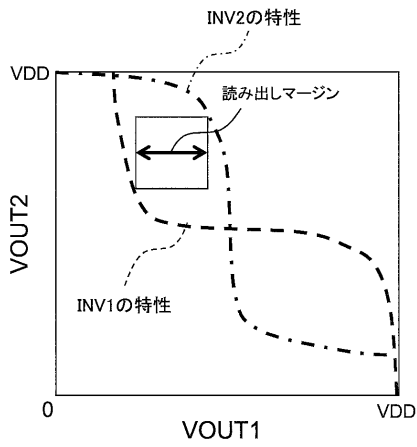
【 図 1 】



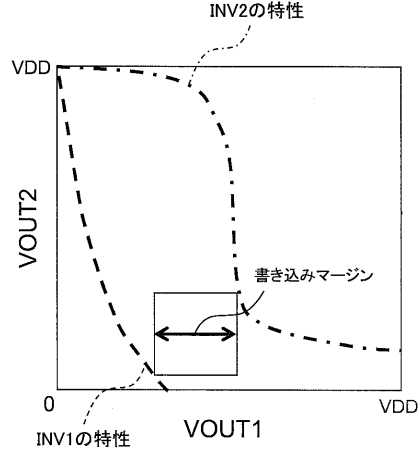
【 図 2 】



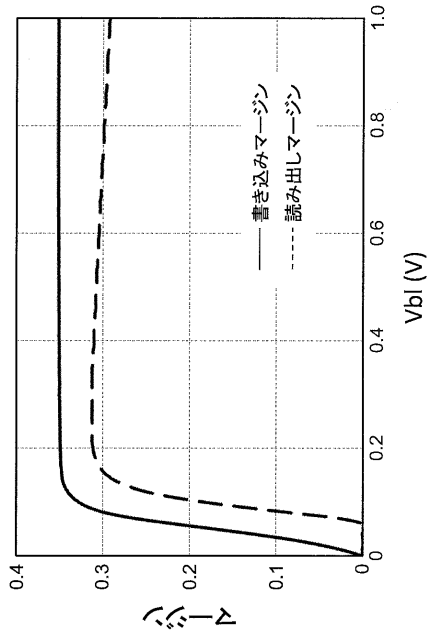
【 図 3 A 】



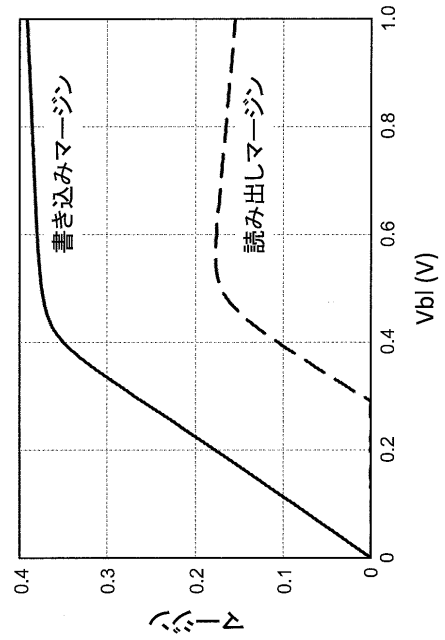
【 図 3 B 】



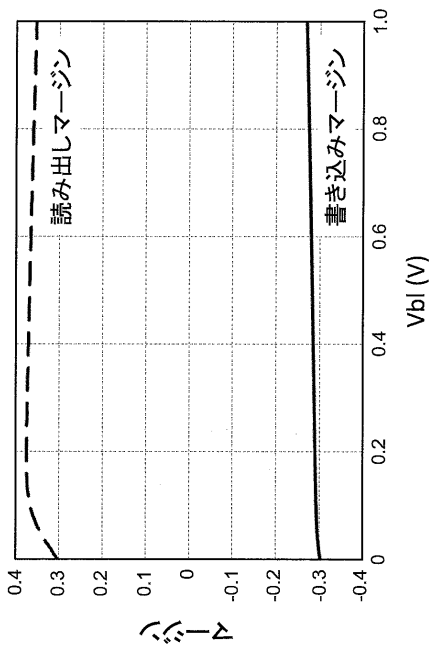
【 図 4 】



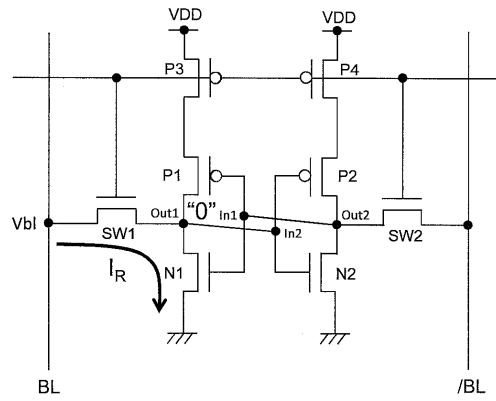
【 図 5 A 】



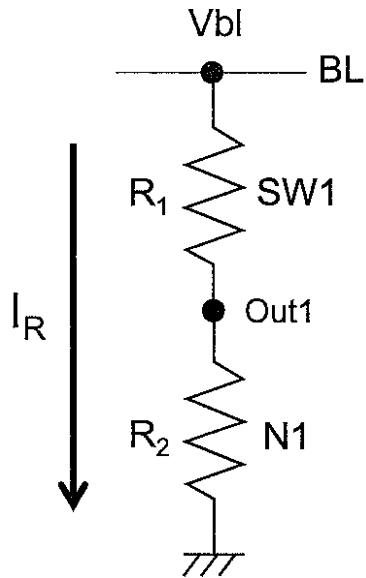
【 図 5 B 】



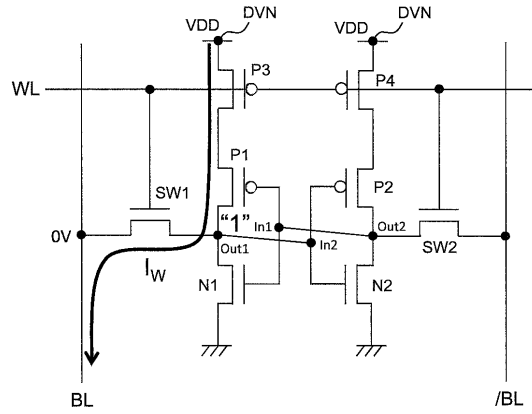
【 図 6 A 】



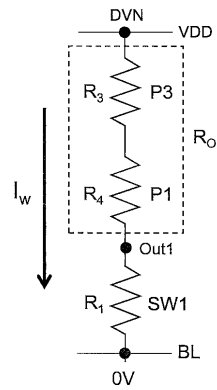
【 図 6 B 】



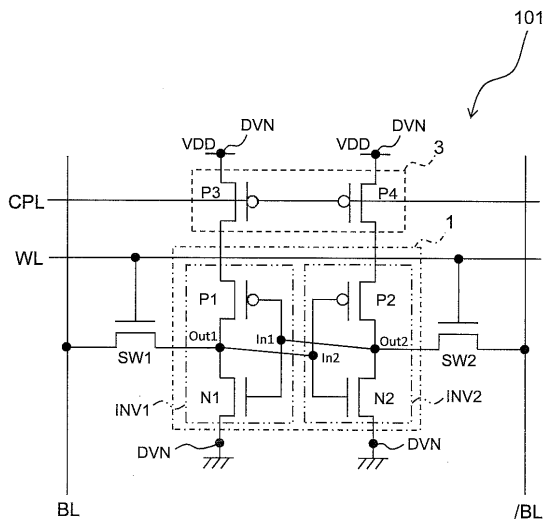
【 図 7 A 】



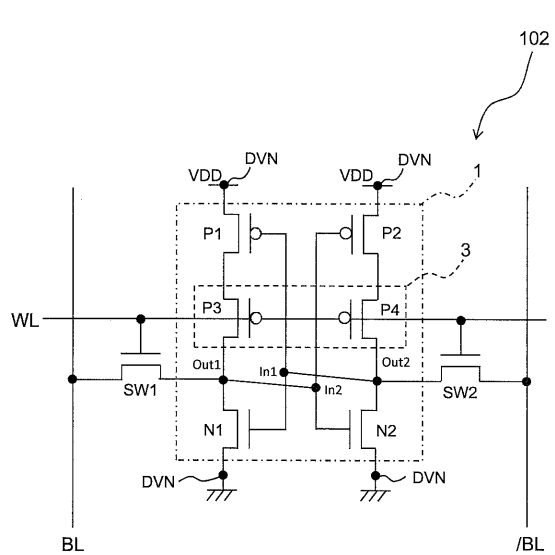
【 図 7 B 】



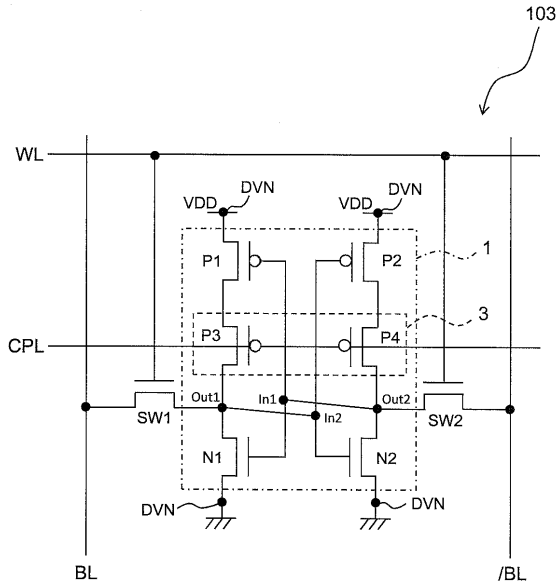
【 図 8 】



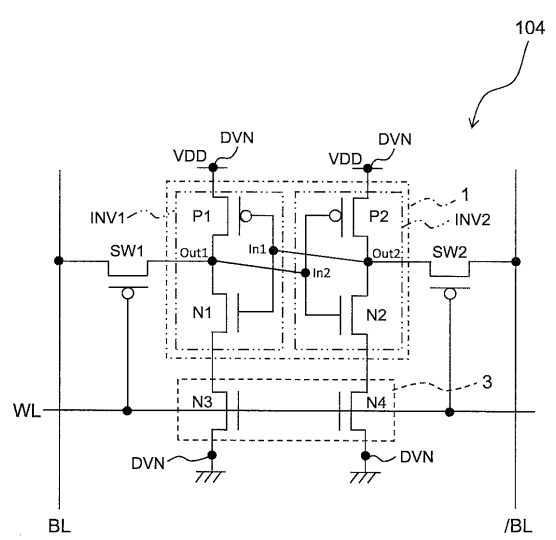
【 図 9 】



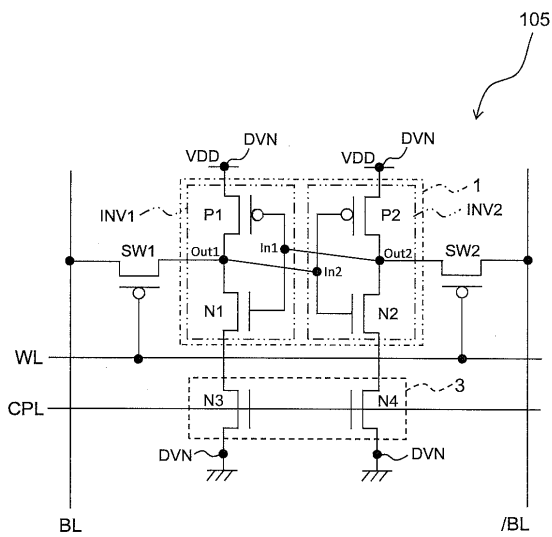
【図10】



【図11】



【図12】



【図13】

