

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/105564

発行日 平成27年5月11日 (2015. 5. 11)

(43) 国際公開日 平成25年7月18日 (2013. 7. 18)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 R 31/3183 (2006.01)	GO 1 R 31/28	2 G 1 3 2
GO 1 R 31/28 (2006.01)	GO 1 R 31/28	G

審査請求 未請求 予備審査請求 未請求 (全 30 頁)

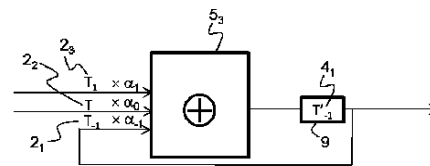
<p>出願番号 特願2013-553292 (P2013-553292)</p> <p>(21) 国際出願番号 PCT/JP2013/050150</p> <p>(22) 国際出願日 平成25年1月9日 (2013. 1. 9)</p> <p>(31) 優先権主張番号 特願2012-2214 (P2012-2214)</p> <p>(32) 優先日 平成24年1月10日 (2012. 1. 10)</p> <p>(33) 優先権主張国 日本国 (JP)</p>	<p>(71) 出願人 504174135 国立大学法人九州工業大学 福岡県北九州市戸畑区仙水町1番1号</p> <p>(74) 代理人 100116573 弁理士 羽立 幸司</p> <p>(72) 発明者 佐藤 康夫 福岡県飯塚市川津680-4 国立大学法人九州工業大学内</p> <p>(72) 発明者 梶原 誠司 福岡県飯塚市川津680-4 国立大学法人九州工業大学内</p> <p>Fターム(参考) 2G132 AA01 AB01 AC05 AC14 AD06 AG03 AG05 AG12 AK08 AK14 AK29 AL11 AL12</p> <p style="text-align: right;">最終頁に続く</p>
------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

(54) 【発明の名称】 テストパターン生産装置、故障検出システム、テストパターン生産方法、プログラム及び記録媒体

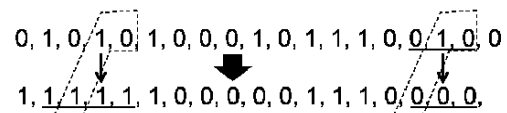
(57) 【要約】

オリジナルのテストパターンの特性維持を図りつつ新たなテストパターンを生産することを可能とする、テストパターン生産装置等を提供する。

スキャンテストのテスト対象回路に入力されるテストパターンを生産するテストパターン生産装置であって、与えられた第1ビット、第2ビット及び第3ビットの論理値を参照して、第2ビットの論理値を維持又は反転することにより、新たな論理値を生成する論理値生成手段を備え、第1ビットの論理値は、与えられたテストパターンである初期テストパターンが有するものであるか、又は、初期テストパターンに基づいてテストパターン生産装置が生産した新たなテストパターンが有するものであり、第2ビットの論理値は、初期テストパターンが有するものであり、第3ビットの論理値は、初期テストパターンが有するものであるか、又は、新たなテストパターンが有する、テストパターン生産装置。



(a)



(b)

【特許請求の範囲】**【請求項 1】**

スキャンテストのテスト対象回路に入力されるテストパターンを生産するテストパターン生産装置であって、

与えられた第 1 ビット、第 2 ビット及び第 3 ビットの論理値を参照して、前記第 2 ビットの論理値を維持又は反転することにより、新たな論理値を生成する論理値生成手段を備え、

前記第 1 ビットの論理値は、与えられたテストパターンである初期テストパターンが有するものであるか、又は、前記初期テストパターンに基づいて当該テストパターン生産装置が生産した新たなテストパターンが有するものであり、

10

前記第 2 ビットの論理値は、前記初期テストパターンが有するものであり、

前記第 3 ビットの論理値は、前記初期テストパターンが有するものであるか、又は、前記新たなテストパターンが有するものである、テストパターン生産装置。

【請求項 2】

前記論理値生成手段により生成された論理値を保持する保持手段をさらに備え、

前記第 1 ビットの論理値は、予め、前記論理値生成手段により生成されて前記保持手段に保持されたものであり、

前記論理値生成手段は、前記保持手段に保持された前記第 1 ビットの論理値、前記第 2 ビットの論理値及び前記第 3 ビットの論理値に基づいて、前記第 2 ビットの論理値を維持又は反転して、新たに生成するテストパターンに含まれるビットの論理値とする、請求項 1 記載のテストパターン生産装置。

20

【請求項 3】

前記第 1 ビット、前記第 2 ビット及び前記第 3 ビットは、空間的に隣接する複数のスキャンチェーンに入力されるビットであり、又は、時間的に連続して同一のスキャンチェーンを介して前記テスト対象回路に入力されるビットであり、

前記保持手段は、スキャンフリップフロップである、請求項 2 記載のテストパターン生産装置。

【請求項 4】

前記論理値生成手段は、

論理値を出力する複数の異なる組合せ回路と、

30

前記複数の異なる組合せ回路を切り替える切替手段とを有し、

前記複数の異なる組合せ回路の一つは、前記第 1 ビット、前記第 2 ビット及び前記第 3 ビットが有する 0 又は 1 の論理値を入力とする、請求項 1 から 3 のいずれかに記載のテストパターン生産装置。

【請求項 5】

前記初期テストパターン又は / 及び当該テストパターン生産装置が生産したテストパターンにおける論理値から、前記第 1 ビット、前記第 2 ビット及び前記第 3 ビットを含めて一部又は全部を抽出する抽出手段と、

前記抽出手段が抽出した論理値についての空間的隣接性及び / 又は時間的連続性に沿った反転回数が所定の回数に達するか否かを判定する条件判定手段と、

40

前記条件判定手段による判定結果を前記切替手段にフィードバックするフィードバック手段とをさらに備える、請求項 4 記載のテストパターン生産装置。

【請求項 6】

テスト対象回路の出力に基づいて故障を検出する故障検出システムであって、

請求項 1 から 5 のいずれかに記載のテストパターン生産装置が生成したテストパターンを、前記テスト対象回路に入力される初期テスト入力パターンとして記憶する初期テスト入力パターン記憶手段と、

前記初期テスト入力パターンが入力された前記テスト対象回路から出力された複数の出力論理値の一部又は全部を取り出す第 1 取出手段と、

前記第 1 取出手段が取り出した出力論理値と、前記テスト対象回路に故障がない場合に

50

予測される出力論理値又は特定の故障がある場合に予測される出力論理値とを比較する比較手段と、

前記比較手段による比較結果に基づいて前記テスト対象回路の故障の有無を判定する故障判定手段とを備え、

前記複数の出力論理値は、

前記テスト対象回路に対して新たなテスト入力パターンとして入力されるものであり、

複数の個別保持手段に論理値を１つずつ保持させる保持手段に保持され、

前記第１取出手段は、

前記保持手段に保持された前記複数の出力論理値の一部又は全部を取り出すものであり、

前記複数の個別保持手段が保持する出力論理値の一部又は全部を、他の個別保持手段を経由することなく直接取り出すことを特徴とする、故障検出システム。

【請求項 7】

前記第１取出手段を制御する第１取出制御手段と、

ダミーサイクルの回数を指定するダミーサイクル指定手段とをさらに備え、

前記第１取出制御手段は、前記第１取出手段を制御して、前記ダミーサイクルが指定したキャプチャサイクルの間、前記複数の出力論理値を取り出させない、請求項 6 記載の故障検出システム。

【請求項 8】

スキャンテストのテスト対象回路に入力されるテストパターンを生産するテストパターン生産装置を用いたテストパターン生産方法であって、

与えられたテストパターンである初期テストパターン又はノ及び当該初期テストパターンに基づいて当該テストパターン生産装置が生産したテストパターンが有する第１ビット、第２ビット及び第３ビットの各論理値を参照して、前記初期テストパターンが有する前記第２ビットの論理値を維持又は反転することにより、新たな論理値を生成する論理値生成ステップを含む、テストパターン生産方法。

【請求項 9】

コンピュータに請求項 8 記載のテストパターン生産方法を実行させるためのプログラム。

【請求項 10】

請求項 9 に記載されたプログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、テストパターン生産装置、故障検出システム、テストパターン生産方法、プログラム及び記録媒体に関し、特に、テスト対象回路に入力されるテストパターンを生産するテストパターン生産装置等に関する。

【背景技術】

【0002】

論理回路をテストするためのテストパターンのデータ量を削減するテスト手法として、埋め込み自己テスト (Built-In Self-Test : BIST) の手法が知られている。BIST においては、テストパターンを記憶する容量の制限等の理由により、オリジナルのテストパターンから新たなテストパターンを生産するテストパターン生産装置が用いられる。ここで、生成されるテストパターンにおける故障検出率の向上とテスト時のシフトパワー削減とは、一般にトレードオフの関係にある。これまで、故障検出率の向上とシフトパワー削減の調整を図るテストパターン生産装置等が開発されてきた (非特許文献 1)。

【0003】

非特許文献 1 に記載されたテストパターン生産装置の回路の概略を示す論理回路を図 1

10

20

30

40

50

6に示す。非特許文献1に記載されたテストパターン生産装置は、直前に生産したテストベクトルをテスト対象回路に入力した場合のキャプチャ出力値から新たな論理値を生成する。まず、直前に生産したテストベクトルをテスト対象回路に入力した場合のキャプチャ出力値から最後の2ビットを抽出する。抽出されたビットの論理値が異なれば、スキャンチェーンに入力された値を変更せずにシフトインする。抽出されたビットの論理値が同じであれば、新たな論理値をシフトインする。このように、直前に生産されたテストベクトルをテスト対象回路に入力した場合のキャプチャ出力値の最後の2ビットの異同を参照して、LFSRから出力される値をそのままシフトインするか反転させた上でシフトインするものである。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】X.Lin, et al. "Adaptive Low Shift Power Test Pattern Generator for Logic BIST", Proc. Asian Test Symposium, pp. 355-360, 2010

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、非特許文献1に記載されたテストパターン生産装置は、直前に生産されたテストパターンの論理値をテスト対象回路に入力した場合のキャプチャ出力値の並びを反映して、新たなテストパターンを生産するものである。しかも、LFSRからの出力値を反転するか否かにおいて反映するものでしかない。そのため、基本的に、参照したオリジナルのテストパターンとは無関係に、新たなテストパターンを生成するものであった。

【0006】

一方、あらかじめ与えられたオリジナルのテストパターンは、通常、例えば高い故障検出率やシフトパワーとは異なるキャプチャパワー削減等、すでに何らかの目的に応じた特性を有するテストパターンである。非特許文献1に記載されたテストパターン生産装置が生産するテストパターンは、オリジナルのテストパターンが有する特性を考慮しないため、その特性を失わせるものとなりうるものであった。

【0007】

ゆえに、本発明は、オリジナルのテストパターンの特性維持を図りつつ新たなテストパターンを生産することを可能とする、テストパターン生産装置等を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の第1の観点は、スキャンテストのテスト対象回路に入力されるテストパターンを生産するテストパターン生産装置であって、与えられた第1ビット、第2ビット及び第3ビットの論理値を参照して、前記第2ビットの論理値を維持又は反転することにより、新たな論理値を生成する論理値生成手段を備え、前記第1ビットの論理値は、与えられたテストパターンである初期テストパターンが有するものであるか、又は、前記初期テストパターンに基づいて当該テストパターン生産装置が生産した新たなテストパターンが有するものであり、前記第2ビットの論理値は、前記初期テストパターンが有するものであり、前記第3ビットの論理値は、前記初期テストパターンが有するものであるか、又は、前記新たなテストパターンが有する、テストパターン生産装置である。

【0009】

本発明の第2の観点は、第1の観点に係るテストパターン生産装置であって、前記論理値生成手段により生成された論理値を保持する保持手段をさらに備え、前記第1ビットの論理値は、予め、前記論理値生成手段により生成されて前記保持手段に保持されたものであり、前記論理値生成手段は、前記保持手段に保持された前記第1ビットの論理値、前記第2ビットの論理値及び前記第3ビットの論理値に基づいて、前記第2ビットの論理値を

10

20

30

40

50

維持又は反転して、新たに生成するテストパターンに含まれるビットの論理値とする。

【0010】

本発明の第3の観点は、第2の観点に係るテストパターン生産装置であって、前記第1ビット、前記第2ビット及び前記第3ビットは、空間的に隣接する複数のスキランチェーンに入力されるビットであり、又は、時間的に連続して同一のスキランチェーンを介して前記テスト対象回路に入力されるビットであり、前記保持手段は、スキランフリップフロップである。

【0011】

本発明の第4の観点は、第1から第3のいずれかの観点に係るテストパターン生産装置であって、前記論理値生成手段は、論理値を出力する複数の異なる組合せ回路と、前記複数の異なる組合せ回路を切り替える切替手段とを有し、前記複数の異なる組合せ回路の一つは、前記第1ビット、前記第2ビット及び前記第3ビットが有する0又は1の論理値を入力とする。

10

【0012】

本発明の第5の観点は、第4の観点に係るテストパターン生産装置であって、前記初期テストパターン又は/及び当該テストパターン生産装置が生産したテストパターンにおける論理値から、前記第1ビット、前記第2ビット及び前記第3ビットを含めて一部又は全部を抽出する抽出手段と、前記抽出手段が抽出した論理値についての空間的隣接性及び/又は時間的連続性に沿った反転回数が所定の回数に達するか否かを判定する条件判定手段と、前記条件判定手段による判定結果を前記切替手段にフィードバックするフィードバック手段とをさらに備える。

20

【0013】

本発明の第6の観点は、テスト入力パターンが入力された論理回路から出力された複数の出力論理値に基づいて当該論理回路の故障を検出する故障検出システムであって、前記テスト入力パターンは、請求項1から5のいずれかに記載のテストパターン生産装置により生産されたものであり、前記複数の出力論理値は、前記論理回路に対して新たなテスト入力パターンとして入力されるものであり、複数の個別保持手段に論理値を1つずつ保持させる保持手段に保持され、前記複数の出力論理値の一部又は全部を取り出す第1取出手段と、前記第1取出手段が取り出した出力論理値と、前記論理回路に故障がない場合に予測される出力論理値又は特定の故障がある場合に予測される出力論理値とを比較する比較手段と、前記比較手段による比較結果に基づいて前記論理回路の故障の有無を判定する故障判定手段とを備え、前記第1取出手段は、前記保持手段に保持された前記複数の出力論理値の一部又は全部を取り出すものであり、前記複数の個別保持手段が保持する出力論理値の一部又は全部を、他の個別保持手段を経由することなく直接取り出す。

30

【0014】

本発明の第7の観点は、第6の観点の故障検出システムであって、前記第1取出手段を制御する第1取出制御手段と、ダミーサイクルの回数を指定するダミーサイクル指定手段とをさらに備え、前記第1取出制御手段は、前記第1取出手段を制御して、前記ダミーサイクルが指定したキャプチャサイクルの間、前記複数の出力論理値を取り出させない。

【0015】

本発明の第8の観点は、スキランテストのテスト対象回路に入力されるテストパターンを生産するテストパターン生産装置を用いたテストパターン生産方法であって、与えられたテストパターンである初期テストパターン又は/及び当該初期テストパターンに基づいて当該テストパターン生産装置が生産したテストパターンが有する第1ビット、第2ビット及び第3ビットの各論理値を参照して、前記初期テストパターンが有する前記第2ビットの論理値を維持又は反転することにより、新たな論理値を生成する論理値生成ステップを含む、テストパターン生産方法である。

40

【0016】

本発明の第9の観点は、コンピュータに第7の観点に係るテストパターン生産方法を実行させるためのプログラムである。

50

【 0 0 1 7 】

本発明の第 1 0 の観点は、第 8 の観点に係るプログラムを記録したコンピュータ読み取り可能な記録媒体である。

【 0 0 1 8 】

なお、論理値生成手段は、第 1 ビット、第 2 ビット及び第 3 ビットが有する 0 又は 1 の論理値のうち多い方の論理値を新たな論理値として生成するものであってもよい。また、論理値生成手段は、第 1 ビット、第 2 ビット及び第 3 ビットを含めた、4 つ以上のビットの論理値を参照して新たな論理値を生成するものであってもよい。

【 0 0 1 9 】

さらに、第 6 の観点の故障検出システムは、複数の個別保持手段が保持する出力論理値の一部又は全部を、他の個別保持手段を経由して取り出す第 2 取出手段をさらに備えるものであってもよい。この場合において、比較手段は第 2 取出手段が取り出した出力論理値と、論理回路に故障がない場合に予測される出力論理値又は特定の故障がある場合に予測される出力論理値とを比較するものであってもよい。

10

【 発明の効果 】

【 0 0 2 0 】

本発明の各観点によれば、初期テストパターン（オリジナルのテストパターンであり、L F S R から出力されたままのパターン及びテスト対象回路を経由してキャプチャされたパターンを含む）又は / 及び当該初期テストパターンに基づいて生産されたテストパターンに含まれるビットの論理値を参照して、初期テストパターンから新たなテストパターンに含まれるビットの論理値を生産する。そのため、故障検出率等の初期テストパターンの特性を可能な限り維持しつつ、新たなテストパターンを生産することが可能となる。

20

【 0 0 2 1 】

さらに、本発明の第 2 の観点によれば、直前に生成された論理値を入力の一つとする組合せ回路を用いて新たな論理値を生成する。そのため、生成される論理値同士の相関を制御することが容易となる。特に、空間的又は時間的に連続する序列が付与されたビットにおける論理値の反転の割合（トグル率）を削減し又は調整することが容易となる。

【 0 0 2 2 】

トグル率は、消費電力（シフトパワー）に直接的に関連している。このため、トグル率を減少させてシフトパワーを削減し、又は、トグル率を増大させて故障検出率を向上させることが可能となる。例えば、初期テストパターンの特性を可能な限り維持しつつシフトパワーも削減するようなテストパターン生産装置等を提供することが可能となる。

30

【 0 0 2 3 】

シフトパワーの削減により、論理 B I S T 時の発熱やノイズレベルを低減し、テスト時の誤動作を低減することが可能となる。また、L S I の発熱によるダメージを低減することも可能となる。

【 0 0 2 4 】

さらに、本発明の第 3 の観点によれば、保持手段として元々スキャンチェーンが有するスキャンフリップフロップを用いるため、回路の追加が不要である。そのため、回路数を減少させることが可能となる。

40

【 0 0 2 5 】

さらに、本発明の第 4 の観点によれば、組合せ回路を、複数の論理回路の間で切替可能な回路とできる。これにより、生産されるテストパターンの特性とシフトパワー削減の調整を図ることがさらに容易となる。ここで、複数の組合せ回路は、例えば、ランダムなテストパターンに基づき生成するテストパターンのトグル率が、互いに異なるものである。このように、トグル率の異なる複数の組合せ回路を、初期テストパターンのトグル率分布に応じて、新たに生成するビットごとに論理回路を切り替えることにより、所望のトグル率のテストパターンの生成をすることが可能になる。さらに、消費電力のピークカットを図ることが可能となる。すなわち、故障検出率等の初期テストパターンの特性維持とシフトパワー削減の調整を図ることが可能となる。

50

【 0 0 2 6 】

また、非特許文献 1 に記載されたテストパターン生産装置は、テストパターン生成のために順序回路が新たに追加される。このため、複雑なタイミング制御を要していた。一方、本願発明の第 4 の観点における論理値生成手段として付加されるのは組合せ回路のみである。そのため、順序回路が付加される場合と比べて、複雑な制御を要するタイミング制御が不要となる。すなわち、消費電力と故障検出率を調整した新たなテストパターンを生産することが容易となる。しかも、順序回路を用いる場合と比べて回路数を減少させることが可能となる。

【 0 0 2 7 】

さらに、本発明の第 5 の観点によれば、すでに生産されたテストパターンの情報に基づいて新たなテストパターンを生産することが可能となる。このため、テストパターン同士のトグル率の調整をすることが可能となる。

10

【 0 0 2 8 】

さらに、本発明の第 6 の観点によれば、第 1 から第 5 の観点に係るテストパターン生産装置によりトグル率を下げるために故障検出率が下がったテストパターンについて、マルチキャプチャ方式と中間取出しの手法により、故障検出率を向上させることが可能となる。このため、テストパターンのトグル率を下げつつ故障検出率を維持することが容易となる。

【 0 0 2 9 】

さらに、本発明の第 7 の観点によれば、ダミーサイクル後に出力論理値の取出を行う。そのため、少ない遷移数のみを生じさせるテスト入力パターンを得られる。結果として、キャプチャ時の消費電力やノイズを低減して遅延故障を精度よく検出することが可能となる。

20

【 図面の簡単な説明 】

【 0 0 3 0 】

【 図 1 】 (a) 実施例 1 に係る論理積回路部の概念の一例を示す図である。(b) 連続する序列が付与された複数のビットの論理値から新たなテストパターンを生産する一例を示す図である。

【 図 2 】 (a) 実施例 2 に係る論理積回路部の概念の一例を示す図である。(b) 実施例 2 において新たなテストパターンを生産する一例を示す図である。

30

【 図 3 】 (a) 実施例 3 に係る論理積回路部の概念の一例を示す図である。(b) 実施例 3 において新たなテストパターンを生産する一例を示す図である。

【 図 4 】 実施例 4 に係るテストパターン生産装置の概略を示すブロック図である。

【 図 5 】 フィードバックを受けて低減回路を選択する構成の一例を示す図である。

【 図 6 】 組合せ回路部の回路選択の一例を示す図である。

【 図 7 】 テストパターンの特性を空間的・時間的に制御する概念を示す図である。

【 図 8 】 本発明に係るテストパターン生産装置により生産されたテストパターンの一例を示す図である。

【 図 9 】 複数のレベルにより生産されたテストパターン同士を比較した図である。

【 図 1 0 】 (a) 実施例 5 に係る論理積回路部の概念の一例を示す図である。(b) 複数の参照ビットの論理値から新たな論理値を生成する規則の一例を示す図である。

40

【 図 1 1 】 指定時刻のテストパターン選択において、各実施例に共通する概念の一例を示す図である。

【 図 1 2 】 実施例 1 に係る指定時刻テストベクトル選択の一例を示す図である。

【 図 1 3 】 実施例 3 に係る指定時刻テストベクトル選択の一例を示す図である。

【 図 1 4 】 ダミーサイクルを N 回回した場合のキャプチャパワーの平均値の推移の一例を示すグラフである。

【 図 1 5 】 生産されたテストパターンにおける論理値の反転回数をフィードバックするフィードバック回路の一例を示す図である。

【 図 1 6 】 従来技術におけるテストパターン生産装置の論理回路図である。

50

【発明を実施するための形態】

【0031】

以下、図面を参照して、本願発明の実施例について述べる。なお、本願発明は、以下の実施例に限定されるものではない。

【0032】

なお、「テストベクトル」は、1つ又は複数のスキャンチェーンに同一時刻にシフトインされる論理値が付与されたビットの集合を指すものとする。また、「テストパターン」は、1つ又は複数のテストベクトルを含むものを指すものとする。さらに、「初期テストパターン」は、本願発明に係るテストパターン生産装置に与えられたテストパターンであり、LFSRから出力されたままのパターン及びテスト対象回路を經由してキャプチャされたパターンを含む。

10

【0033】

また、連続する序列が付与されたビットを表す記号として、 T_{-1} 、 T 、 T_1 のような記号を用いる。ここでいう「連続する序列が付与されたビット」は、同一テストベクトルにおける空間的に隣接したビット（隣接するスキャンチェーンにシフトインされるビット）でもよいし、時間的に連続して生産された複数のテストベクトルにおける対応するビットでもよい。

【実施例1】

【0034】

図1を参照して、本実施例に係るテストパターン生産装置を用いたテストパターン生産方法における論理値の生成について述べる。図1(a)は、実施例1に係る論理値生成部の概念の一例を示す図である。図1(b)は、連続する序列が付与された複数のビットの論理値から新たなテストパターンを生産する一例を示す図である。

20

【0035】

本実施例に係るテストパターン生産装置は、複数のビットを参照して新たな論理値を生成する論理値生成部5₁（本願請求項における「論理値生成手段」の一例）と、生成された新たな論理値を保持する保持部9（本願請求項における「保持手段」の一例）とを備える。論理値生成部5₁は、与えられたテストパターンである初期テストパターンが有する第1ビット2₁（本願請求項における「第1ビット」の一例）、第2ビット2₂（本願請求項における「第2ビット」の一例）及び第3ビット2₃（本願請求項における「第3ビット」の一例）（参照ビット2₁、2₂及び2₃）の各論理値 T_{-1} 、 T 、 T_1 を参照して、第2ビット2₂（対象ビット2₂）のビットの論理値 T を維持又は反転することにより、新たに論理値 T' を生成する。 T' は、本発明に係るテストパターン生産装置が生産するテストパターンが有するビット（図1のビット4）の論理値である。生成された論理値 T' は、保持部9に保持される。

30

【0036】

シフトパワーを低減するためには、連続する序列が付与されたビットの論理値ができるだけ同じであることが望ましい。そのため、新たに生成するビットの論理値 T' は、連続するビットの論理値 T_{-1} 、 T 、 T_1 と同じであることが好ましいと考えられる。

【0037】

40

そのような論理値 T' を機械的に定める方式としては、論理値 T_{-1} 、 T 、 T_1 の重み和をとるとよい。ここでは、重み w_{-1} 、 w 、 w_1 （ $w_{-1} + w + w_1 = 1$ 、 $w_{-1} = w = w_1 = 1/3$ ）は、それぞれ等価であるとする。このとき、表1に示すように、 T_{-1} 、 T 、 T_1 の3つの論理値の全てが0であるか、1つのみが1で残り2つが0である場合、重み和が0又は $1/3$ となり、 T' は0にすべきと判断される。また、3つの論理値の全てが1であるか、1つのみが0で残り2つが1である場合、重み和が1又は $2/3$ となり、 T' は1にすべきと判断される。このように定めることにより、 T' として、連続するビットの論理値 T_{-1} 、 T 、 T_1 とできるだけ同じ論理値を生成することが可能となる。

【0038】

【表 1】

$T_{-1}T T_1$	重み和	$\rightarrow T'$
000	0	$\rightarrow 0$
001	1/3	$\rightarrow 0$
010	1/3	$\rightarrow 0$
011	2/3	$\rightarrow 1$
100	0	$\rightarrow 0$
101	2/3	$\rightarrow 1$
110	2/3	$\rightarrow 1$
111	1	$\rightarrow 1$

10

【 0 0 3 9】

なお、上記の判断を論理回路で実現するためには、論理値生成部が有する組合せ回路を、式(1)に示す論理式に対応する論理回路又はこれと等価な回路とすればよい。なお、式(1)において、「&」はAND回路に対応し、「+」はOR回路に対応する。

【 0 0 4 0】

【数 1】

$$T' = T_{-1} \& T + T_{-1} \& T_1 + T \& T_1 \quad (1)$$

【 0 0 4 1】

20

ここで、図1の論理値生成方式では、連続する序列が付与されたビットの論理値が頻繁に反転する部分(以下、「高周波成分」と称する)を完全には除去しない。例えば、図1(b)に示すように、010101のように1つ置きに論理値が反転する部分は、値がずれるのみで高周波成分は残ることとなる。一方、シフトパワー削減の目的のみを追求する場合は、高周波成分をできるだけ除去するテストパターン生産が望ましい。

【実施例 2】

【 0 0 4 2】

そこで、図2を参照して、図1の方式を一部変更した論理値生成方式について述べる。図2は、実施例2に係る論理値生成部5₂の例を示す図である。図2(b)は、実施例2において新たなテストパターンを生産する一例を示す図である。

30

【 0 0 4 3】

図1の方式では、論理値生成部5₁が、3つのビットの論理値から新たな論理値を生成した。これに対して図2の方式では、図2(a)に示すように、論理値生成部5₂(本願請求項の「論理値生成手段」の一例)が、さらに連続する序列が付与されたビット2₄の論理値T₂をも参照する。ただし、010の高周波成分が現れた場合に限る。すなわち、表2に示すように、論理値T₋₁、T及びT₁の並びが010であって、T₂が1であればT'として1を生成する。一方、T₂が0であれば0を生成する。このように4ビットを参照して論理値を生成する場合の論理式は、式(2)で与えられる。なお、参照ビット2₁、2₂及び2₃の論理値T₋₁、T及びT₁に101の高周波成分が現れた場合には、T₂が0でも1でも全体として2/4以上の重み和となり、論理値T'は1となる。そのため、論理値T₋₁、T及びT₁に101の高周波成分が現れた場合には、ビット2₄の論理値T₂を参照する必要はない。

40

【 0 0 4 4】

【表 2】

$T_{-1}T_1$	T_2	重み和	→	T'
000		0	→	0
001		1/3	→	0
010	0	1/4	→	0
011	1	1/2	→	1
100		2/3	→	1
101		0	→	0
110		2/3	→	1
111		2/3	→	1
		1	→	1

【0045】

【数2】

$$T' = T_{-1} \& T + T_{-1} \& T_1 + T \& T_1 + T \& T_2 \quad (2)$$

【0046】

図2(b)に示すように、図2の方式を用いることにより、図1の方式では残っていた01010のような高周波成分を除去したテストパターンを生産することが可能となる。

【実施例3】

【0047】

次に、図3を参照して、本発明に係るテストパターン生産の別の例について述べる。図3(a)は、実施例3に係る論理積回路部の概念の一例を示す図である。図3(b)は、実施例3において新たなテストパターンを生産する一例を示す図である。

【0048】

図3を参照して、本実施例において、論理値生成部5₃(本願請求項の「論理値生成手段」の一例)は、3つの入力ビット2₁、2₂及び2₃の論理値を参照して新たな論理値を生成する。ここで、論理値の生成規則は、実施例1と同じであり、新たに生成されるビットの論理値T'は、式(3)で表される。ただし、図3(a)に示すように、3つの入力ビットのうち1つのビット2₁の論理値は、保持部9(本願請求項の「論理値生成手段」の一例)に保持されたビット4₁を用いる。ここで、ビット4₁の論理値は、対象ビット2₂の直前の序列を有するビット2₁について新たに生成された論理値T'_{-1}である。

【0049】

【数3】

$$T' = T'_{-1} \& T + T'_{-1} \& T_1 + T \& T_1 \quad (3)$$

【0050】

T'_{-1}の初期値を1とした場合に、結果として得られるテストパターンの生産例を図3(b)に示す。実施例1の方式で残っていた高周波成分10101を参照ビットとした場合であっても、11111のパターンが生産されることとなる。このように、直前に生成された論理値を参照ビットの1つとして入力することにより、新たに生産されたテストパターンにおける高周波成分を低減することが可能となる。また、実施例2の方式とは異なり、あらゆる入力ビットの論理値に対して参照ビット数を3ビットのままとすることができる。

【0051】

以下に、実施例1から3の方式における高周波成分の除去効果を比較する。連続する序列が付与された5つのビットの論理値T_{-1}、T、T_1、T_2及びT_3を参照すると共にT及びT_1を対象ビットの論理値として、新たなビットの論理値T'及びT'_1を生成する場合を考える。

10

20

30

40

50

【 0 0 5 2 】

表 3 に示すように、対象ビットであるの論理値 T 及び T_1 が異なる場合の数は、表 3 に示す 18 通りのうちの 10 通りである（項番 3 ~ 7、12 ~ 16 参照）。一方、実施例 1、2、3 の方式においては、それぞれ 5、4、2 通りとなる（実施例 1 については、項番 5、7、12、13 及び 15 参照。実施例 2 については、項番 4、5、12 及び 15 参照。実施例 3 については、項番 5 及び 15 参照）。すなわち、いずれの方式においても、初期テストパターンと比較して生産されたテストパターンはトグル率が減少することが分かる。加えて、トグル率を抑えるためには、実施例 3 の方式が最も有利であることも分かる。

【 0 0 5 3 】

また、実施例 1 から 3 において生産されるテストパターンは、初期テストパターンの特性を反映していることも表 3 から読み取れる。例えば、初期テストパターンにおける $T T_1$ の論理値が 00 又は 11 とそろっていたビットの論理値は、新たに生産されたテストパターンにおいても同じく 00 又は 11 の論理値が生成されている（項番 1、2、8 ~ 11、17、18 参照）。すなわち、いずれの実施例に係る生産方法においても、初期テストパターンと比較して、シフトパワーを増大させることなく新たなテストパターンを生産している。

10

【 0 0 5 4 】

さらに、実施例 2 において生産されるテストパターンは、実施例 1 と比較して、ビットの反転数が少なく、初期テストパターンに近い。すなわち、初期テストパターンの特性をより反映することが読み取れる（項番 4、7、13 参照）。実施例 3 において生産されるテストパターンも、実施例 1 と比較して、初期テストパターンの特性をより反映することが読み取れる（項番 7、12、13 参照）。

20

【 0 0 5 5 】

【表 3】

項番	初期テストパターン				実施例1		実施例2		実施例3		初期	
	T ₋₁	T ₁	T ₂	T ₃	T'	T' ₁	T'	T' ₁	T'	T' ₁	T	T ₁
1	0000				0	0	0	0	0	0	00	
2	0001				0	0	0	0	0	0	00	
3				0	0	0	0	0	0	0	01	
4	0010			1	0	0	0	→ 1	0	0	01	
5	0011				0	→ 1	0	→ 1	0	→ 1	01	
6	0100				0	0	0	0	0	0	10	
7	0101				0	→ 1	1	1	0	0	10	
8	0110				1	1	1	1	1	1	11	
9	0111				1	1	1	1	1	1	11	
10	1000				0	0	0	0	0	0	00	
11	1001				0	0	0	0	0	0	00	
12				0	1	→ 0	1	→ 0	1	1	01	
13	1010			1	1	→ 0	1	1	1	1	01	
14	1011				1	1	1	1	1	1	01	
15	1100				1	→ 0	1	→ 0	1	→ 0	10	
16	1101				1	1	1	1	1	1	10	
17	1110				1	1	1	1	1	1	11	
18	1111				1	1	1	1	1	1	11	

10

20

【0056】

以上の比較結果より、実施例1の方式に比べて実施例2の方がトグル率は抑えられ、実施例3においてトグル率はさらに抑えられることが分かる。また、初期テストパターンの特性についても、実施例1の方式に比べて実施例2及び3の方式を用いることでより維持されることが分かる。さらに、実施例2の方式は、場合によって4ビットを参照ビットとするのに対し、実施例3の方式は、実施例1の方式と同じく3ビットを参照ビットとするのみでよい。

30

【0057】

なお、実施例1から3に係るテストパターン生産装置は、参照ビットである第1ビット 2_1 、第2ビット 2_2 及び第3ビット 2_3 を選択する参照ビット選択部を備えてもよい。また、初期テストパターンが有するビットから対象ビット 2_2 を選択する対象ビット選択部を備えてもよい。また、初期テストパターン又は/及び生産されたテストパターンを記憶する記憶部を備えてもよい。

40

【実施例4】

【0058】

ここで、テストパターンに含まれる高周波成分は、必ずしも悪いというわけではない。通常、記憶部7には、テストの目的のために故障検出率の高いテストパターンが記憶されている。全ての高周波成分を除去すると、大幅に故障検出率を低下させるケースも起こりうる。したがって、シフトパワーを許容制限値以下に制御したうえで、目的に応じて故障検出率と高周波成分除去の程度を調整可能とすることが望ましい。

【0059】

そこで、図4から図7を用いて、本発明に係るテストパターン生産装置を用いた故障検

50

出率とシフトパワーの調整について述べる。図4は、実施例4に係るテストパターン生産装置101の概略を示すブロック図である。図5は、低減回路(本願請求項における「組合せ回路」の一例)を選択する構成の一例を示す図である。図6は、低減回路を切り替え可能とした論理回路の一例を示す図である。図7は、テストパターンの特性を空間的・時間的に制御する概念を示す図である。

【0060】

図4を参照して、テストパターン生産装置101(本願請求項の「テストパターン生産装置」の一例)は、テストパターンの生産に必要な情報を選択する選択部103と、テストパターンが有する論理値を生成する論理値生成部105(本願請求項の「論理値生成手段」の一例)と、テストパターンを記憶する記憶部107と、生成された論理値を保持する保持部109(本願請求項の「保持手段」の一例)とを備える。

10

【0061】

選択部103は、新たなテストパターンの生産に必要な初期テストパターンを選択するテストパターン選択部131と、同じく必要なビットを選択するビット選択部133とを有する。テストパターン選択部131は、テストパターンを記憶部107から取り出すテストパターン取出部135と、テストパターンの位相をシフトさせる位相シフト部137と、指定時刻のテストベクトルを選択する指定時刻テストベクトル選択部139を有する。ビット選択部133は、選択されたテストパターンが有するビットであって論理値生成部105が論理値を生成しようとする対象となるビットを選択する対象ビット選択部141と、論理値生成部105が論理値を生成する際に参照する参照ビットを選択する参照ビット選択部143とを有する。

20

【0062】

論理値生成部105は、論理値を生成するための組合せ回路である組合せ回路部147と、生産されたテストパターンが条件を満たすか否かを判定する判定部149とを有する。組合せ回路部147は、組合せ回路部147に入力される1つ又は複数の論理値から新たな論理値を出力する組合せ回路151₁、・・・、151_n(nは自然数)と、複数の組合せ回路151₁、・・・、151_nの間で回路を切り替える切替部153(本願請求項の「切替手段」の一例)とを有する。判定部149は、生産されたテストパターンから1つ又は複数のビットを抽出する抽出部155(本願請求項の「抽出手段」の一例)と、抽出部155が抽出したビットが所定の条件を満たすか否かを判定する条件判定部157(本願請求項の「条件判定手段」の一例)と、条件判定部157が「条件を満たす」と判定した回数及び/又は「条件を満たさない」と判定した回数をカウントするカウンタ159と、カウンタ159のカウント回数に基づいて情報を切替部153にフィードバックするフィードバック部161(本願請求項の「フィードバック手段」の一例)とを有する。

30

【0063】

続いて、生産するテストパターンのトグル率の調整について述べる。図5に示すように、切替部153は、制御情報に基づき、組合せ回路151₁、151₂、151₃の間で回路を切り替える。また、切替部153は、生成されるビットごとに回路を切り替えることが可能である。さらに、複数の組合せ回路151₁、151₂、151₃は、回路を分けて備える必要はなく、回路を部分的に共有する論理合成された回路であってもよい。

40

【0064】

上記の構成により、条件判定部157に設定された条件がテストパターン生産に反映される。応用の一例として、「トグル率20%未満」等の所定の条件の下で最大限に故障検出率を高めるテストパターンを生産することが可能となる。

【0065】

図6に、本実施例に係る組合せ回路部147の一例を示す。例えば、5ビットの入力に対する出力論理値T'について、表4に示すように3段階のレベルを設定したとする。レベル2に対応する論理回路のトグル率は、出力論理値の数が十分多い場合には統計的に6.7%であると期待される。同様に、レベル1及びレベル0に対応する論理回路のトグル率は、それぞれ12.5%及び50%と期待される。そこで、これらの論理回路を組み合

50

わせることで6.7%から50%までの生産されるテストパターンのトグル率を実現できる。例えば、レベル0、レベル1及びレベル2に対応する論理回路を用いてT'を生成する比率を、それぞれ(1-β)、α及びβとすると、出力論理値の数が十分多い場合に統計的に期待されるトグル率pは、(4)式で表される。α及びβの値を適宜決定することにより、所望のpを実現可能である。

【0066】

具体的には、このような3段階のレベルに分類した場合、図6に例示する組合せ回路部147を用いることにより、制御情報に基づいて上記のいずれかのレベルの回路を選択することが可能となる。すなわち、組合せ回路部147が有するマルチプレクサ(切替部153の一例)への2ビットの制御情報CNTL[1:0]に基づき、組合せ回路151₁、151₂、151₃からの出力のいずれを選択するかが切り替えられ、新たな論理値T'が生成される。制御情報は、例えば、達成すべきトグル率に基づいて定められる。

10

【0067】

なお、図6では、3段階のレベルに対応する回路が論理合成されている。また、対応関係としては、T₀はTに、T₁はT₁に、T₂はT₂に、T_{M1}はT₁に、T_{M2}はT₂に、T_{out}はT'に、それぞれ対応する。

【0068】

【数4】

$$p = (1-\alpha-\beta) \times 0.50 + \alpha \times 0.125 + \beta \times 0.067 \quad (4)$$

20

【0069】

【表4】

レベル	論理式
2	CNTL[1:0]=(1,0)のとき $T' = (T_{-2} \& T_{-1} \& T + T_{-2} \& T_{-1} \& T_1 + T_{-2} \& T_{-1} \& T_2 + T_{-2} \& T \& T_1 + T_{-2} \& T \& T_2 + T_{-2} \& T_1 \& T_2 + T_{-1} \& T \& T_1 + T_{-1} \& T \& T_2 + T_{-1} \& T_1 \& T_2 + T \& T_1 \& T_2)$
1	CNTL[1:0]=(0,1)のとき $T' = (T_{-1} \& T + T \& T_1 + T_{-1} \& T_1)$
0	CNTL[1:0]=(0,0)または(1,1)のとき $T' = T$

30

【0070】

このため、図7に示すように、テストベクトルのビットの論理値が供給される空間的に隣接するスキャンチェーン間でトグル率を調整することが可能となる。例えば、空間的なトグル率のばらつきを抑えることが可能となる。したがって、瞬間的な電圧負荷の集中や電圧負荷のムラの発生を低減することが可能となる。ここで、論理値についての「空間的隣接性」とは、空間的に隣接するスキャンチェーンに供給される論理値であることをいう。

40

【0071】

また、各スキャンチェーンに時間的に連続して供給される論理値を制御して、トグル率を調整することも可能となる。すなわち、時間的なトグル率のばらつきを抑えることも可能となる。したがって、消費電力のピークカットを行うことも可能となる。ここで、論理値についての「時間的連続性」とは、時間的に連続して同一のスキャンチェーンを介してテスト対象回路に入力される論理値であることをいう。

【0072】

以下に、図8及び図9を用いて、上記した本発明の各実施例に係るテストパターン生産装置により生産されたテストパターンについて述べる。図8は、本発明に係るテストパタ

50

ーン生産装置により生産されたテストパターンの一列を示す図である。図9は、複数のレベルにより生産されたテストパターン同士を比較した図である。

【0073】

図8に示すように、本実施例に係るテストパターン生産装置を用いることで、空間的及び/又は時間的にレベルの異なる組合せ回路を用いて論理値を生成したテストパターンを生産することができる。図8において、同じ行の数字は、同一のテストベクトルを示す。上の行ほど時間的に早く生成されたテストベクトルである。また、同じ列の数字は、同一のスキャンチェーンに順次シフトインされる論理値を示す。

【0074】

また、図8のテストパターンは、レベルの異なる複数の組合せ回路からの出力論理値からなる。実線で囲まれた論理値は、レベル0に対応する組合せ回路からの出力論理値である。破線で囲まれた論理値は、レベル1に対応する組合せ回路からの出力論理値である。点線で囲まれた論理値は、レベル2に対応する組合せ回路からの出力論理値である。レベルごとにトグル率の異なるテストパターンが生産されていることが分かる。図8には、 $p = 1/3$ の場合が示されている。式(4)から、統計的に期待されるトグル率 p は約23%となる。図8においては、 $63 \div (8 \times 29) = 27.2(\%)$ であり、期待される値に近いトグル率が得られている。

10

【0075】

また、図9に示すように、レベルが異なる組合せ回路を用いることで故障検出率及びトグル率が異なるテストパターンを生産することが可能である。図9(a)は、表4に示すレベル0の組合せ回路に対応するテストパターンである。図9(b)は、レベル0からレベル2までの組合せ回路を切り替えながら生産されたテストパターンであり、図8に示したものと同一である。図9(c)は、レベル1の組合せ回路に対応するテストパターンである。図9(d)は、レベル2の組合せ回路に対応するテストパターンである。各レベルに対応してトグル率が異なる。図9のそれぞれのテストパターンのトグル率は、(a) 48.7%、(b) 27.2%、(c) 17.2%、(d) 6.9%である。

20

【実施例5】

【0076】

以下、図10及び図11を用いて、論理値生成部への入力数を増加させた場合について述べる。図10(a)は、実施例5に係る論理値生成部55の概念の一例を示す図である。図10(b)は、図10(a)において複数の参照ビットの論理値から新たな論理値を生成する規則の一例を示す図である。図11(a)は、実施例5に係る論理値生成部の他の例を示す図である。図11(b)は、図11(a)において複数の参照ビットの論理値から新たな論理値を生成する規則の一例を示す図である。

30

【0077】

図10(a)を参照して、ここでは、論理値生成部55(本願請求項の「論理値生成手段」の一例)への5ビットの入力される論理値 T_{-2} 、 T_{-1} 、 T 、 T_1 、 T_2 のうち、3ビットを外部からの入力、残りの2ビットを直前に生成されたビット 4_1 及び 4_2 の論理値 T'_{-1} 及び T'_{-2} からのフィードバックとしている。なお、 T'_{-1} 及び T'_{-2} を保持する保持部 9_1 及び 9_2 は、スキャンチェーンのスキャンフリップフロップを兼用することで回路の簡略化を図ることができる。

40

【0078】

本実施例においても、 T_{-2} 、 T_{-1} 、 T 、 T_1 、 T_2 の論理値の重み和をとる。また、重み w_{-2} 、 w_{-1} 、 w_T 、 w_{T_1} 、 w_{T_2} ($w_{-2} + w_{-1} + w_T + w_{T_1} + w_{T_2} = 1$ 、 $w_{-2} = w_{-1} = w_T = w_{T_1} = w_{T_2} = 1/5$) は、それぞれ等価であるとする。すなわち、図10(b)に示すように、5ビットの入力のうち3ビット以上が1であれば1を出力し、それ以外であれば0を出力する。

【0079】

このような新たなビットの論理値 T' は、式(5-1)に示すように、 ${}_5C_3 (= 10)$ 通りの論理積の和で表される。なお、式(5-2)において、下線部は3ビットを入力

50

とする図3の方式における論理式との共通部分を示す。

【0080】

【数5】

$$T' = T_{-2} \& T_{-1} \& T + T_{-2} \& T_{-1} \& T_1 + T_{-2} \& T_{-1} \& T_2 \\ + T_{-2} \& T \& T_1 + T_{-2} \& T \& T_2 + T_{-2} \& T_1 \& T_2 \\ + T_{-1} \& T \& T_1 + T_{-1} \& T \& T_2 + \\ T_{-1} \& T_1 \& T_2 + T \& T_1 \& T_2 \quad (5-1)$$

$$= (T_{-1} \& T + T \& T_{-1} + T_{-1} \& T_1) \& (T_{-2} + T_2) \\ + (T_{-1} + T + T_1) \& T_{-2} \& T_2 + T_{-1} \& T \& T_1 \quad (5-2)$$

10

【0081】

続いて、図11から図13を用いて、各実施例において指定時刻のテストベクトルを取り出す方式について具体的に述べる。図11は、指定時刻のテストベクトル選択において、各実施例に共通する概念の一例を示す図である。図12は、実施例1に係る指定時刻テストベクトル選択の一例を示す図である。図13は、実施例3に係る指定時刻テストベクトル選択の一例を示す図である。

【0082】

図11において、テストベクトルは、8つのビット Q_1 から Q_8 からなるものとする。1つのテストベクトルから次のテストベクトルを生産する際、元のビットの論理値は、次の序列が付与されたビットの論理値にシフトされる。ただし、 Q_8 の論理値は、 Q_1 にシフトする。同時に、 Q_2 、 Q_6 及び Q_7 のビットは、それぞれ Q_1 、 Q_5 及び Q_6 の論理値と Q_8 の論理値との排他的論理和で新たな論理値が生成される。

20

【0083】

このように、時刻 T_{-2} 、 T_{-1} 、 T 、 T_1 、 T_2 ...等におけるテストベクトルの生成を定式化することにより、図4の指定時刻テストパターン選択部139が、直前に生産されたテストパターンのみならず、過去又は未来の指定時刻におけるテストベクトルを選択することが可能となる。

【0084】

図12を参照して、図1に示す実施例1の方式における指定時刻のテストベクトルの選択について具体的に述べる。低減回路への入力ビット3ビットの入力のうち2ビットは、2つのビットからそのまま入力される。また、残りの1ビットの入力は、2つのビットの排他的論理和で与えられる。例えば、時刻 t における8ビットのテストベクトルの論理値 T が Q_1 、 Q_2 、...、 Q_8 であったとする。このとき、図12に示すように、時刻 t の次の時刻 t_1 における対応する論理値 T_1 は、それぞれ、 Q_8 、 Q_1 (XOR) Q_8 、 Q_2 、 Q_3 、 Q_4 、 Q_5 (XOR) Q_8 、 Q_6 (XOR) Q_8 、 Q_7 で与えられる。同様に、時刻 t の前の時刻 t_{-1} における対応する論理値 T_{-1} は、それぞれ、 Q_1 (XOR) Q_2 、 Q_3 、 Q_4 、 Q_5 、 Q_1 (XOR) Q_6 、 Q_1 (XOR) Q_7 、 Q_8 、 Q_1 で与えられる。なお、 A (XOR) B は、 A と B の排他的論理和を表す。

30

【0085】

ここで、組合せ回路部への3ビットの入力をTAP (Test Access Port) から引き出す場合、3ビット分の入力回路が必要となる。初期テストパターンの故障検出率向上のためには、論理値のランダム性を担保すべく排他的論理和等を次時刻のテストベクトルを生成するために挿入することが考えられる。例えば、隣接するスキャンチェーンの値を単純に次の時刻にシフトさせるだけでなく、2つのビットを入力とするXORゲートの回路を3つ挿入する場合、回路のオーバーヘッドが増大することになる。次に述べるように、実施例3の方式を用いることで、回路のオーバーヘッドも改善される。

40

【0086】

図13を参照して、実施例3におけるテストパターン生産について具体的に述べる。低減回路(組合せ回路部51の一例)への入力ビット3ビットの入力のうち2ビットは、2つのビットからそのまま入力される。また、残りの1ビットの入力は、前の時刻の出力が

50

らのフィードバックで与えられる。これにより、XORゲートの回路を挿入する必要がなくなる。そのため、複数のビットの排他的論理和を用いる図12の論理回路と比較して、回路のオーバーヘッドを最小限に抑えることが可能となる。

【0087】

なお、論理値 T_{i-1} をフィードバックするためには、論理値を保持する必要がある。ここでは、組合せ回路部の入力としてスキャンフリップフロップ(SFF)の値を用いる。スキャンフリップフロップからのフィードバックを用いることにより、新たな順序回路を付加する必要がない。そのため、タイミング制御等の複雑な制御を新たに行わずに済む。しかも、回路のオーバーヘッドを抑えることにも寄与する。

【0088】

このように構成することにより、実施例3の方式は、トグル率の低減、初期テストパターンの特性維持に加えて、回路のオーバーヘッドの最小化において優れた方式となる。

【0089】

以下、5ビットの入力に対して実施例1(図1)及び実施例2(図3)の手法を用いて生産されたテストパターンの特性について、表を用いて述べる。表5は、生産されたテストパターンのトグル率(%)の一覧表である。表6は、表5に示すテストパターンの故障検出率(%)の一覧表である。表7は、5回のマルチキャプチャを行い、20%のFFについて論理値を中間取出した場合の故障検出率(%)である。なお、表中の「LFSR」は、LFSRから出力されたままの初期テストパターンを示す。

【0090】

表5を参照して、いずれのテスト対象回路の場合であっても、実施例1の手法で初期テストパターンよりもトグル率が大幅に減少していることが示されている。また、いずれのテスト対象回路の場合であっても、実施例3の手法ではさらにトグル率が減少していることが示されている。

【0091】

【表5】

回路	LFSR	実施例1の手法 5ビット	実施例3の手法 5ビット
s38417	47.46	24.21	15.27
s38584	48.95	22.96	13.30
b20s	49.55	20.79	9.74
b21s	49.55	20.80	9.83

【0092】

表6を参照して、故障検出率の傾向としては、トグル率と正の相関があることが分かる。ただし、回路によっては実施例1の手法を用いた場合に、初期テストパターンよりも故障検出率が高くなっている。これは、初期テストパターンよりもトグル率が小さいことを考えると顕著な効果といえる。

【0093】

【表6】

回路	LFSR	実施例1の手法 5ビット	実施例3の手法 5ビット
s38417	92.64	92.43	89.73
s38584	90.96	90.11	83.58
b20s	84.09	86.43	80.66
b21s	85.80	87.88	82.05

10

20

30

40

50

【 0 0 9 4 】

さらに、表 7 を参照して、テストパターンを 5 回マルチキャプチャして 2 0 % の F F について中間取出しを行った場合の故障検出率について示す。マルチキャプチャにおける中間取出しは、発明者らが開発した手法である（特願 2 0 1 0 - 2 2 5 3 1 8 等参照）。マルチキャプチャ方式では、キャプチャモードにおいて複数回のキャプチャが行われる。中間取出しは、キャプチャモードの複数回のキャプチャで最後にキャプチャされた論理値だけでなく各キャプチャ時のフリップフロップが取得した複数の論理値の一部又は全部を観測することにより、1 つのテストパターン入力に対して複数の出力パターンを得る手法である。これにより、複数のテストを行う効果を得ることが可能となる。そのため、最終の出力パターンのみを観測する場合と比べて故障検出率を向上させることが可能となる。

10

【 0 0 9 5 】

実際、表 7 に示される故障検出率は、いずれも表 6 の故障検出率よりも向上していることが示されている。したがって、本実施の形態に係る手法を用いてテストパターンのトグル率を下げた場合であっても、中間取出しの手法と組み合わせることにより、故障検出率の低下の問題を緩和することが可能である。

【 0 0 9 6 】

【表 7】

回路	LFSR	実施例1の手法 5ビット	実施例3の手法 5ビット
s38417	92.64	92.43	89.73
s38584	90.96	90.11	83.58
b20s	84.09	86.43	80.66
b21s	85.80	87.88	82.05

20

【 0 0 9 7 】

さらに、表 8、表 9、図 1 4、表 1 0 及び表 1 1 を参照して、実施例 3 の手法と従来の手法との比較結果について述べる。表 8 には、トグル率が示されている。表 9 には、各手法のトグル率のピーク値が示されている。図 1 4 は、ダミーサイクルを N 回回した場合のキャプチャパワーの平均値の推移の一例を示すグラフである。横軸は、ダミーサイクルの回数を示す。縦軸は、重み付き遷移指標（Weighted Transition Metric）の値を示す。表 1 0 には、ダミーサイクルを 3 0 回回してキャプチャを 1 回行った場合のキャプチャパワーのピーク値の一例が示されている。表 1 1 には、ダミーサイクルを 1 0 回回して中間取出しを 1 0 回行った場合の故障検出率の一例が示されている。なお、“ b 1 4 s ”、“ b 1 5 s ”、“ b 1 7 s ”、“ b 2 0 s ”、“ b 2 1 s ”、“ b 2 2 s ” は、それぞれ回路名である。“ P L P F ” は、実施例 3 に係る手法である。“ A L P ” 及び“ L T ” は、どちらも比較対象とした従来の手法である。“ L F S R ” は、L F S R から出力されたビットのまま回路に入力した場合を示す。カッコ内の数字は、参照ビット数を示す。

30

【 0 0 9 8 】

表 8 には、トグル率が示されている。P L P F (5) は、対応する従来の手法である L T (4) 及び A L P (3) と同等のトグル率を示した。これは、従来の手法と同等のシフトパワー削減効果を有することを意味する。

40

【 0 0 9 9 】

表 9 には、トグル率のピーク値が示されている。シフトパワーは、ピーク値に比例する。また、シフトパワーが大きいとノイズが増大する。I R ドロップ等のトラブルは、ノイズの大きさに依存するため、ピーク値を低減することが重要である。P L P F (5) は、対応する従来の手法である L T (4) 及び A L P (3) よりも低いトグル率のピーク値を示した。これは、従来の手法よりもノイズ削減効果が高いことを意味する。

【 0 1 0 0 】

シフトパワーの削減の平均値が同等であり、かつ、ピーク値が低減していることから、

50

実施例 3 の手法は、従来手法と比較して、トグル率のバラつきが小さい、すなわち、制御性が高いことが分かる。故障検出率とパワー削減のバランスをとるためには、制御性が高いことが好ましいため、実施例 3 の手法は有用である。

【 0 1 0 1 】

【表 8】

回路	LFSR	LT(4)	ALP(3)	PLPF(5)
b14s	49.3	9.1	11.4	9.9
b15s	49.1	7.4	9.1	8.2
b17s	49.0	7.4	8.7	8.2
b20s	49.5	8.6	9.6	9.8
b21s	49.5	8.8	9.5	9.8
b22s	49.5	9.2	10.1	10.2
平均値	49.3	8.4	9.7	9.4

10

【 0 1 0 2 】

【表 9】

回路	LFSR	LT(4)	ALP(3)	PLPF(5)
b14s	65.5	25.8	24.3	23.1
b15s	62.6	18.6	18.2	15.6
b17s	58.6	16.2	15.7	13.3
b20s	63.9	21.0	21.9	19.0
b21s	63.2	21.0	21.9	18.9
b22s	62.7	22.1	19.9	17.6
平均値	62.7	20.8	20.3	17.9

20

30

【 0 1 0 3 】

さらに、ダミーサイクルを併用した場合のキャプチャパワー削減効果について述べる。キャプチャサイクルにおいて、キャプチャすることなくテスト対象回路から出力されたパターンを再度テスト入力パターンとして回路に入力するサイクルをダミーサイクルと呼ぶ。図 1 4 に示すように、ダミーサイクルを数回繰り返すことにより、少ない遷移数のみを生じさせるテスト入力パターンを得られることが知られている。ダミーサイクルを本発明に係るテストパターン生産方法と併用することにより、キャプチャ時の消費電力やノイズを低減して遅延故障を精度よく検出することが可能となる。

40

【 0 1 0 4 】

表 1 0 に示すように、PLPF(5)は、対応する従来手法であるLT(4)及びALP(3)よりもキャプチャパワーのピーク値を低減することができた。また、ダミーサイクルと中間取出しを組み合わせることにより、特筆すべき結果が得られた。表 1 1 に示すように、対応する従来手法よりも故障検出率が平均で 1 6 % 以上も高く、LFSRよりも平均で約 5 % も高い故障検出率が得られている。通常、故障検出率を数%向上させるためには、テストパターン数が数倍に増大しうることを考えると、LFSRの故障検出率を上回ったことは顕著な効果といえる。

【 0 1 0 5 】

まとめると、実施例 3 の手法は、従来手法と比較して、制御性高くシフトパワー削減

50

し、キャプチャパワーをより低減し、しかも故障検出率を16%以上も向上させた。

【0106】

【表10】

回路	LFSR	LT(4)	ALP(3)	PLPF(5)
b14s	41.2	48.6	43.7	27.8
b15s	19.6	25.4	16.9	11.6
b17s	13.9	17.0	16.2	6.9
b20s	37.3	41.0	43.5	25.3
b21s	37.6	42.2	42.7	29.6
b22s	30.9	35.4	28.6	22.9
平均値	30.1	34.1	31.9	20.7

10

【0107】

【表11】

回路	LFSR	LT(4)	ALP(3)	PLPF(5)
b14s	85.0	79.0	81.2	89.3
b15s	75.2	40.8	52.2	92.9
b17s	84.3	83.9	81.1	91.7
b20s	80.5	56.4	49.6	67.6
b21s	86.0	84.9	82.8	92.4
b22s	85.3	83.2	81.4	91.4
平均値	82.7	71.4	71.4	87.6

20

30

【0108】

以上に示すように、本発明に係るテストパターン生産装置により、目的に応じて空間的及び/又は時間的に故障検出率及びトグル率を制御したテストパターンを生産することができる。

【0109】

なお、組合せ回路部が有する組合せ回路は、論理積回路と等価な論理回路部分を含むものであれば、ANDゲートを含まない論理回路であってもよい。また、上記のレベル0に示すように、等値の論理回路であってもよい。

【0110】

また、重み w_1 、 w_2 、 w_3 等は、所定の目的に応じて互いに異なる値を定めてもよい。

40

【0111】

さらに、切替部153は、フィードバック部161からのフィードバックの情報に基づいて回路を切り替えてもよい。図15は、生産されたテストパターンにおける論理値の反転回数をフィードバックするフィードバック回路の一例を示す図である。

【0112】

図15を参照して、生産されたテストパターンから抽出部155が抽出したビットの論理値が条件判定部157へ入力される。条件判定部157は、抽出部155が抽出した論理値についての空間的隣接性及び/又は時間的連続性に沿った反転回数が所定の回数に達するか否かを判定する。スキャンインされる値のトグル率は制御可能であるが、テスト対

50

象回路からスキャンアウトされる値はトグル率を制御できない。そのため、条件判定部 157 が判定する必要がある。

【0113】

例えば、図 15 においては、高周波成分を検出するための条件として、 $O = (\text{not } T_{1}) \& T_{2} \& (\text{not } T_{3}) + T_{1} \& (\text{not } T_{2}) \& T_{3}$ が設定されている。ここで、 $(\text{not } T_{1})$ は、 T_{1} の反転を意味する。すなわち、条件判定部 157 は、抽出されたビットの論理値が 101 又は 010 のように「論理値の反転回数が 2 回以上である」の条件が満たされているか否かを判定する。条件が満たされていれば、カウンタ 159 の数値がインクリメントされる。カウンタ 159 のカウント回数が所定の数値以上になると、フィードバック部 161 が切替部 153 へと情報をフィードバックする。

10

【0114】

なお、条件判定部 157 に対応する回路は、図 15 に示すものとは別のものであってもよい。例えば、抽出部 155 が 1 ビットずつ抽出し、抽出されたビットの論理値が反転する度にカウンタ 159 の数値がインクリメントされるのもよい。また、条件判定部は、全てのスキャンチェーンについて判定してもよいし、一部のスキャンチェーンについてのみ判定してもよい。

【0115】

また、本発明に係るテストパターン生産装置を有する故障検出システムは、中間取出を行う第 1 取出部（本願請求項における「第 1 取出手段」の一例）と、第 1 取出部を制御する第 1 取出制御部（本願請求項における「第 1 取出制御手段」の一例）と、ダミーサイクルの回数を指定するダミーサイクル指定部（本願請求項における「ダミーサイクル指定手段」の一例）と、キャプチャサイクル終了後にスキャンアウトされる論理値を取り出す第 2 取出部と、第 2 取出部が取り出した出力論理値と論理回路に故障がない場合に予測される出力論理値又は特定の故障がある場合に予測される出力論理値とを比較する比較部（本願請求項における「比較手段」の一例）と、比較部による比較結果に基づいて前記テスト対象回路の故障の有無を判定する故障判定部（本願請求項における「故障判定手段」の一例）とを備えるのもよい。

20

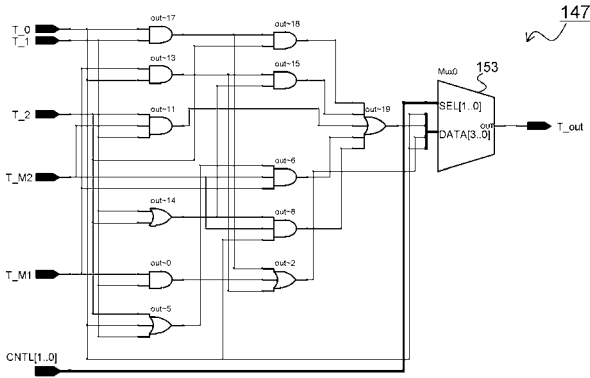
【符号の説明】

【0116】

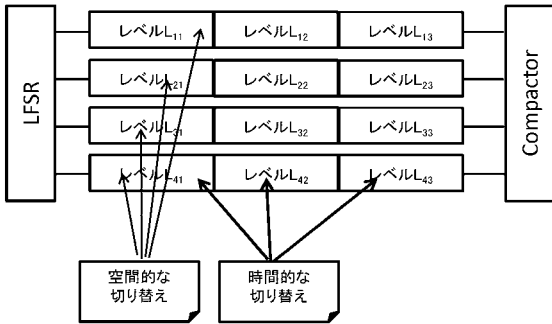
101 及び 301・・・テストパターン生産装置、2₁、2₂、2₃、2₄・・・参照ビット、2₂・・・対象ビット、103・・・選択部、4・・・生成された新たな論理値を有するビット、5、105・・・論理値生成部、107・・・記憶部、9、109・・・保持部、139・・・指定時刻テストベクトル選択部、147・・・組合せ回路部、149・・・判定部、151・・・組合せ回路、153・・・切替部、155・・・抽出部、157・・・条件判定部、159・・・カウンタ、161・・・フィードバック部

30

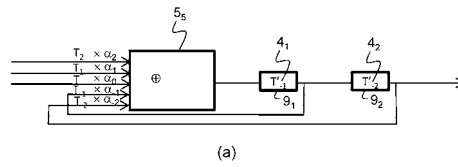
【 図 6 】



【 図 7 】



【 図 1 0 】

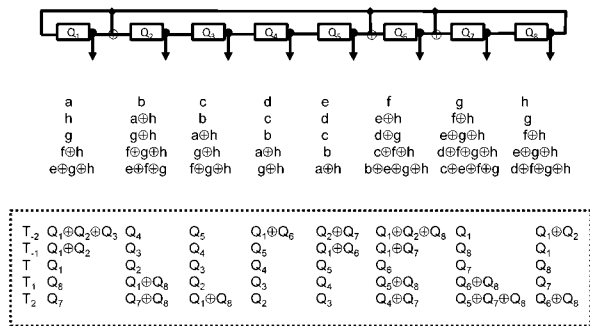


例: bit数5: 係数1/5

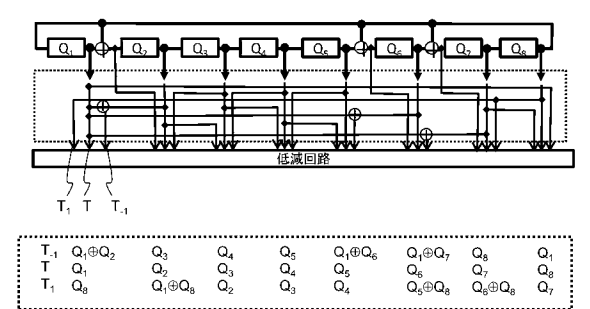
- 0, 0, 0, 0, 0 → 0/5 → 0
- 0, 0, 0, 0, 1 → 1/5 → 0
- 0, 0, 0, 1, 0 → 1/5 → 0
- 0, 0, 0, 1, 1 → 2/5 → 0
- 0, 0, 1, 0, 0 → 1/5 → 0
- 0, 0, 1, 0, 1 → 2/5 → 0
- 0, 0, 1, 1, 0 → 2/5 → 0
- 0, 0, 1, 1, 1 → 3/5 → 1
- 0, 1, 0, 0, 0 → 1/5 → 0
- 0, 1, 0, 0, 1 → 2/5 → 0
- 0, 1, 0, 1, 0 → 2/5 → 0
- 0, 1, 0, 1, 1 → 3/5 → 1
- 0, 1, 1, 0, 0 → 2/5 → 0
- 0, 1, 1, 0, 1 → 3/5 → 1
- 0, 1, 1, 1, 0 → 3/5 → 1
- 0, 1, 1, 1, 1 → 4/5 → 1
- 1, 0, 0, 0, 0 → 1/5 → 0
- 1, 0, 0, 0, 1 → 2/5 → 0
- 1, 0, 0, 1, 0 → 2/5 → 0
- 1, 0, 0, 1, 1 → 3/5 → 1
- 1, 0, 1, 0, 0 → 2/5 → 0
- 1, 0, 1, 0, 1 → 3/5 → 1
- 1, 0, 1, 1, 0 → 3/5 → 1
- 1, 0, 1, 1, 1 → 4/5 → 1
- 1, 1, 0, 0, 0 → 2/5 → 0
- 1, 1, 0, 0, 1 → 3/5 → 1
- 1, 1, 0, 1, 0 → 3/5 → 1
- 1, 1, 0, 1, 1 → 4/5 → 1
- 1, 1, 1, 0, 0 → 3/5 → 1
- 1, 1, 1, 0, 1 → 4/5 → 1
- 1, 1, 1, 1, 0 → 4/5 → 1
- 1, 1, 1, 1, 1 → 5/5 → 1

(b)

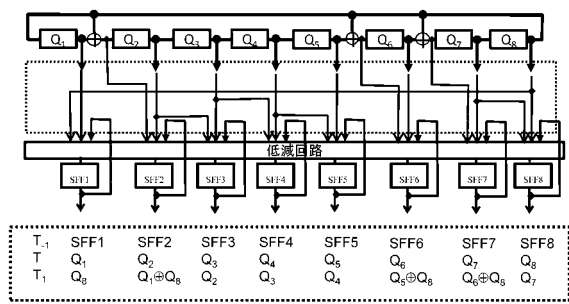
【 図 1 1 】



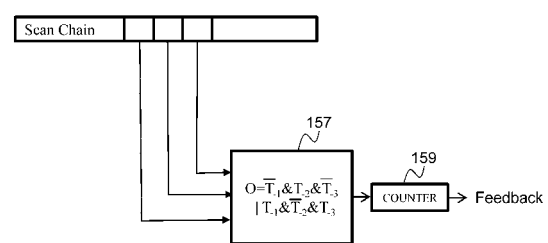
【 図 1 2 】



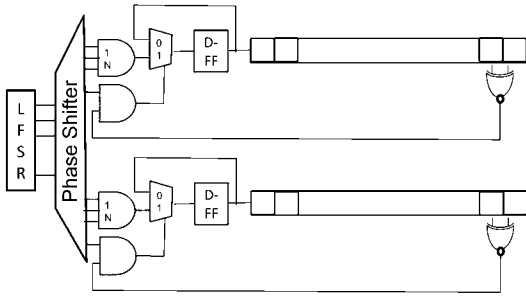
【 図 1 3 】



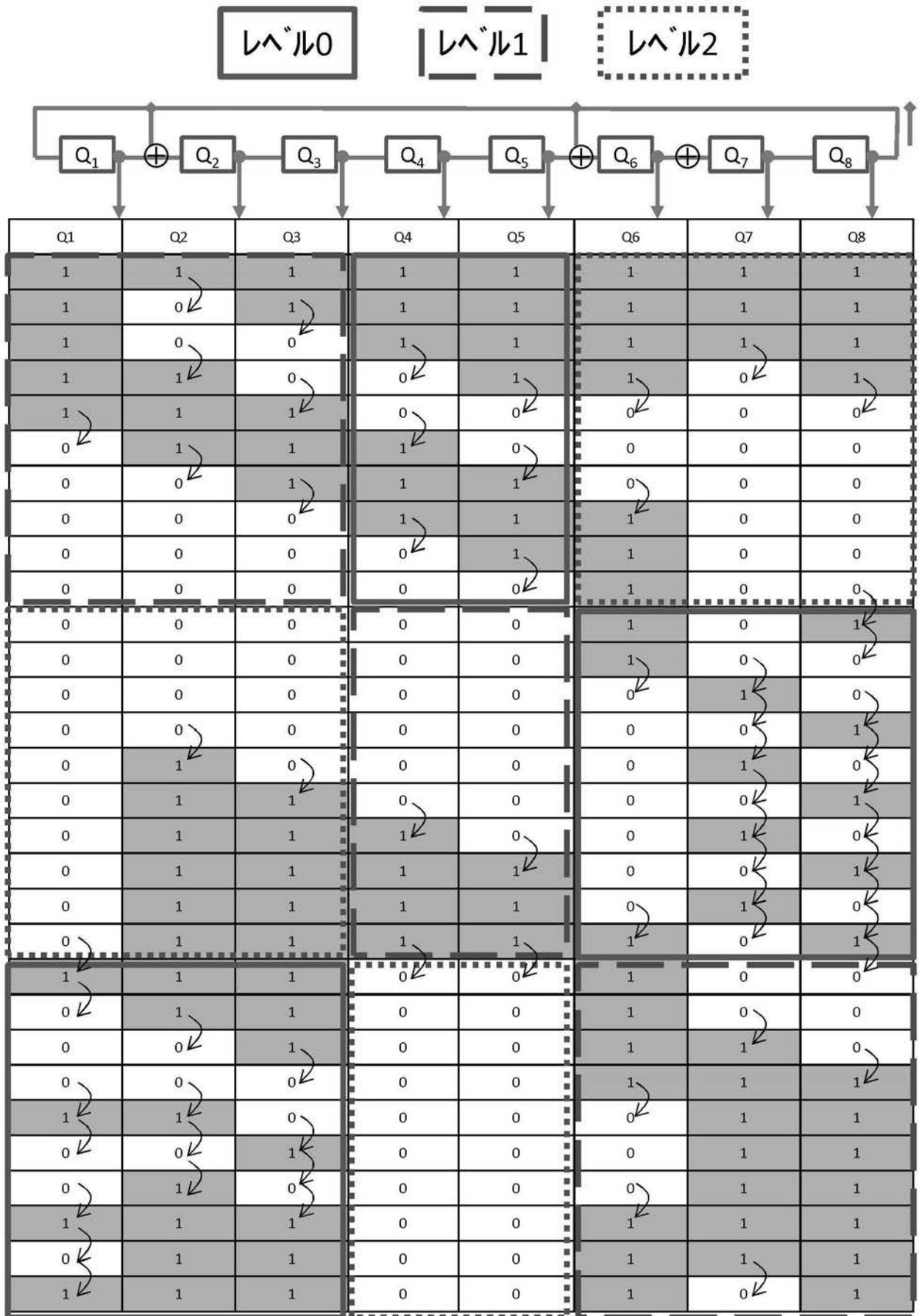
【 図 1 5 】



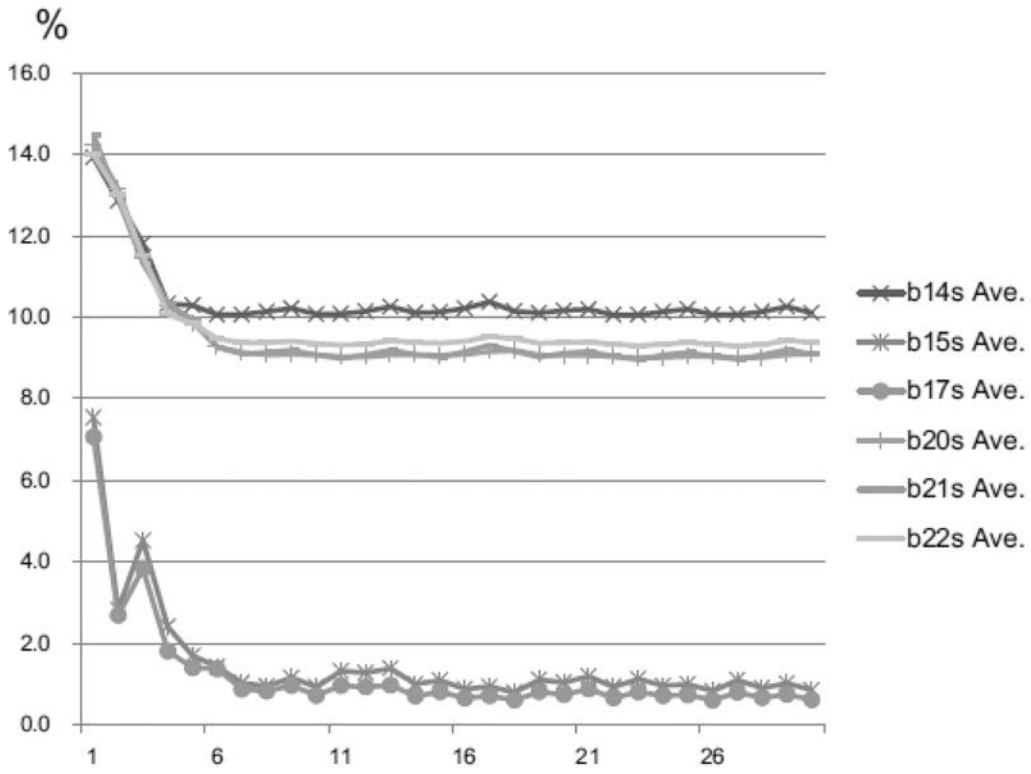
【 16 】



【 図 8 】



【 図 1 4 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2013/050150
A. CLASSIFICATION OF SUBJECT MATTER G01R31/3183(2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G01R31/3183 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-89833 A (Renesas Electronics Corp.), 06 May 2011 (06.05.2011), paragraphs [0012] to [0013]; fig. 1 (Family: none)	1-10
A	JP 2002-181905 A (Hitachi, Ltd.), 26 June 2002 (26.06.2002), paragraphs [0008] to [0009]; fig. 1 & US 2002/0073373 A1	1-10
A	JP 3-41374 A (Hitachi Electronics Engineering Co., Ltd.), 21 February 1991 (21.02.1991), page 2, lower right column, line 11 to page 3, upper left column, line 12; fig. 1 (Family: none)	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 April, 2013 (03.04.13)		Date of mailing of the international search report 16 April, 2013 (16.04.13)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2013/050150									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G01R31/3183(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G01R31/3183											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2013年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2013年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2013年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2013年	日本国実用新案登録公報	1996-2013年	日本国登録実用新案公報	1994-2013年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2013年										
日本国実用新案登録公報	1996-2013年										
日本国登録実用新案公報	1994-2013年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2011-89833 A (ルネサスエレクトロニクス株式会社) 2011.05.06, 段落【0012】-【0013】、【図1】 (ファミリーなし)	1-10									
A	JP 2002-181905 A (株式会社日立製作所) 2002.06.26, 段落【0008】-【0009】、【図1】 & US 2002/0073373 A1	1-10									
A	JP 3-41374 A (日立電子エンジニアリング株式会社) 1991.02.21, 第2頁右下欄第11行-第3頁左上欄第12行, 第1図 (ファミリーなし)	1-10									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 03.04.2013		国際調査報告の発送日 16.04.2013									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 中村 和正	2 S 4401								
		電話番号 03-3581-1101	内線 3258								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。