

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-162257
(P2015-162257A)

(43) 公開日 平成27年9月7日(2015.9.7)

(51) Int.Cl.
G11C 15/04 (2006.01)

F1
G11C 15/04 631W

テーマコード (参考)

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2014-36698 (P2014-36698)
(22) 出願日 平成26年2月27日 (2014.2.27)

(71) 出願人 504136568
国立大学法人広島大学
広島県東広島市鏡山1丁目3番2号
(74) 代理人 110001427
特許業務法人前田特許事務所
(72) 発明者 マタウシュ ハンスユルゲン
広島県東広島市鏡山一丁目4番2号 国立
大学法人広島大学 ナノデバイス・バイオ
融合科学研究所内
(72) 発明者 赤澤 智信
広島県東広島市鏡山一丁目3番1号 国立
大学法人広島大学大学院 先端物質科学研
究科内

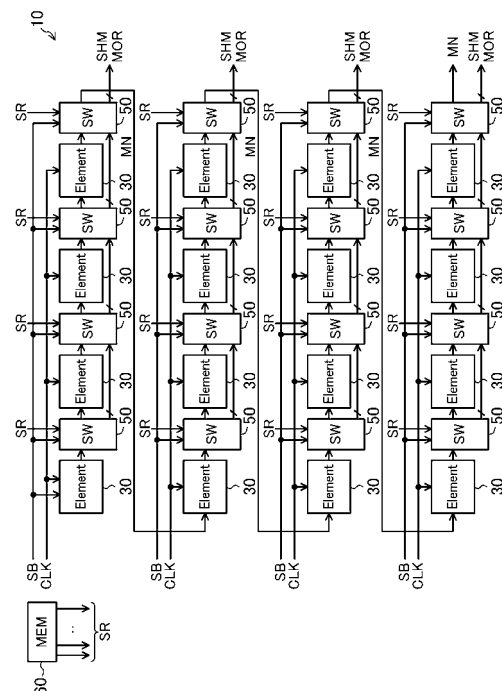
(54) 【発明の名称】再構成可能連想メモリ

(57) 【要約】

【課題】参照データの次元数および個数の拡張が可能な連想メモリを提供する。

【解決手段】再構成可能連想メモリ(100)は、それぞれが、参照データ保存回路(SC)と、距離計算回路(DP)と、距離/クロック数変換回路(DC)とを有する、複数のエレメント回路(30)と、複数のエレメント回路のそれぞれに対応して設けられ、それぞれが、与えられた回路構成信号に応じて、前段のエレメント回路から出力されるマッチ信号を次段のエレメント回路にトリガー信号として供給するか否かを制御する、複数のスイッチ回路(50)とを備える。スイッチ回路でカスケード接続された複数のエレメント回路によって、個別の参照データを保存し、当該参照データと検索データとの距離を計算し、当該距離に応じたクロック数をカウントしたタイミングを示すマッチ信号を出力する個別の参照データ検索回路(40)が構成される。

【選択図】図8



【特許請求の範囲】**【請求項 1】**

それぞれが、参照データを保存する参照データ保存回路と、検索データと前記参照データ保存回路に保存されている前記参照データとの距離を計算する距離計算回路と、トリガー信号を受けてクロック信号のカウント動作を開始し、前記距離に応じたクロック数をカウントしたタイミングを示すマッチ信号を出力する距離/クロック数変換回路とを有する、複数のエレメント回路と、

前記複数のエレメント回路のそれぞれに対応して設けられ、それぞれが、与えられた回路構成信号に応じて、前段のエレメント回路から出力される前記マッチ信号を次段のエレメント回路に前記トリガー信号として供給するか否かを制御する、複数のスイッチ回路とを備え、

前記スイッチ回路でカスケード接続された複数の前記エレメント回路によって、個別の参照データを保存し、当該参照データと前記検索データとの距離を計算し、当該距離に応じたクロック数をカウントしたタイミングを示すマッチ信号を出力する個別の参照データ検索回路が構成される

ことを特徴とする再構成可能連想メモリ。

【請求項 2】

複数の前記スイッチ回路がカスケード接続されており、

前記カスケード接続された複数の前記スイッチ回路によって、複数の前記参照データ検索回路のそれぞれから出力される前記マッチ信号の論理和を演算する論理和演算回路、および複数の前記参照データ検索回路のそれぞれから出力される前記マッチ信号を保存するシフトレジスタが構成される

ことを特徴とする請求項 1 に記載の再構成可能連想メモリ。

【請求項 3】

前記シフトレジスタのシフト出力を参照して前記シフトレジスタに保存されている前記マッチ信号の出力元の参照データ検索回路を特定し、当該特定した参照データ検索回路を識別する信号を出力する Winner 検出回路を備えている

ことを特徴とする請求項 2 に記載の再構成可能連想メモリ。

【請求項 4】

回路構成情報を記憶し、当該回路構成情報に基づいて前記複数のスイッチ回路のそれぞれに前記回路構成信号を出力する回路構成情報記憶回路を備えている

ことを特徴とする請求項 1 ないし請求項 3 のいずれかに記載の再構成可能連想メモリ。

【請求項 5】

前記回路構成情報記憶回路が不揮発性メモリで構成されている

ことを特徴とする請求項 4 に記載の再構成可能連想メモリ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、連想メモリに関し、特に、連想メモリに保存される参照データの次元数および個数を拡張する技術に関する。

【背景技術】**【0002】**

近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングを L S I (Large Scale Integrated Circuit) 上で実現することにより、将来、人工知能およびモバイル機器などの高機能アプリケーションに適用可能になり、この技術の実現は、非常に注目を浴びている。

【0003】

パターンマッチングでは、データベースに保存された複数の参照データの中から、完全に検索データと一致するパターンを検索する「完全一致検索処理」と、検索データと最も類似するパターンを検索する「最類似検索処理」とがある。

10

20

30

40

50

【 0 0 0 4 】

前者は、C A M (Content Addressable Memory) と呼ばれ、ネットワークルータの I P アドレステーブルのルーティングおよびプロセッサのキャッシュなどの実現に用いられる。人間の脳のような柔軟な検索・比較をコンピュータに処理させるには、後者の最類似検索処理を実現することが必要不可欠である。このような柔軟な比較を実現する機能を持つメモリのことを特に連想メモリ (Associative Memory) と呼ぶ。

【 0 0 0 5 】

連想メモリの例として、検索データと参照データとのマンハッタン距離またはユークリッド距離を用いて最類似検索処理を行うものが知られている (非特許文献 1 参照)。

【 先行技術文献 】

【 非特許文献 】

【 0 0 0 6 】

【 非特許文献 1 】 S.Sasaki et al., "Digital Associative Memory for Word-Parallel Manhattan-Distance-Based Vector Quantization," ESSCIRC'2012, 2012, pp.185-188

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本願発明者は、これまでに、検索に係るクロックカウント数を削減する機構 (有効ビット設定部) とユークリッド距離検索のための二乗計算回路 (距離演算回路) とを備えたクロックカウント式の連想メモリを発明し、特願 2 0 1 3 - 0 2 5 4 6 5 において開示した。これにより、データ規模が増大しても高速な検索が可能なユークリッド/マンハッタン距離検索連想メモリをエラーフリー、高電力効率に実現した。

【 0 0 0 8 】

連想メモリが利用される分野として、コードブックベース画像圧縮のデータ検索や B o W (Bag of Words) などが挙げられる。前者では比較的少ない次元数の大量の参照データの検索が行われ、後者では膨大な次元数の少量の参照データの検索が行われる。しかし、従来の連想メモリでは回路構成が固定されているため、アプリケーションに応じて参照データの次元数および個数を拡張することが困難である。

【 0 0 0 9 】

上記問題に鑑み、本発明は、参照データの次元数および個数の拡張が可能な連想メモリを提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明の一面に従った再構成可能連想メモリは、それぞれが、参照データを保存する参照データ保存回路と、検索データと前記参照データ保存回路に保存されている前記参照データとの距離を計算する距離計算回路と、トリガー信号を受けてクロック信号のカウント動作を開始し、前記距離に応じたクロック数をカウントしたタイミングを示すマッチ信号を出力する距離/クロック数変換回路とを有する、複数のエレメント回路と、前記複数のエレメント回路のそれぞれに対応して設けられ、それぞれが、与えられた回路構成信号に応じて、前段のエレメント回路から出力される前記マッチ信号を次段のエレメント回路に前記トリガー信号として供給するか否かを制御する、複数のスイッチ回路とを備え、前記スイッチ回路でカスケード接続された複数の前記エレメント回路によって、個別の参照データを保存し、当該参照データと前記検索データとの距離を計算し、当該距離に応じたクロック数をカウントしたタイミングを示すマッチ信号を出力する個別の参照データ検索回路が構成されるものである。

【 0 0 1 1 】

これによると、複数のスイッチ回路のそれぞれを適宜制御することにより、エレメント回路の接続形態を任意に変更して、任意の次元数の参照データを保存する任意の個数の参照データ検索回路を構成することができる。

【 0 0 1 2 】

10

20

30

40

50

複数の前記スイッチ回路がカスケード接続されていてもよく、前記カスケード接続された複数の前記スイッチ回路によって、複数の前記参照データ検索回路のそれぞれから出力される前記マッチ信号の論理和を演算する論理和演算回路、および複数の前記参照データ検索回路のそれぞれから出力される前記マッチ信号を保存するシフトレジスタが構成されてもよい。

【0013】

これによると、各エレメント回路から出力されるマッチ信号をまとめて信号本数を減らすことができる。

【0014】

さらに、上記の再構成可能連想メモリは、前記シフトレジスタのシフト出力を参照して前記シフトレジスタに保存されている前記マッチ信号の出力元の参照データ検索回路を特定し、当該特定した参照データ検索回路を識別する信号を出力するWinner検出回路を備えていてもよい。

10

【0015】

また、上記の再構成可能連想メモリは、回路構成情報を記憶し、当該回路構成情報に基づいて前記複数のスイッチ回路のそれぞれに前記回路構成信号を出力する回路構成情報記憶回路を備えていてもよい。

【0016】

これによると、回路構成情報記録回路の記憶内容を書き換えるだけで、再構成可能連想メモリを任意に再構成することができる。

20

【0017】

なお、前記回路構成情報記憶回路は、例えば、不揮発性メモリで構成することができる。

【発明の効果】

【0018】

本発明によると、連想メモリにおいて参照データの次元数および個数を拡張することができる。これにより、アプリケーションに応じて再構成可能連想メモリを最適に再構成して、再構成可能連想メモリに割り当てられたリソースを最大限利用することができる。

【図面の簡単な説明】

【0019】

30

【図1】一例に係るクロックカウント式連想メモリの概略構成図

【図2】一例に係る距離/クロック数変換回路の概略構成図

【図3】一例に係るカウンター一致検出回路の概略構成図

【図4】Winner検出回路の動作を説明するための図

【図5】本発明に係る再構成可能連想メモリのある再構成例を示す図

【図6】本発明に係る再構成可能連想メモリの別の再構成例を示す図

【図7】本発明に係る再構成可能連想メモリのさらに別の再構成例を示す図

【図8】本発明の一実施形態に係る再構成可能連想メモリのメモリアレイ部の概略構成図

【図9】一例に係るスイッチ回路の回路構成図

【図10】本発明の一実施形態に係る再構成可能連想メモリにおけるWinner検出回路およびその入力部分の一構成例を示す図

40

【発明を実施するための形態】

【0020】

以下、図面を参照しながら本発明を実施するための形態について説明する。なお、本発明は、以下の実施形態に限定されるものではない。

【0021】

クロックカウント式連想メモリの基本構成例

まず、本発明に係る再構成可能連想メモリの前提となるクロックカウント式連想メモリの基本構成について説明する。

【0022】

50

図1は、一例に係るクロックカウント式連想メモリの概略構成を示す。一例に係るクロックカウント式連想メモリは、メモリアレイ部10と、Winner検出回路20とを備える。

【0023】

メモリアレイ部10は、メモリ部11、行デコーダ12、列デコーダ13、読出/書込回路14、および検索データ保存回路15を含む。

【0024】

メモリ部11は、参照データ保存回路(Storage Cell: SC) $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, ..., $SC_{R1} \sim SC_{RW}$ と、距離演算回路(絶対値差演算回路)(Distance Processor: DP) $DP_{11} \sim DP_{1W}$, $DP_{21} \sim DP_{2W}$, ..., $DP_{R1} \sim DP_{RW}$ と、距離/クロック数変換回路 $DC_1 \sim DC_R$ とを含む。なお、WおよびRは、それぞれ、2以上の整数である。

10

【0025】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、それぞれ、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に対応して設けられる。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、それぞれ、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に対応して設けられる。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、それぞれ、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に対応して設けられる。

【0026】

距離/クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。距離/クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ に対応して設けられる。以下、同様にして、距離/クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ に対応して設けられる。

20

【0027】

参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, ..., $SC_{R1} \sim SC_{RW}$ は、行デコーダ12、列デコーダ13、および読出/書込回路14によって書き込まれた参照データを保存する。この場合、参照データ保存回路 $SC_{11} \sim SC_{1W}$ は、 $M \times W$ (Mは1以上の整数)ビットの参照データ1を保存し、参照データ保存回路 $SC_{21} \sim SC_{2W}$ は、 $M \times W$ ビットの参照データ2を保存し、以下、同様にして、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ は、 $M \times W$ ビットの参照データRを保存する。つまり、参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, ..., $SC_{R1} \sim SC_{RW}$ のそれぞれは、参照データの $M \times W$ ビットを保存する。

30

【0028】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に保存された $M \times W$ ビットの参照データ1と、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に保存された $M \times W$ ビットの参照データ2と、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に保存された $M \times W$ ビットの参照データRと、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。そして、距離演算回路 $DP_{11} \sim DP_{1W}$ 、距離演算回路 $DP_{21} \sim DP_{2W}$ 、...、距離演算回路 $DP_{R1} \sim DP_{RW}$ における参照データと検索データとの距離の演算は、並列に行われる。

40

【0029】

そして、距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ1と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_1 へ出力する。距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ2と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_2 へ出力する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データRと検索データとの距離を $M \times W$ ビットの距離信号として

50

距離 / クロック数変換回路 DC_R へ出力する。

【 0 0 3 0 】

距離演算回路 $DP_{11} \sim DP_{1W}$ のそれぞれは、参照データ 1 と検索データとの距離を次式を用いて演算する。

【 0 0 3 1 】

【 数 1 】

$$n_{Mr} = \sum_{j=1}^W D_{rj} = \sum_{j=1}^W |I_{nj} - R_{erj}| \quad \dots (1)$$

10

【 0 0 3 2 】

式 (1) において、 D_{rj} ($r = 1 \sim R$, $j = 1 \sim W$) は、参照データと検索データとの距離 (絶対値差) を表す。 n_{Mr} は、参照データと検索データとのマンハッタン距離を示している。また、式 (1) において、 I_{nj} は、検索データであり、 R_{erj} は、参照データである。各データ I_{nj} 、 R_{erj} は、それぞれ、 M ビットからなる。

【 0 0 3 3 】

このように、距離演算回路 $DP_{11} \sim DP_{1W}$ は、 $M \times W$ ビットの参照データ 1 と、 $M \times W$ ビットの検索データとの距離を M ビットずつ演算し、それぞれが M ビットのビット長を有する W 個の距離信号 D_{1j} を距離 / クロック数変換回路 DC_1 へ出力する。

20

【 0 0 3 4 】

距離演算回路 $DP_{21} \sim DP_{2W}$ 、... および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、同様にして、それぞれ、式 (1) を用いて参照データ 2 ~ R と検索データとの距離を演算する。そして、距離演算回路 $DP_{21} \sim DP_{2W}$ 、... および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、それぞれが M ビットのビット長を有する W 個の距離信号 $D_{2j} \sim D_{Rj}$ をそれぞれ距離 / クロック数変換回路 $DC_2 \sim DC_R$ へ出力する。

【 0 0 3 5 】

距離 / クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ から W 個の距離信号 D_{1j} を受け、各距離信号 D_{1j} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_total1 を後述する方法によってカウントする。そして、そのクロック数 CN_total1 をカウントしたタイミングを示すマッチ信号 M_1 を出力する。

30

【 0 0 3 6 】

距離 / クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ から W 個の距離信号 D_{2j} を受け、各距離信号 D_{2j} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_total2 を後述する方法によってカウントする。そして、そのクロック数 CN_total2 をカウントしたタイミングを示すマッチ信号 M_2 を出力する。

【 0 0 3 7 】

以下、同様にして、距離 / クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ から W 個の距離信号 D_{Rj} を受け、各距離信号 D_{Rj} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_totalR を後述する方法によってカウントする。そして、そのクロック数 CN_totalR をカウントしたタイミングを示すマッチ信号 M_R を出力する。

40

【 0 0 3 8 】

行デコーダ 12 は、メモリ部 11 の行方向のアドレスを指定する。列デコーダ 13 は、メモリ部 11 の列方向のアドレスを指定する。読出 / 書込回路 14 は、参照データを行デコーダ 12 および列デコーダ 13 によって指定された参照データ保存回路 $SC_{11} \sim SC_{1W}$ 、 $SC_{21} \sim SC_{2W}$ 、...、 $SC_{R1} \sim SC_{RW}$ に書き込むとともに、検索データを検索データ保存回路 15 に書き込む。

【 0 0 3 9 】

検索データ保存回路 15 は、読出 / 書込回路 14 によって書き込まれた検索データ (M

50

× W ビットのデータ)を保存する。

【0040】

Winner 検出回路 20 は、マッチ信号 $M_1 \sim M_R$ をそれぞれ距離 / クロック数変換回路 $DC_1 \sim DC_R$ から受ける。そして、その受けたマッチ信号 $M_1 \sim M_R$ のうち、一致タイミングが早い順に k (k は $1 \leq k < R$ を満たす整数) 個のマッチ信号を検出する。

【0041】

図 2 は、一例に係る距離 / クロック数変換回路 DC_1 の概略構成を示す。なお、距離 / クロック数変換回路 $DC_2 \sim DC_R$ のそれぞれも、図 2 に示す距離 / クロック数変換回路 DC_1 と同様の構成を有する。距離 / クロック数変換回路 DC_1 は、バッファ 121 ~ 12W と、カウンター一致検出回路 131 ~ 13W とを含む。

10

【0042】

バッファ 121 は、クロックカウント式連想メモリの制御回路 (図示せず) から検索開始信号 SB を受け、クロックカウント式連想メモリに内蔵されたクロック発生回路 (図示せず) からクロック信号 CLK を受ける。そして、バッファ 121 は、検索開始信号 SB が L レベルから H レベルに遷移すると、その受けたクロック信号 CLK をバッファ 122 およびカウンター一致検出回路 131 へ出力する。バッファ 122 は、クロック信号 CLK をバッファ 121 から受け、カウンター一致検出回路 131 から、後述する H レベルの一致信号 (DETECT1) を受けると、クロック信号 CLK をバッファ 123 (図示せず) およびカウンター一致検出回路 132 へ出力する。以下、同様に、バッファ 12W は、クロック信号 CLK をバッファ 12W - 1 (図示せず) から受け、カウンター一致検出回路 13W - 1 (図示せず) から、後述する H レベルの一致信号 (DETECTW - 1) を受けると、クロック信号 CLK をカウンター一致検出回路 13W へ出力する。

20

【0043】

カウンター一致検出回路 131 ~ 13W は、それぞれ、距離演算回路 $DP_{1,1} \sim DP_{1,W}$ に対応して設けられる。そして、カウンター一致検出回路 131 ~ 13W は、直列に接続される。ここで、カウンター一致検出回路 131 ~ 13W の概略構成について説明する。

【0044】

図 3 は、一例に係るカウンター一致検出回路 131 ~ 13W の概略構成を示す。本例は、 $W = 2$ の場合を示している。カウンター一致検出回路 131 は、クロック数変換回路 131a と、カウンタ 131b と、一致検出回路 131c とを含む。カウンター一致検出回路 132 は、クロック数変換回路 132a と、カウンタ 132b と、一致検出回路 132c とを含む。以下、各構成の機能について説明する。

30

【0045】

クロック数変換回路 131a は、距離演算回路 $DP_{1,1}$ から M ビットのビット長を有する距離信号 $D_{1,1}$ と、バッファ 121 からのクロック信号 CLK とを受取る。クロック数変換回路 131a は、クロック信号 CLK のクロック数をカウントし、距離信号 $D_{1,1}$ が示す距離と一致するクロック数を検出したタイミングで、カウンタ 131b に H レベルの一致検出信号を出力する処理を行う。クロック数変換回路 131a は、後述の一致検出回路 131c から H レベルの一致信号 (DETECT1) が出力されるまで、この処理を繰り返し行い、H レベルの一致信号 (DETECT1) が出力されると動作を停止する。

40

【0046】

カウンタ 131b は、クロック数変換回路 131a からの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウンタ値を一致検出回路 131c へ出力する。

【0047】

一致検出回路 131c は、カウンタ 131b からカウンタ値を受け、距離演算回路 $DP_{1,1}$ から M ビットのビット長を有する距離信号 $D_{1,1}$ を受取る。一致検出回路 131c は、距離信号 $D_{1,1}$ が示す距離とカウンタ値とを比較し、距離信号 $D_{1,1}$ が示す距離とカウンタ値とが一致するときに、H レベルの一致信号 (DETECT1) をクロック数変換回路 131a とバッファ 122 へ出力する。一致検出回路 131c は、距離信号 $D_{1,1}$ が示

50

す距離とカウンタ値とが一致しないときは、Lレベルの一致信号(D E T E C T 1)をクロック数変換回路131aとバッファ122へ出力する。

【0048】

クロック数変換回路132aは、バッファ122からクロック信号CLKを受けると駆動する。クロック数変換回路132aは、距離演算回路DP₁₂からMビットのビット長を有する距離信号D₁₂を受ける。クロック数変換回路131aと同様、クロック数変換回路132aは、クロック信号CLKのクロック数をカウントし、距離信号D₁₂が示す距離と一致するクロック数を検出したタイミングで、カウンタ132bにHレベルの一致検出信号を出力する処理を行う。クロック数変換回路132aは、後述の一致検出回路132cからHレベルの一致信号(D E T E C T 2)が出力されるまで、この処理を繰り返す。クロック数変換回路132aは、Hレベルの一致信号(D E T E C T 2)が出力されると動作を停止する。

10

【0049】

カウンタ132bは、クロック数変換回路132aからの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウント値を一致検出回路132cへ出力する。

【0050】

一致検出回路132cは、カウンタ132bからカウンタ値を受け、距離演算回路DP₁₂からMビットのビット長を有する距離信号D₁₂を受ける。一致検出回路132cは、距離信号D₁₂が示す距離とカウンタ値とを比較し、距離信号D₁₂が示す距離とカウンタ値とが一致するときに、Hレベルの一致信号(D E T E C T 2)をクロック数変換回路132aとバッファ122へ出力するとともに、Hレベルの一致信号(D E T E C T 2)をマッチ信号M₁としてWinner検出回路20へ出力する。また、一致検出回路132cは、距離信号D₁₂が示す距離とカウンタ値とが一致しないときは、Lレベルの一致信号(D E T E C T 2)をクロック数変換回路132aに出力する。

20

【0051】

ここで、例えば、距離演算回路DP₁₁から距離「2」を示すMビットの距離信号D₁₁が出力され、距離演算回路DP₁₂から距離「3」を示すMビットの距離信号D₁₂が出力された場合の動作例について説明する。

【0052】

クロック数変換回路131aは、距離「2」を示すMビットの距離信号D₁₁を受け、バッファ121からのクロック信号CLKのクロックに同期して、距離「2」に一致するクロック数をカウントする。クロック数変換回路131aは、カウントしたクロック数と距離とが一致すると、Hレベルの一致検出信号を出力する。カウンタ131bは、一致検出信号が立ち上がると、カウント値をカウントアップし、「1」を示すカウンタ値を一致検出回路131cに出力する。このとき、距離信号D₁₁が示す距離「2」とカウント値「1」とが一致しないため、一致検出回路131cからLレベルの一致信号(D E T E C T 1)が出力される。

30

【0053】

クロック数変換回路131aは、出力した一致検出信号がLレベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路131aは、再びクロック信号CLKのクロック数をカウントし、カウントしたクロック数が距離「2」と一致すると、カウンタ131bにHレベルの一致検出信号を出力する。カウンタ131bは、一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路131cに「2」を示すカウンタ値を出力する。一致検出回路131cは、距離信号D₁₁が示す距離「2」とカウンタ値「2」とが一致するため、一致信号(D E T E C T 1)をバッファ122とクロック数変換回路131aに出力する。つまり、検索開始からのクロック数が「4」となるタイミングで、Hレベルの一致信号(D E T E C T 1)が出力される。そして、クロック数変換回路131aは、Hレベルの一致信号(D E T E C T 1)に応じて動作を停止する。

40

50

【 0 0 5 4 】

バッファ 1 2 2 は、一致検出回路 1 3 1 c から H レベルの一致信号 (D E T E C T 1) を受けて、クロック数変換回路 1 3 2 a にクロック信号 C L K を出力する。クロック数変換回路 1 3 2 a は、バッファ 1 2 2 からのクロック信号 C L K のクロックに同期して、クロック信号 C L K のクロック数をカウントする。クロック数変換回路 1 3 2 a は、距離「 3 」を示す M ビットの距離信号 D_{12} を受け、カウントしたクロック数が距離「 3 」と一致するタイミングで、H レベルの一致検出信号をカウンタ 1 3 2 b に出力する。カウンタ 1 3 2 b は、クロック数変換回路 1 3 2 a からの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 1 3 2 c に「 1 」を示すカウンタ値を出力する。このとき、距離「 3 」とカウンタ値「 1 」とが一致しないため、一致検出回路 1 3 2 c から L レベルの一致信号 (D E T E C T 2) が出力される。

10

【 0 0 5 5 】

クロック数変換回路 1 3 2 a は、出力した一致検出信号が L レベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路 1 3 2 a は、再びクロック信号 C L K のクロック数をカウントし、カウントしたクロック数が距離「 3 」と一致すると、カウンタ 1 3 2 b に H レベルの一致検出信号を出力する。カウンタ 1 3 2 b は、クロック数変換回路 1 3 2 a からの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 1 3 2 c に「 2 」を示すカウンタ値を出力する。このとき、距離「 3 」とカウンタ値「 2 」とが一致しないため、一致検出回路 1 3 2 c から L レベルの一致信号 (D E T E C T 2) が出力される。

20

【 0 0 5 6 】

クロック数変換回路 1 3 2 a は、一致検出信号が L レベルになると、再びカウントしたクロック数をリセットしてクロック信号 C L K をカウントし、カウントしたクロック数が距離「 3 」と一致すると、カウンタ 1 3 2 b に H レベルの一致検出信号を出力する。そして、クロック数変換回路 1 3 2 a は、H レベルの一致信号 (D E T E C T 2) に応じて動作を停止する。カウンタ 1 3 2 b は、クロック数変換回路 1 3 2 a からの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 1 3 2 c に「 3 」を示すカウンタ値を出力する。一致検出回路 1 3 2 c は、距離「 3 」とカウンタ値「 3 」とが一致するため、H レベルの一致信号 (D E T E C T 2) をクロック数変換回路 1 3 2 a に出力するとともに、マッチ信号 M_1 として W i n n e r 検出回路 2 0 に出力する。つまり、クロック数変換回路 1 3 2 a においてカウントされたクロック数は「 9 (= 3 + 3 + 3) 」であり、検索開始からクロック数「 1 3 (= 4 + 9) 」のタイミングでマッチ信号 M_1 が出力される。

30

【 0 0 5 7 】

カウンタ一致検出回路 1 3 1 , 1 3 2 全体でカウントされるクロック数 $C N_{t o t a l 1}$ 「 1 3 」は、カウンタ一致検出回路 1 3 1 においてカウントするクロック数「 4 (= 2 + 2) 」と、カウンタ一致検出回路 1 3 2 においてカウントするクロック数「 9 (= 3 + 3 + 3) 」とを加算したものである。つまり、カウンタ一致検出回路 1 3 1 , 1 3 2 によって、距離「 2 」の二乗値と距離「 3 」の二乗値との和に一致するクロック数をカウントすることに相当する。

40

【 0 0 5 8 】

距離 / クロック数変換回路 $D C_1$ は、一般的に、W 個の距離信号 $D_{11} \sim D_{1W}$ を受ける。そして、W 個の距離信号 $D_{11} \sim D_{1W}$ のそれぞれは、M ビットのビット長を有する。したがって、距離 / クロック数変換回路 $D C_1$ は、 $M \times W$ ビットのビット長を有する距離信号 $D_{11} D_{12} \dots D_{1W}$ を受ける。カウンタ一致検出回路 1 3 1 において、距離信号 D_{11} が示す距離に一致する回数分だけ、その距離に一致するクロック数を繰り返しカウントする。また、カウンタ一致検出回路 1 3 2 ~ 1 3 W は、それぞれ、カウンタ一致検出回路 1 3 1 ~ 1 3 W - 1 から一致信号を受けた後に、距離信号 $D_{12} \sim D_{1W}$ にそれぞれ一致するクロック数を、その距離に一致する回数だけ繰り返しカウントする。その結果、距離 / クロック数変換回路 $D C_1$ においてカウントされる全体のクロック数 $C N_{t o t a l}$

50

a 1 1 は、カウンター一致検出回路 1 3 1 ~ 1 3 W のそれぞれにおいてカウントされたクロック数の和に等しい。カウンター一致検出回路 1 3 1 ~ 1 3 W のそれぞれにおいてカウントされたクロック数は、それぞれ、距離信号 $D_{11} \sim D_{1W}$ が示す各距離の二乗値に相当するため、距離 / クロック数変換回路 DC_1 においてカウントされる全体のクロック数 CN_totalR は、各距離信号 $D_{11} \sim D_{1W}$ の二乗値の和を表している。

【0059】

ここで、ユークリッド距離 n_{Er} は、次式によって表される。

【0060】

【数2】

$$n_{Er} = \sum_{j=1}^W |I_{nj} - R_{erj}|^2 \dots (2)$$

10

【0061】

式(2)の右辺の $|I_{nj} - R_{erj}|^2$ は、式(1)の右辺の $|I_{nj} - R_{erj}|$ において、検索データと参照データとの距離の二乗値に一致する。したがって、ユークリッド距離 n_{Er} の演算は、上述したように、式(1)によって演算したW個の各距離について、距離に一致するクロック数をカウントする処理を距離に一致する回数だけ繰り返す行うことで実現される。そうすると、図3の例において、カウンター一致検出回路 1 3 2 が、カウンター一致検出回路 1 3 1, 1 3 2 全体でカウントしたクロック数のタイミングを示すマッチ信号 M_1 を出力することは、ユークリッド距離 n_{Er} によって検索データに類似する参照データを検索し、検索データに類似する参照データを検出したことを示す信号を出力することに相当する。なお、距離 / クロック数変換回路 $DC_2 \sim DC_R$ のそれぞれも、距離 / クロック数変換回路 DC_1 の動作と同じ動作によって、それぞれ、マッチ信号 $M_2 \sim M_R$ を出力する。

20

【0062】

次に、Winner 検出回路 2 0 の動作について説明する。図4は、Winner 検出回路 2 0 の動作を説明するための図である。距離 / クロック数変換回路 $DC_1 \sim DC_R$ は、図4に示すように、例えばマッチ信号 $M_1 \sim M_R$ をそれぞれクロック信号 CLK に同期して Winner 検出回路 2 0 へ出力する。

30

【0063】

Winner 検出回路 2 0 は、マッチ信号 $M_1 \sim M_R$ を受け、その受けたマッチ信号 $M_1 \sim M_R$ の立ち上がりタイミング $t_1 \sim t_R$ を検出する。そして、Winner 検出回路 2 0 は、タイミング $t_1 \sim t_R$ が早い順に k 個のマッチ信号を検出する。

【0064】

再構成可能連想メモリの構成例

次に、本発明に係る再構成可能連想メモリについて説明する。本発明に係る再構成可能連想メモリは、例えば上記構成のクロックカウント式連想メモリにおいて参照データの次元数および個数を任意に拡張できるように構成したものである。図5、図6、および図7は、本発明に係る再構成可能連想メモリのさまざまな再構成例を示す。

40

【0065】

再構成可能連想メモリ 1 0 0 におけるメモリアレイ部 1 0 において、複数のエレメント回路 3 0 が R 行 × C 列 (ただし、R, C はいずれも 2 以上の整数である。) のマトリクス状に配置されている。なお、便宜のため、以下では、再構成可能連想メモリ 1 0 0 におけるメモリアレイ部 1 0 において 4 行 × 4 列の計 1 6 個のエレメント回路 3 0 がマトリクス状に配置されているものとして説明する。また、行デコーダ 2、列デコーダ 3、読出 / 書込回路 4、検索データ保存回路 5 などの周辺回路の図示は省略する。

【0066】

各エレメント回路 3 0 は、1 組以上の上記の参照データ保存回路 SC および距離計算回

50

路 D P の対応するペア、ならびにそれら距離計算回路 D C から出力される距離信号が入力される上記の距離 / クロック数変換回路 D C を含む。各エレメント回路 3 0 から出力される M N (Match Next) 信号は、各エレメント回路 3 0 における距離 / クロック数変換回路 D C から出力されるマッチ信号に相当する。すなわち、各エレメント回路 3 0 は、Q 次元 (Q は 2 以上の整数) の参照データを保存し、当該 Q 次元の参照データと Q 次元の検索データとの距離を計算し、その距離に応じたクロック数をカウントしたタイミングを示すマッチ信号 (M N 信号) を出力する。

【 0 0 6 7 】

後述する図示しないスイッチ回路によってエレメント回路 3 0 どうしが任意に接続および切断可能となっている。エレメント回路 3 0 どうしが接続された場合、前段のエレメント回路 3 0 から出力される M N 信号は、次段のエレメント回路 3 0 における距離 / クロック数変換回路 D C のトリガー信号として次段のエレメント回路 3 0 に供給される。

10

【 0 0 6 8 】

図 5 の再構成例では、図示しないスイッチ回路によって 4 個のエレメント回路 3 0 がカスケード接続されて 4 個の参照データ検索回路 4 0 が構成されている。図 5 の再構成例において、4 個の参照データ検索回路 4 0 は、それぞれ、4 Q 次元の参照データを保存し、当該 4 Q 次元の参照データと 4 Q 次元の検索データとの距離を計算し、その距離に応じたクロック数をカウントしたタイミングを示すマッチ信号 (M N 信号) を W i n n e r 検出回路 2 0 へ出力する。

【 0 0 6 9 】

図 6 の再構成例では、図示しないスイッチ回路によって 2 個のエレメント回路 3 0 がカスケード接続されて 8 個の参照データ検索回路 4 0 が構成されている。図 6 の再構成例において、8 個の参照データ検索回路 4 0 は、それぞれ、2 Q 次元の参照データを保存し、当該 2 Q 次元の参照データと 2 Q 次元の検索データとの距離を計算し、その距離に応じたクロック数をカウントしたタイミングを示すマッチ信号 (M N 信号) を W i n n e r 検出回路 2 0 へ出力する。すなわち、図 6 の再構成例は、図 5 の再構成例に対して、参照データの次元数を半分にする代わりに個数を倍にしたものである。

20

【 0 0 7 0 】

図 7 の再構成例では、図示しないスイッチ回路によって 8 個のエレメント回路 3 0 がカスケード接続されて 2 個の参照データ検索回路 4 0 が構成されている。図 7 の再構成例において、2 個の参照データ検索回路 4 0 は、それぞれ、8 Q 次元の参照データを保存し、当該 8 Q 次元の参照データと 8 Q 次元の検索データとの距離を計算し、その距離に応じたクロック数をカウントしたタイミングを示すマッチ信号 (M N 信号) を W i n n e r 検出回路 2 0 へ出力する。すなわち、図 7 の再構成例は、図 5 の再構成例に対して、参照データの個数を半分にする代わりに次元数を倍にしたものである。

30

【 0 0 7 1 】**再構成可能連想メモリの実施形態**

次に、本発明の一実施形態に係る再構成可能連想メモリについて説明する。図 8 は、本発明の一実施形態に係る再構成可能連想メモリ 1 0 0 のメモリアレイ部 1 0 の概略構成を示す。各エレメント回路 3 0 に対応してスイッチ回路 5 0 が設けられており、上述したように、スイッチ回路 5 0 によってエレメント回路 3 0 どうしが任意に接続および切断可能となっている。各スイッチ回路 5 0 がエレメント回路 3 0 どうしを接続するか否かは、各スイッチ回路 5 0 に入力される回路構成信号 S R によって決まる。

40

【 0 0 7 2 】

各スイッチ回路 5 0 に入力される回路構成信号 S R は、メモリ (回路構成情報記憶回路) 6 0 に記憶されている。メモリ 6 0 は、S R A M (Static Random Access Memory) 、フラッシュメモリ、E E P R O M (Electrically Erasable Programmable Read-Only Memory) などの不揮発性メモリやシフトレジスタなどで構成することができる。メモリ 6 0 の記憶内容を書き換えるだけで、再構成可能連想メモリ 1 0 0 を任意に再構成することができる。

50

【 0 0 7 3 】

原理的には、再構成可能連想メモリ 100 において、1 個のエLEMENT回路 30 で 1 個の参照データ検索回路 40 を構成することで、参照データの個数が最大となる再構成が可能である。そのような再構成に対応可能にするためには、各ELEMENT回路 30 から出力される MN 信号を Winner 検出回路 20 へ接続しなければならない。しかし、そのような回路構成は、ELEMENT回路 30 の個数が増えると Winner 検出回路 20 へ接続する MN 信号の信号線もその分だけ増えるため、ELEMENT回路 30 の個数が数十個以上になると信号線のレイアウトが非常に困難になってくる。そこで、本実施形態では、メモリアレイ部 10 において同じ行に配置された各ELEMENT回路 30 から出力される MN 信号の論理和を演算し、その論理和である MOR (Match OR) 信号を Winner 検出回路 20 へ入力する。これにより、Winner 検出回路 20 に接続すべき信号線を R 本 (マトリクスの行数) にまで削減することができる。また、各参照データ検索回路 40 から出力される MN 信号が MOR 信号としてまとめられると、いずれの参照データ検索回路 40 から MN 信号が出力されたのかが判別できなくなるため、後述するように、本実施形態では、各参照データ検索回路 40 から出力される MN 信号を保存するシフトレジスタを構成し、そのシフトレジスタの出力である SHM (Shift Match) 信号を Winner 検出回路 20 へ入力する。

10

【 0 0 7 4 】

図 9 は、スイッチ回路 50 の回路構成例を示す。スイッチ回路 50 は、例えば、図 9 (A)、図 9 (B)、および図 9 (C) に示した 3 つの回路を備えている。

20

【 0 0 7 5 】

図 9 (A) において、マルチプレクサ (MUX) 51 は、検索開始信号 SB が入力 in_0 として、前段のELEMENT回路 30 から出力される MN 信号 (MN_{in}) が入力 in_1 としてそれぞれ与えられ、回路構成信号 SR によって in_0 および in_1 のいずれか一方を選択的に出力する。MUX 51 から出力される MN 信号 (MN_{out}) は、次段のELEMENT回路 30 における距離/クロック数変換回路 DC のトリガー信号となる。具体的には、MUX 51 は、回路構成信号 SR が H レベル ($SR = 1$) のとき、 in_1 を出力する。この場合、前段のELEMENT回路 30 における距離/クロック数変換回路 DC から出力されるマッチ信号 (MN 信号) が次段のELEMENT回路 30 における距離/クロック数変換回路 DC のトリガー信号として供給される。一方、MUX 51 は、回路構成信号 SR が L レベル ($SR = 0$) のとき、 in_0 を出力する。この場合、次段のELEMENT回路 30 における距離/クロック数変換回路 DC に検索開始信号 SB が供給される。すなわち、この場合の次段のELEMENT回路 30 は、参照データ検索回路 40 における初段のELEMENT回路 30 に相当する。

30

【 0 0 7 6 】

図 9 (B) において、OR ゲート 53 は、前段のスイッチ回路 50 から出力される MOR 信号 (MOR_{in}) と前段のELEMENT回路 30 から出力される MN 信号 (MN_{in}) が入力され、これら信号の論理和を出力する。MUX 52 は、OR ゲート 53 の出力が入力 in_0 として、前段のスイッチ回路 50 から出力される MOR 信号 (MOR_{in}) が入力 in_1 としてそれぞれ与えられ、回路構成信号 SR によって in_0 および in_1 のいずれか一方を選択的に出力する。MUX 52 から出力される MOR 信号 (MOR_{out}) は、次段のスイッチ回路 50 または Winner 検出回路 20 へ供給される。また、L レベルの回路構成信号 SR が入力された複数のスイッチ回路 50 がカスケード接続されることで、各スイッチ回路 50 における OR ゲート 53 がカスケード接続される。そして、カスケード接続された OR ゲート 53 によって、複数のデータ検索回路 40 から出力される MN 信号の論理和を演算する論理和演算回路が構成される。

40

【 0 0 7 7 】

図 9 (C) において、MUX 54 は、前段のELEMENT回路 30 から出力される MN 信号 (MN_{in}) が入力 in_0 として、前段のスイッチ回路 50 から出力される SHM 信号 (SHM_{in}) が入力 in_1 としてそれぞれ与えられ、検索終了遅延信号 SEL (Search

50

End Lag) によって $i n 0$ および $i n 1$ のいずれか一方を選択的に出力する。検索終了遅延信号 $S E L$ は、再構成可能連想メモリ 100 における検索終了時に出力される検索終了信号 $S E$ (Search End) を遅延させた信号である。MUX 54 から出力される信号は、Dフリップフロップ (DFF) 56 にデータ入力される。具体的には、MUX 54 は、検索終了遅延信号 $S E L$ が L レベル ($S E L = 0$) のとき、すなわち、検索終了前において、 $i n 0$ を出力する。この場合、前段のエレメント回路 30 における距離/クロック数変換回路 DC から出力されるマッチ信号 (MN 信号) が DFF 56 にデータ入力される。一方、MUX 54 は、検索終了遅延信号 $S E L$ が H レベル ($S E L = 1$) のとき、すなわち、検索終了後において、 $i n 1$ を出力する。この場合、前段のスイッチ回路 50 から出力される SHM 信号 ($S H M_{i n}$) が DFF 56 にデータ入力される。MUX 55 は、DFF 56 の出力信号が入力 $i n 0$ として、前段のスイッチ回路 50 から出力される SHM 信号 ($S H M_{i n}$) が入力 $i n 1$ としてそれぞれ与えられ、回路構成信号 SR によって $i n 0$ および $i n 1$ のいずれか一方を選択的に出力する。MUX 55 から出力される SHM 信号 ($S H M_{o u t}$) は、次段のスイッチ回路 50 または Winner 検出回路 20 へ供給される。

10

20

30

40

50

【0078】

L レベルの回路構成信号 SR が入力された複数のスイッチ回路 50 がカスケード接続されることで、各スイッチ回路 50 における DFF 56 がカスケード接続される。そして、カスケード接続された DFF 56 によって、複数のデータ検索回路 40 から出力される MN 信号を保存するシフトレジスタが構成される。当該シフトレジスタは、検索終了遅延信号 $S E L$ が L レベルのときはデータ取得モードで、検索終了遅延信号 $S E L$ が H レベルのときはデータシフトモードでそれぞれ動作する。データ取得モードでは、データ取得信号 READW がクロック入力されることで、DFF 56 は、前段のエレメント回路 30 から出力される MN 信号 ($M N_{i n}$) を保存する。データシフトモードでは、シフトクロック信号 SHCLK がクロック入力されることで、DFF 56 は、前段のスイッチ回路 50 から出力される SHM 信号 ($S H M_{i n}$) をシフトする。なお、READW 信号と SHCLK 信号は OR ゲート 57 によってその論理和が演算されて DFF 56 にクロック入力される。

【0079】

ところで、図 7 のようにメモリアレイ部 10 において行を跨いでエレメント回路をカスケード接続して参照データ検索回路 40 を構成する場合、メモリアレイ部 10 の各行の最終端に配置されたスイッチ回路 50 から出力される SHM 信号および MOR 信号が Winner 検出回路 20 へ入力されないようにする必要がある。以下、それを実現する構成について説明する。

【0080】

図 10 は、再構成可能連想メモリ 100 における Winner 検出回路 20 およびその入力部分の一構成例を示す。図 10 に示したスイッチ回路 50 は、メモリアレイ部 10 の各行の最終端に配置されたスイッチ回路 50 である。各スイッチ回路 50 から出力される SHM 信号および MOR 信号は、各スイッチ回路 50 に入力される回路構成信号 SR によってマスクされる。具体的には、AND ゲート 58 は、SHM 信号と回路構成信号 SR の反転信号との論理積を演算し、 $S H M'$ 信号として Winner 検出回路 20 へ供給する。また、AND ゲート 59 は、MOR 信号と回路構成信号 SR の反転信号との論理積を演算し、 $M O R'$ 信号として Winner 検出回路 20 へ供給する。すなわち、 $S R = 1$ のとき、行を跨いでエレメント回路 30 同士がカスケード接続されるため、回路構成信号 SR の反転信号によってスイッチ回路 50 から出力される SHM 信号および MOR 信号がマスクされて $S H M' = 0$ 、 $M O R' = 0$ となり、Winner 検出回路 20 へ SHM 信号および MOR 信号が供給されない。一方、 $S R = 0$ のとき、行を跨いでエレメント回路 30 同士がカスケード接続されないため、回路構成信号 SR の反転信号によってスイッチ回路 50 から出力される SHM 信号および MOR 信号がマスクされずにそのまま Winner 検出回路 20 へ供給される。

【 0 0 8 1 】

Winner 検出回路 20 は、メモリアレイ部 10 の各行に対応する S I P O (直列入力並列出力) 型のシフトレジスタ 21 を備えている。各シフトレジスタ 21 は、S H M ' 信号を受けて、ビット幅 E L N の信号 W を出力する。E L N は、メモリアレイ部 10 の各行に配置されたエレメント回路 30 の個数である。上述のシフトレジスタがデータシフトモードにあるとき、当該シフトレジスタのシフト出力が S H M ' 信号としてシフトレジスタ 21 に入力される。そして、シフトレジスタ 21 は、上述のシフトレジスタにおける D F F 26 に保存された M N 信号がシフト入力されるまで、上述のシフトクロック信号 S H C L K をカウントする。そして、そのカウント結果を多ビット信号 W として出力する。これにより、メモリアレイ部 10 の各行におけるいずれの参照データ検索回路 40 から M N 信号が出力されたのかを判別することができる。

10

【 0 0 8 2 】

また、各 M O R ' 信号は検索終了判定回路 70 に入力され、検索終了判定回路 70 は入力されたすべての M O R ' 信号の論理和を演算して上述の検索終了信号 S E を出力する。すなわち、参照データ検索回路 40 のいずれかから M N 信号が出力されると、検索終了判定回路 70 から検索終了信号 S E が出力される。検索終了判定回路 70 は、例えば、O R ツリーとして構成することができる。

【 0 0 8 3 】

以上のように、本実施形態によると、複数のエレメント回路 30 をさまざまにつなぎ替えて参照データの次元数および個数を任意に拡張することができる。これにより、アプリケーションに応じて再構成可能連想メモリ 100 を最適に再構成して、再構成可能連想メモリ 100 に割り当てられたリソースを最大限利用することができる。

20

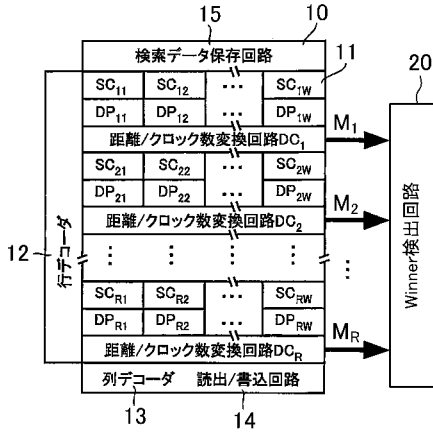
【 符号の説明 】

【 0 0 8 4 】

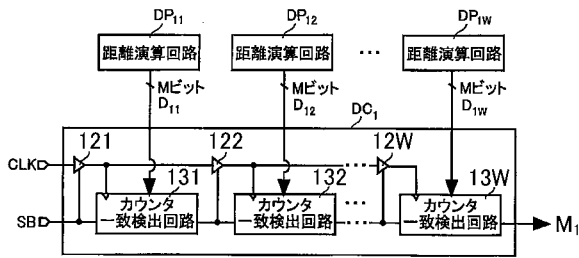
- 100 再構成可能連想メモリ
- 20 Winner 検出回路
- 30 エレメント回路
- 40 参照データ検索回路
- 50 スイッチ回路
- 53 O R ゲート (論理和演算回路)
- 54 D フリップフロップ (シフトレジスタ)
- 60 メモリ (回路構成情報記憶回路)
- S C 参照データ保存回路
- D P 距離計算回路
- D C 距離 / クロック数変換回路

30

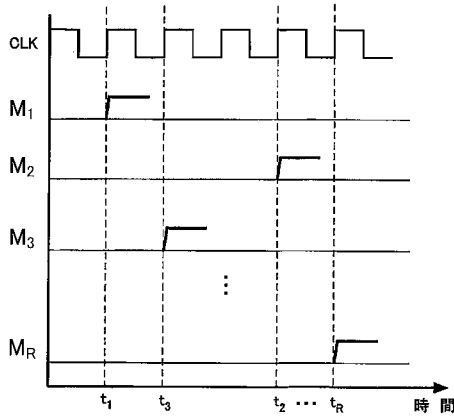
【 図 1 】



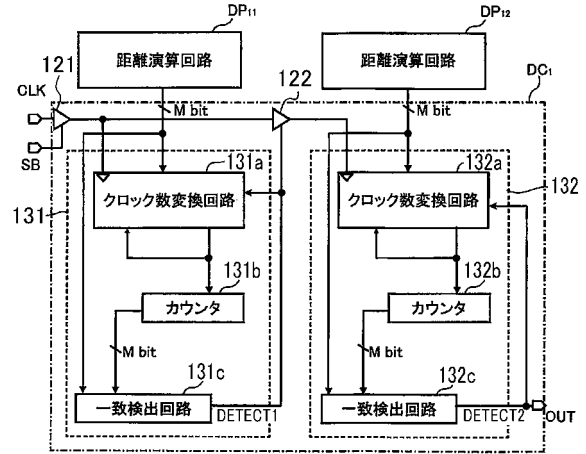
【 図 2 】



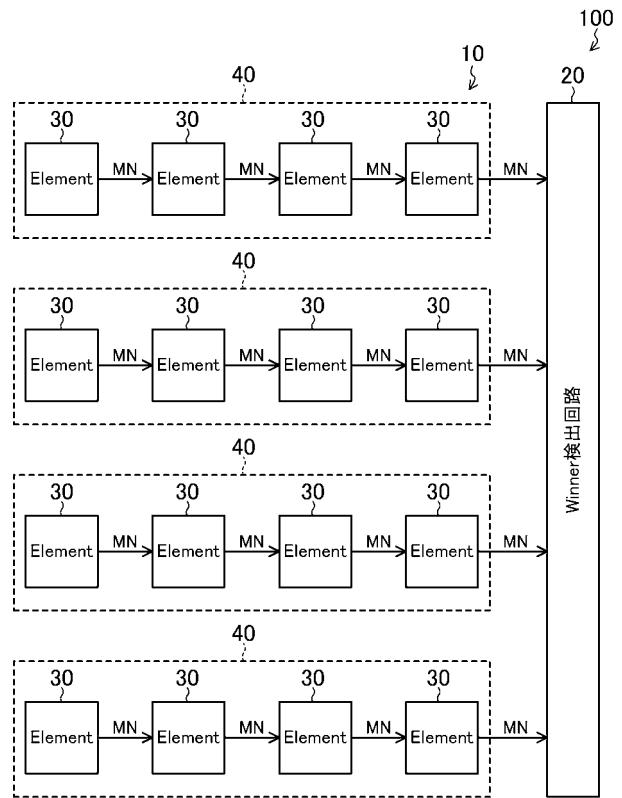
【 図 4 】



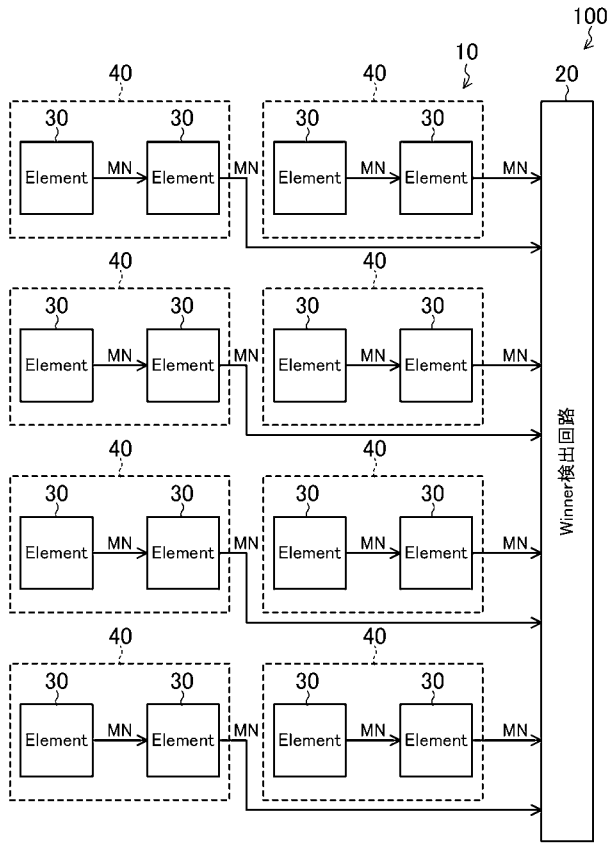
【 図 3 】



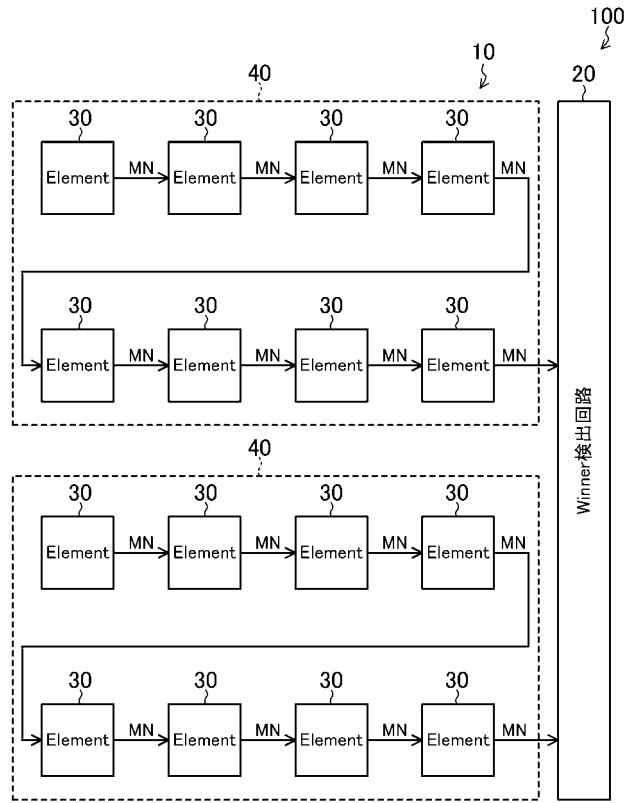
【 図 5 】



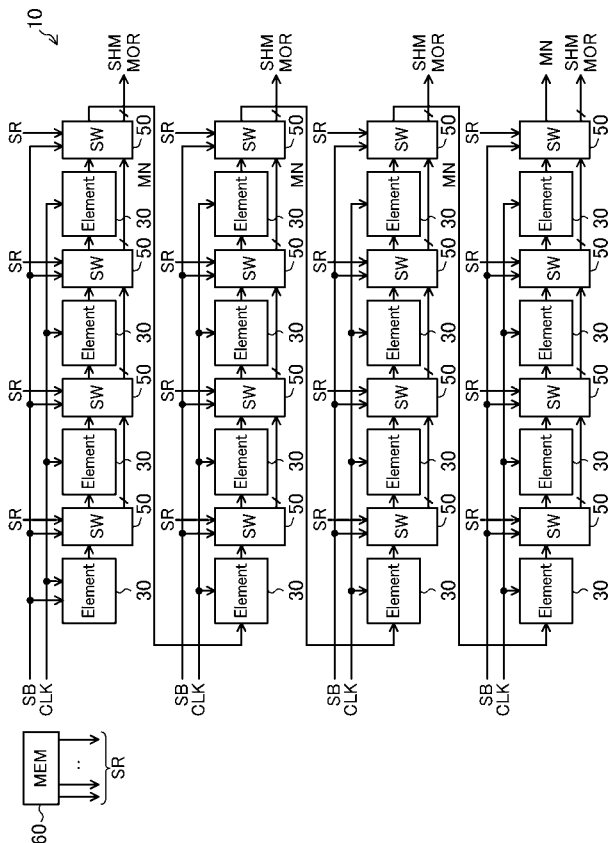
【図 6】



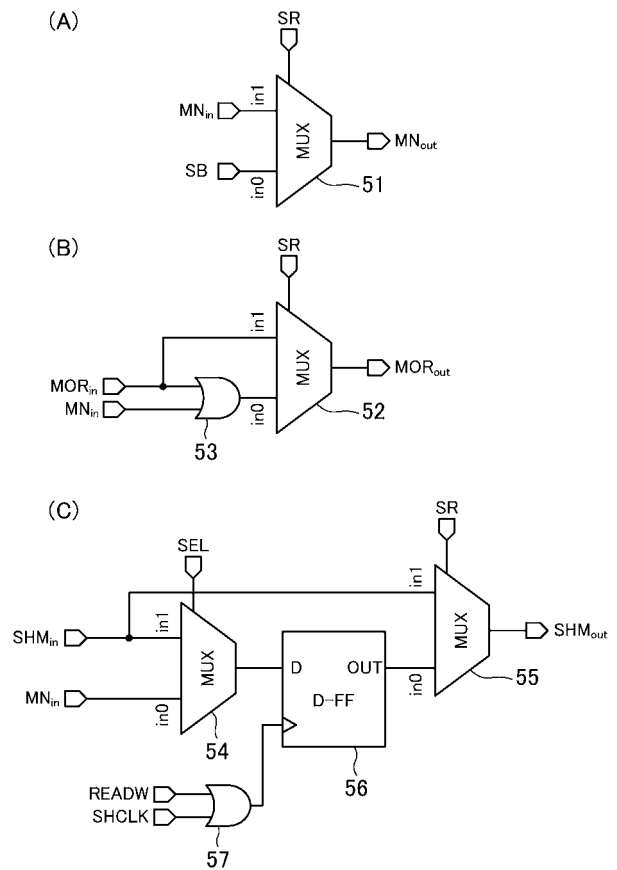
【図 7】



【図 8】



【図 9】



【図10】

