

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5158823号
(P5158823)

(45) 発行日 平成25年3月6日(2013.3.6)

(24) 登録日 平成24年12月21日(2012.12.21)

(51) Int.Cl. F I
 H O 3 K 3/354 (2006.01) H O 3 K 3/354 Z
 H O 3 K 3/353 (2006.01) H O 3 K 3/353 D

請求項の数 11 (全 22 頁)

(21) 出願番号	特願2011-505845 (P2011-505845)	(73) 特許権者	503360115 独立行政法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(86) (22) 出願日	平成22年3月10日(2010.3.10)	(74) 代理人	100089635 弁理士 清水 守
(86) 国際出願番号	PCT/JP2010/001687	(72) 発明者	堀尾 喜彦 日本国埼玉県蕨市中央一丁目17番40号 604
(87) 国際公開番号	W02010/109793	(72) 発明者	濱田 卓矢 日本国埼玉県入間市野田472番地1
(87) 国際公開日	平成22年9月30日(2010.9.30)	(72) 発明者	神野 健哉 日本国神奈川県横浜市緑区白山四丁目18 番11号
審査請求日	平成23年10月25日(2011.10.25)		
(31) 優先権主張番号	特願2009-71195 (P2009-71195)		
(32) 優先日	平成21年3月24日(2009.3.24)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 マルチスクリーカオス発振回路

(57) 【特許請求の範囲】

【請求項1】

(a) 線形VCCS回路 G_1 および G_2 の組からなる線形2ポートVCCS回路と、
 (b) マルチヒステリシスVCCS特性を持つマルチヒステリシスVCCS回路 MH_1 および MH_2 の組からなるマルチヒステリシス2ポートVCCS回路と、
 (c) 前記線形2ポートVCCS回路と前記マルチヒステリシス2ポートVCCS回路とを並列接続させた回路の両端にそれぞれキャパシタ C_1 と C_2 とを接続するようにしたことを特徴とするマルチスクリーカオス発振回路。

【請求項2】

請求項1記載のマルチスクリーカオス発振回路において、前記マルチヒステリシスVCCS回路 MH_1 および MH_2 の特性として、様々なマルチヒステリシスVCCS特性を用いることにより、多様なカオスアトラクタや分岐構造を実現することを特徴とするマルチスクリーカオス発振回路。

【請求項3】

請求項2記載のマルチスクリーカオス発振回路において、前記マルチヒステリシスVCCS回路 MH_1 および MH_2 の諸特性を変化させることにより、より多くのカオスアトラクタや分岐現象を呈することを特徴とするマルチスクリーカオス発振回路。

【請求項4】

請求項3記載のマルチスクリーカオス発振回路において、前記マルチヒステリシスVCCS回路 MH_1 および MH_2 の諸特性が、閾値や飽和電流であることを特徴とするマル

10

20

チスクリユーカオス発振回路。

【請求項 5】

請求項 4 記載のマルチスクリユーカオス発振回路において、前記閾値は複数の閾値からなり、該複数の閾値はそれぞれ異なった値を持つことを特徴とするマルチスクリユーカオス発振回路。

【請求項 6】

請求項 5 記載のマルチスクリユーカオス発振回路において、前記マルチヒステリシス V C C S 回路 M H₁ が n 個、前記マルチヒステリシス V C C S 回路 M H₂ が m 個の飽和電流値を持つことを特徴とするマルチスクリユーカオス発振回路。

【請求項 7】

請求項 6 記載のマルチスクリユーカオス発振回路において、複数個の閾値が 4 個の場合、前記マルチヒステリシス V C C S 回路 M H₁ および M H₂ それぞれに 4 種類の離散出力が存在し、該それぞれの 4 種類の離散出力の組み合わせである 16 種類の離散出力にそれぞれ対応した半空間が解空間中に存在し、該解空間中の解軌道が前記半空間の内のどの空間を通過するかによりカオスアトラクタを分類することを特徴とするマルチスクリユーカオス発振回路。

【請求項 8】

請求項 2 記載のマルチスクリユーカオス発振回路において、前記マルチヒステリシス V C C S 特性の複数の制御パラメータを制御することにより、より多くのカオスアトラクタや分岐現象を呈することを特徴とするマルチスクリユーカオス発振回路。

【請求項 9】

請求項 8 記載のマルチスクリユーカオス発振回路において、前記複数の制御パラメータが前記マルチヒステリシス V C C S 特性の形状や回路の固有値であることを特徴とするマルチスクリユーカオス発振回路。

【請求項 10】

請求項 1 記載のマルチスクリユーカオス発振回路において、前記マルチヒステリシス V C C S 特性を持つマルチヒステリシス V C C S 回路 M H₁ および M H₂ の組からなるマルチヒステリシス 2 ポート V C C S 回路で、正規化したパラメータの減衰パラメータが 0.05、振動角周波数パラメータが 1.00、平衡点パラメータ p が 0.25、平衡点パラメータ q が 0.25 の場合、前記マルチヒステリシス V C C S 回路 M H₁ および M H₂ の閾値を変化させることを特徴とするマルチスクリユーカオス発振回路。

【請求項 11】

請求項 1 から 10 の何れか一項記載のマルチスクリユーカオス発振回路において、前記キャパシタ C₁ と C₂ の容量は、40 pF と 10 pF であることを特徴とするマルチスクリユーカオス発振回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マルチスクリユーカオス発振回路に係り、特に、高次元ハイブリッドダイナミカルシステムの高速度物理シミュレーションや、高次元ハイブリッドダイナミクスによる情報処理装置などに好適なマルチスクリユーカオス発振回路に関するものである。

【背景技術】

【0002】

従来、区分線形 2 値ヒステリシス素子を用いたカオス発生回路が提案され（下記非特許文献 1 ~ 13 参照）、様々な興味深いカオスアトラクタが観測できることが報告されている。さらに、構成要素である 2 値ヒステリシス素子を多値の出力が得られるマルチヒステリシス素子に置き換えた方法も提案されている（下記非特許文献 14 ~ 16 参照）。この方法では、グリッドスクロールアトラクタなど、それまでの 2 値ヒステリシス特性を用いたカオス回路では発生しなかったアトラクタが観測できる。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0003】

【特許文献1】特願2009-025790号

【非特許文献】

【0004】

【非特許文献1】R.W.Newcomb, and S.Sathyan, "An RC op amp chaos generator", IEEE Trans.on Circuits and Systems, Part I, Fundam.Theory Appl., vol.30, no.1, pp.54-56, 1983.

【非特許文献2】R.W.Newcomb, and N.El-Leithy, "A binary hysteresis chaos generator", in Proc.of 1984 IEEE Int'l Symp.on Circuits and Systems, pp.856-859, 1984.

【非特許文献3】Toshimichi Saito, "On a hysteresis chaos generator", in Proc.of 1985 IEEE Int'l Symp.on Circuits and Systems, pp.847-849, 1985.

【非特許文献4】Takashi Suzuki, and Toshimichi Saito, "On fundamental bifurcations from a hysteresis hyperchaos generator", IEEE Trans.on Circuits and Systems, Part I, Fundam.Theory Appl., vol.41, no.12, pp.876-884, 1994.

【非特許文献5】Toshimichi Saito, and Shinji Nakagawa, "Chaos from a hysteresis and switched circuit", Phil.Trans.R.Soc.Lond.A, vol.353, no.1701, pp.47-57, 1995.

【非特許文献6】Toshimichi Saito, and Kunihiro Mitsubori, "Control of chaos from a piecewise linear hysteresis circuit", IEEE Trans.on Circuits and Systems, Part I, Fundam.Theory Appl., vol.42, no.3, pp.168-172, 1995.

【非特許文献7】J.E.Varrientos, and E.Sanchez-Sinencio, "A 4-D chaotic oscillator based on a differential hysteresis comparator", IEEE Trans.on Circuits and Systems, Part I, Fundam.Theory Appl., vol.45, no.1, pp.3-10, 1998.

【非特許文献8】A.S.Elwakil, and M.P.Kennedy, "Chaotic oscillators derived from Saito's double-screw hysteresis oscillator", IEICE Trans.Fundamentals, vol.E82-A, no.9, pp.1769-1775, 1999.

【非特許文献9】F.Bizzarri, D.Stellardo, and M.Storace, "Bifurcation analysis and its experimental validation for a hysteresis circuit oscillator", IEEE Trans.on Circuits and Systems, Part I, Regular Papers, vol.53, no.5, pp.517-521, 2006.

10

20

30

40

50

【非特許文献10】Masaki Kataoka and Toshimichi Saito, "A 4-D chaotic oscillator with a hysteresis 2-port VCCSs: The first example of chaotic oscillators consisting of 2-port VCCSs and capacitors", in Proc. IEEE Intl Symp. on Circuits and Syst., vol. 5, pp. 418 - 421, 1999.

【非特許文献11】Masaki Kataoka and Toshimichi Saito, "A 2-port VCCS chaotic oscillator and quad screw attractor", IEEE Trans. on Circuits and Systems, Part I, Fundam. Theory Appl., vol. 48, no. 2, pp. 221 - 225, 2001. 10

【非特許文献12】Masaki Kataoka and Toshimichi Saito, "A chaotic oscillator based on two-port VCCS", in Chaos in Circuits and Systems, G. Chen and T. Ueda eds., pp. 131 - 143, World Scientific, Singapore, 2002.

【非特許文献13】Kiyomitsu Ogata and Toshimichi Saito, "Chaotic attractors in a 4-D oscillator based on 2-port VCCSs", in Proc. IEEE Intl Symp. on Circuits and Syst., vol. 2, pp. 556 - 559, 2002. 20

【非特許文献14】Fengling Han, Xinghuo Yu, Yuye Wang, Yong Feng, and Guanrong Chen, "n-scroll chaotic oscillators by second-order systems and double-hysteresis blocks", Electronics Letters, vol. 39, no. 23, pp. 1636 - 1637, 2003.

【非特許文献15】Fengling Han, Xinghuo Yu, and Jiankun Hu, "A new way of generating grid-scroll chaos and its application to biometric authentication", in Proc. of IEEE 2005 Industrial Electronics Society, 31st Annual Conference, pp. 61 - 66, 2005. 30

【非特許文献16】Fengling Han, Xinghuo Yu, Yong Feng, and Jiankun Hu, "On multiscroll chaotic attractors in hysteresis-based piecewise-linear systems", IEEE Trans. on Circuits and Systems, Part II, Express Briefs, vol. 54, no. 11, pp. 1004 - 1008, 2007. 40

【非特許文献17】Takuya Hamada, Yoshihiko Horio, and Kazuyuki Aihara, "An IC implementation of a hysteresis two-port VCCS chaotic oscillator", in Proc. of European Conf. on Circuits Theory and Design, pp. 926 - 929, 2007.

【非特許文献18】Takuya Hamada, Yoshihiko Horio, and Kazuyuki Aihara, "Experimental observations from an integrated hysteresis two-port VCCS chaotic oscillator", in Proc. IE 50

EE Int'l Work-shop on Nonlinear Dynamics of Electronic Systems, pp. 237 - 240, 2007.

【非特許文献19】濱田卓矢，堀尾喜彦，合原一幸，「完全差動ヒステリシス2ポートVCCSカオス発振器」，信学技報，NLP2007-180，pp. 79 - 84，2008.

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記した非特許文献14～16で提案されているマルチヒステリシス特性は、2値ヒステリシス特性が直列に結合した形状のみしか有しておらず、そのため、それに起因したカオスアトラクタのみしか発生しない。また、ここで用いられているマルチヒステリシス特性は、複数個の2値ヒステリシス特性を有した電圧制御電圧源回路（VCVS回路）を接続することによって構成されており、VCVS回路の入力と出力が共に電圧であるため、複数個の接続には加算器が必要となり、回路規模が大きくなってしまいうという欠点があった。

10

【0006】

本発明は、上記状況に鑑みて、簡単な構成で、様々なマルチヒステリシスVCCS特性が使用でき、多様なマルチスクリュアトラクタを発生させることができるマルチスクリュカオス発振回路を提供することを目的とする。

【0007】

このマルチスクリュカオス発振回路は、2値ヒステリシス電圧制御電流源回路（VCCS回路）を用いたカオス発生回路（上記非特許文献10～13）に注目し、この回路中の2値ヒステリシスVCCS回路をマルチヒステリシスVCCS回路に置き換えたマルチスクリュカオス発振回路を提供するものである。

20

【0008】

ここで用いるマルチヒステリシスVCCS回路は、本発明者らが提案した、VCCS回路が電流出力であることを利用するマルチヒステリシス特性の実現方法（特許文献1）により容易に実現が可能である。さらに、このマルチヒステリシスVCCS特性の実現法によれば、多様なマルチヒステリシス特性が容易に利用できるため、上記非特許文献10～13では観測されなかった、新しい高次元のマルチスクリュアトラクタや分岐構造が実現できる。

30

【課題を解決するための手段】

【0009】

本発明は、上記目的を達成するために、

〔1〕マルチスクリュカオス発振回路において、線形VCCS回路 G_1 および G_2 の組からなる線形2ポートVCCS回路と、マルチヒステリシス特性を持つマルチヒステリシスVCCS回路 MH_1 および MH_2 の組からなるマルチヒステリシス2ポートVCCS回路と、前記線形2ポートVCCS回路と前記マルチヒステリシス2ポートVCCS回路とを並列接続させた回路の両端にそれぞれキャパシタ C_1 と C_2 とを接続するようにしたことを特徴とする。

40

【0010】

〔2〕上記〔1〕記載のマルチスクリュカオス発振回路において、前記マルチヒステリシスVCCS回路 MH_1 および MH_2 の特性として、様々なマルチヒステリシスVCCS特性を用いることにより、多様なカオスアトラクタや分岐構造を実現することを特徴とする。

【0011】

〔3〕上記〔2〕記載のマルチスクリュカオス発振回路において、前記マルチヒステリシスVCCS回路 MH_1 および MH_2 の諸特性を変化させることにより、より多くのカオスアトラクタや分岐現象を呈することを特徴とする。

【0012】

50

〔４〕上記〔３〕記載のマルチスクリーカオス発振回路において、前記マルチヒステリシス $VCCS$ 回路 MH_1 および MH_2 の諸特性が、閾値や飽和電流であることを特徴とする。

【００１３】

〔５〕上記〔４〕記載のマルチスクリーカオス発振回路において、前記閾値は複数の閾値からなり、この複数の閾値はそれぞれ異なった値を持つことを特徴とする。

【００１４】

〔６〕上記〔５〕記載のマルチスクリーカオス発振回路において、前記マルチヒステリシス $VCCS$ 回路 MH_1 が n 個、前記マルチヒステリシス $VCCS$ 回路 MH_2 が m 個の飽和電流値を持つことを特徴とする。

10

【００１５】

〔７〕上記〔６〕記載のマルチスクリーカオス発振回路において、複数の閾値が４個の場合、前記マルチヒステリシス $VCCS$ 回路 MH_1 および MH_2 それぞれに４種類の離散出力が存在し、このそれぞれの４種類の離散出力の組み合わせである１６種類の離散出力にそれぞれ対応した半空間が解空間中に存在し、この解空間中の解軌道が前記半空間の内のどの空間を通過するかによりカオスアトラクタを分類することを特徴とする。

【００１６】

〔８〕上記〔２〕記載のマルチスクリーカオス発振回路において、前記マルチヒステリシス $VCCS$ 特性の複数の制御パラメータを制御することにより、より多くのカオスアトラクタや分岐現象を呈することを特徴とする。

20

【００１７】

〔９〕上記〔８〕記載のマルチスクリーカオス発振回路において、前記複数の制御パラメータが前記マルチヒステリシス $VCCS$ 特性の形状や回路の固有値であることを特徴とする。

【００１８】

〔１０〕上記〔１〕記載のマルチスクリーカオス発振回路において、前記マルチヒステリシス $VCCS$ 特性を持つマルチヒステリシス $VCCS$ 回路 MH_1 および MH_2 の組からなるマルチヒステリシス２ポート $VCCS$ 回路で、正規化したパラメータの減衰パラメータが 0.05 、振動角周波数パラメータが 1.00 、平衡点パラメータ p が 0.25 、平衡点パラメータ q が 0.25 の場合、前記マルチヒステリシス $VCCS$ 回路 MH_1 および MH_2 の閾値を変化させることを特徴とする。

30

【００１９】

〔１１〕上記〔１〕から〔１０〕の何れか一項記載のマルチスクリーカオス発振回路において、前記キャパシタ C_1 と C_2 の容量は、 40 pF と 10 pF であることを特徴とする。

【発明の効果】

【００２０】

本発明によれば、以下のような効果を奏することができる。

【００２１】

（１）連続時間カオス発振回路でありながらインダクタを含んでいないため、従来提案されているカオス回路と比較して簡単な構成の回路を提供することができる。

40

【００２２】

（２）多様なマルチヒステリシス $VCCS$ 特性が使用できるため、様々なマルチスクリーアトラクタを発生させることができる。

【００２３】

（３）構成要素であるマルチヒステリシス $VCCS$ 回路の諸特性を変化させることにより、より多くのカオスアトラクタや分岐構造が実現できる。

【図面の簡単な説明】

【００２４】

【図１】本発明のマルチスクリーカオス発振回路図である。

50

【図 2】本発明のマルチスクリーカオス発振回路における線形 V C C S 回路 G_1 および G_2 の特性を示す図である。

【図 3】本発明のマルチスクリーカオス発振回路におけるマルチヒステリシス V C C S 回路 MH_1 および MH_2 の回路記号を示す図である。

【図 4】本発明のマルチスクリーカオス発振回路におけるマルチヒステリシス V C C S 回路のマルチヒステリシス V C C S 特性の例を示す図である。

【図 5】本発明に係るマルチヒステリシス V C C S 特性の正規化の例を示す図である。

【図 6】本発明のマルチスクリーカオス発振回路の構成例におけるマルチヒステリシス 2 ポート V C C S 特性を構成する 2 組のマルチヒステリシス V C C S 回路の正規化特性 ($i = 1, 2$) を示す図 (その 1) である。

10

【図 7】図 6 に示す正規化特性を持ったマルチヒステリシス V C C S 回路の閾値 Th_1 (横軸) および Th_2 (縦軸) を分岐パラメータとした時のマルチスクリーカオス発振回路の 2 パラメータ分岐図である。

【図 8】図 6 に示すマルチヒステリシス V C C S 正規化特性を用いた場合に、閾値 Th_1 および Th_2 を変化させて得られるマルチスクリーカオス発振回路のカオスアトラクタの例を示す図である。

【図 9】本発明のマルチスクリーカオス発振回路の構成例におけるマルチヒステリシス 2 ポート V C C S 特性を構成する 2 組のマルチヒステリシス V C C S 回路の正規化特性 ($i = 1, 2$) を示す図 (その 2) である。

【図 10】図 9 に示す正規化特性を持ったマルチヒステリシス V C C S 回路の閾値 Th_1 (横軸) および Th_2 (縦軸) を分岐パラメータとした時のマルチスクリーカオス発振回路の 2 パラメータ分岐図である。

20

【図 11】図 9 に示すマルチヒステリシス V C C S 正規化特性を用いた場合に、閾値 Th_1 および閾値 Th_2 を変化させて得られるマルチスクリーカオス発振回路のカオスアトラクタの例を示す図である。

【図 12】本発明のマルチスクリーカオス発振回路の構成例における線形 2 ポート V C C S 回路を構成する線形 V C C S 回路 G_1 および G_2 として用いた完全差動線形 V C C S 回路を示す図である。

【図 13】本発明のマルチスクリーカオス発振回路の構成例におけるマルチヒステリシス 2 ポート V C C S 回路を構成するマルチヒステリシス V C C S 回路 MH_1 および MH_2 として用いた完全差動マルチヒステリシス V C C S 回路を示す図である。

30

【図 14】図 13 中の三角形の記号で示された、2 値ヒステリシス V C C S 特性を持つコア回路を示す図である。

【図 15】S P I C E シミュレーションで用いたマルチヒステリシス V C C S 回路 MH_2 の特性図である。

【図 16】S P I C E シミュレーションで用いたマルチヒステリシス V C C S 回路 MH_1 の特性図である。

【図 17】マルチヒステリシス V C C S 回路 MH_1 の特性として図 16 (a) の特性を用いた場合に得られたカオスアトラクタを示す図である。

【図 18】マルチヒステリシス V C C S 回路 MH_1 の特性として図 16 (b) の特性を用いた場合に得られたカオスアトラクタを示す図である。

40

【図 19】マルチヒステリシス V C C S 回路 MH_1 の特性として図 16 (c) の特性を用いた場合に得られたカオスアトラクタを示す図である。

【発明を実施するための形態】

【0025】

本発明のマルチスクリーカオス発振回路は、線形 V C C S 回路 G_1 および G_2 の組からなる線形 2 ポート V C C S 回路と、マルチヒステリシス V C C S 特性を持つマルチヒステリシス V C C S 回路 MH_1 および MH_2 の組からなるマルチヒステリシス 2 ポート V C C S 回路と、前記線形 2 ポート V C C S 回路と前記マルチヒステリシス 2 ポート V C C S 回路とを並列接続させた回路の両端にそれぞれキャパシタ C_1 と C_2 とを接続するように

50

した。

【実施例】

【0026】

以下、本発明の実施の形態について詳細に説明する。

【0027】

図1は本発明のマルチスクリュウカオス発振回路図、図2はそのマルチスクリュウカオス発振回路における線形VCCS回路 G_1 および G_2 の特性を示す図であり、図2(a)は線形VCCS回路の回路記号を示す図、図2(b)はその入出力特性を示している。また、図3は本発明のマルチスクリュウカオス発振回路におけるマルチヒステリシスVCCS回路 MH_1 および MH_2 の回路記号を示す図、図4はそのマルチヒステリシスVCCS特性の例を示す図である。

10

【0028】

これらの図に示すように、本発明のマルチスクリュウカオス発振回路は、線形VCCS回路 G_1 および G_2 の組から成る線形2ポートVCCS回路1と、マルチヒステリシス特性を持つマルチヒステリシスVCCS回路 MH_1 および MH_2 の組から成るマルチヒステリシス2ポートVCCS回路2、さらには、2つのキャパシタ C_1 および C_2 により構成される。

【0029】

線形VCCS回路 G_1 および G_2 の特性は、図2に示すようであり、それらの入出力特性の中央の線形部分のトランスコンダクタンスを、それぞれ g_{m1} および g_{m2} とする。

20

【0030】

一方、マルチヒステリシスVCCS回路 MH_1 および MH_2 は、上記した特許文献1の方法などにより構成する。その回路記号を図3に、マルチヒステリシスVCCS特性の例を図4にそれぞれ示す。

【0031】

図1中のキャパシタ C_1 、 C_2 の電圧を、それぞれ $v_1(t)$ および $v_2(t)$ とし、さらに、キャパシタ C_1 、 C_2 から図1の線形2ポートVCCS回路1に流れ込む電流をそれぞれ $i_1(t)$ 、 $i_2(t)$ とおくと、線形2ポートVCCS回路1部分の回路方程式は下記(1)で与えられる。

【0032】

30

【数1】

$$\begin{cases} i_1(t) = -g_{m2}(v_1(t) - v_2(t)) \\ i_2(t) = -g_{m1}(v_1(t)) \end{cases} \quad \dots (1)$$

一方、図1のマルチヒステリシス2ポートVCCS回路2部分の回路方程式は、キャパシタ C_1 、 C_2 からマルチヒステリシス2ポートVCCS回路2に流れ込む電流を、それぞれ $i'_1(t)$ 、 $i'_2(t)$ とおくと下記(2)となる。

【0033】

【数2】

40

$$\begin{cases} i'_1(t) = -MH_2(v_1(t) - v_2(t)) \\ i'_2(t) = -MH_1(v_1(t)) \end{cases} \quad \dots (2)$$

ここで、 $MH_i(\cdot)$ ($i = 1, 2$)は、図4に例を示したようなマルチヒステリシスVCCS特性を与える関数である。

【0034】

上記式(1)で表現される線形2ポートVCCS回路1と、上記式(2)で表現されたマルチヒステリシス2ポートVCCS回路2とを並列接続させた回路の両端にそれぞれキャパシタ C_1 、 C_2 を接続したものが、図1で示した本発明のマルチスクリュウカオス発

50

振回路であり、この回路全体の回路方程式は、以下のように表すことができる。

【 0 0 3 5 】

【数 3】

$$\frac{d}{dt} \begin{bmatrix} C_1(v_1(t)) \\ C_2(v_2(t)) \end{bmatrix} = \begin{bmatrix} g_{m2} & -g_{m2} \\ g_{m1} & 0 \end{bmatrix} \begin{bmatrix} v_1(t) \\ v_2(t) \end{bmatrix} + \begin{bmatrix} MH_2(v_1(t)-v_2(t)) \\ MH_1(v_1(t)) \end{bmatrix} \quad \dots (3)$$

本発明のマルチスクリーカオス発振回路の動作を解析するため、上記の回路方程式に対して、以下の変数変換を用いた正規化を行う。

【 0 0 3 6 】

$$E_x \cdot x(t) = v_1(t) \quad \dots (4)$$

$$E_y \cdot y(t) = v_1(t) - v_2(t) \quad \dots (5)$$

$$C_1 \cdot E_x = g_{m2} \cdot E_y \cdot t \quad \dots (6)$$

$$2 = E_x / E_y \quad \dots (7)$$

$$= C_1 \cdot g_{m1} / C_2 \cdot g_{m2} \quad \dots (8)$$

$$= (4 - 1) \quad \dots (9)$$

$$p \cdot mh_1(x(\cdot)) = - (1 / g_{m1} E_x) MH_1(E_x \cdot x(\cdot)) \quad \dots (10)$$

$$q \cdot mh_2(y(\cdot)) = - (1 / g_{m2} E_y) MH_2(E_y \cdot y(\cdot)) \quad \dots (11)$$

ここで、 t は正規化された時間、 $x(\cdot)$ および $y(\cdot)$ は状態変数、 δ は減衰パラメータ、 ν は振動角周波数パラメータ、 p および q は平衡点パラメータである。また、 $mh_i(\cdot)$ ($i = 1, 2$) は、正規化されたマルチヒステリシス VCCS 特性である。

【 0 0 3 7 】

図 5 は本発明に係るマルチヒステリシス VCCS 特性の正規化の例を示す図である。

【 0 0 3 8 】

例えば、図 5 (a) と (b) に示す 2 個の 2 値ヒステリシス VCCS 特性 $H_1(v_d)$ 、 $H_2(v_d)$ を合成して得られるマルチヒステリシス VCCS 特性を正規化すると図 5 (c) のようなマルチヒステリシス VCCS 特性 $mh(x(\cdot))$ となる。

【 0 0 3 9 】

上記の変数変換およびパラメータを用いることにより、上記式 (3) の回路方程式は以下の式 (12) のように正規化できる。

【 0 0 4 0 】

【数 4】

$$\frac{d}{dt} \begin{bmatrix} x(\tau) \\ y(\tau) \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -4\nu\delta^2 & 2\delta \end{bmatrix} \begin{bmatrix} x(\tau) - p \cdot mh_1(x(\tau)) \\ y(\tau) - q \cdot mh_2(y(\tau)) \end{bmatrix} \quad \dots (12)$$

式 (12) において、 $p \cdot mh_1(x(\cdot))$ および $q \cdot mh_2(y(\cdot))$ は、マルチヒステリシス VCCS 特性 $mh_1(x(\cdot))$ および $mh_2(y(\cdot))$ の出力が入力に応じて切り替わり、マルチヒステリシス VCCS 特性が持つ離散出力の各レベルに対応する定数となるので、その期間では上記式 (12) を線形微分方程式とみなすことができる。すなわち、本システムは、マルチヒステリシス VCCS 特性 $mh_i(\cdot)$ の出力によって定義される半空間がつなぎ合わされた区分線形系であると見なせる。そこで、

【 0 0 4 1 】

【数 5】

$$\begin{cases} \tilde{x}(\tau) = x(\tau) - p \cdot mh_1(x(\tau)) \\ \tilde{y}(\tau) = y(\tau) - q \cdot mh_2(y(\tau)) \end{cases} \quad \dots (13)$$

10

20

30

40

50

と変数変換すれば、上記式(12)は次式のように表すことができる。

【0042】

【数6】

$$\frac{d}{dt} \begin{bmatrix} \tilde{x}(\tau) \\ \tilde{y}(\tau) \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -4\nu\delta^2 & 2\delta \end{bmatrix} \begin{bmatrix} \tilde{x}(\tau) \\ \tilde{y}(\tau) \end{bmatrix} \quad \dots(14)$$

上記式(14)の特性方程式の固有値は

$$= \pm \sqrt{1 - 4\nu\delta^2} \quad \dots(15)$$

で与えられる。

【0043】

パラメータが

$$4\nu\delta^2 - 1 > 0 \quad \dots(16)$$

を満足していれば、固有値は複素数となり、このとき、上記式(14)の解は

【0044】

【数7】

$$\begin{bmatrix} \tilde{x}(\tau) \\ \tilde{y}(\tau) \end{bmatrix} = \begin{bmatrix} e^{\delta\tau} \left(\tilde{x}(0) \cos \omega\tau + \frac{1}{\omega} (\tilde{y}(0) - \delta \tilde{x}(0)) \sin \omega\tau \right) \\ e^{\delta\tau} \left(\tilde{y}(0) \cos \omega\tau + \frac{\delta}{\omega} (\tilde{y}(0) - 4\nu\delta \tilde{x}(0)) \sin \omega\tau \right) \end{bmatrix} \quad \dots(17)$$

である。ただし、 $\tilde{x}(0)$ 、 $\tilde{y}(0)$ は、それぞれ $\tilde{x}(\tau)$ 、 $\tilde{y}(\tau)$ の初期値であり、また、 $\omega = \delta\sqrt{4\nu - 1}$

($4\nu - 1$)とする。

【0045】

さらに、式(17)は、

【0046】

【数8】

$$\begin{bmatrix} \tilde{x}(\tau) \\ \tilde{y}(\tau) \end{bmatrix} = e^{\delta\tau} \begin{bmatrix} \cos \omega\tau - \frac{\delta}{\omega} \sin \omega\tau & \frac{1}{\omega} \sin \omega\tau \\ -\frac{\delta^2 + \omega^2}{\omega} \sin \omega\tau & \cos \omega\tau + \frac{\delta}{\omega} \sin \omega\tau \end{bmatrix} \begin{bmatrix} \tilde{x}(0) \\ \tilde{y}(0) \end{bmatrix} \quad \dots(18)$$

と表すことができる。ここで、 $\delta > 0$ であることに注意すると、上記式(18)は、解が初期値($\tilde{x}(0)$ 、 $\tilde{y}(0)$)から、原点を中心に角周波数 ω で回転しながら $e^{\delta\tau}$ の割合で拡大していくことを表す。このままでは解軌道は発散するが、マルチヒステリシスVCCS特性の各閾値に到達することにより出力が切り替わり、この出力で定義される半空間での解軌道に切り替わる。その結果、あるパラメータ条件では解軌道は発散せずにカオスアトラクタを呈する。なお、アトラクタを特徴付けるためのパラメータ δ および ω は制御可能である。

【0047】

次に、分岐解析とアトラクタについて説明する。

【0048】

ここでは、本発明のマルチスクリュウカオス発振回路が豊かな分岐現象と多様なカオス

10

20

30

40

50

アトラクタを持ち得ることを、記号力学系を導入した分岐解析を通して示す。例として、簡単のため、図5(c)に示すようなマルチヒステリシスVCCS特性で、 $E^{L_{th1}} = -E^{R_{Th1}}$, $I^{D_1} = -I^{U_1}$, $E^{L_{th2}} = -E^{R_{Th2}}$, $I^{D_2} = -I^{U_2}$ である対称な特性を持つマルチヒステリシスVCCS回路によりMH₁ およびMH₂ をそれぞれ構成する場合を以下で取り上げる。さらに、これら2個のマルチヒステリシスVCCS回路MH₁ およびMH₂ を一組として構成したマルチヒステリシス2ポートVCCS回路において、正規化したパラメータが $\alpha = 0.05$, $\beta = 1.00$, $p = 0.25$, $q = 0.25$ であるときを考える。このとき、マルチヒステリシスVCCS回路MH₁ およびMH₂ の閾値を変化させることによって、本発明のマルチスクリーカオス発振回路は様々なアトラクタを呈する。

10

【0049】

これらのアトラクタを特徴付けるため、ここではマルチヒステリシスVCCS回路MH₁ , MH₂ の出力電流が、各ヒステリシス特性での飽和電流に対応する離散値を取ることに注目する。すなわち、本発明のマルチスクリーカオス発振回路はハイブリッドシステム的一种であり、連続値の内部状態変数と、これに対応した離散値の出力変数とを有している。そこで、記号力学系として、各アトラクタの軌道におけるマルチヒステリシスVCCS回路の出力電流の離散系列に着目する。ここで例として取り上げた回路では、2個の2値ヒステリシスVCCS回路を組み合わせたマルチヒステリシスVCCS回路を2個一組として用いてマルチヒステリシス2ポートVCCS特性を構成しているため、mh₁ (x ()) , mh₂ (y ()) 共に4種類の離散出力状態が存在する。このため、これらの離散出力状態の組み合わせは4 x 4の16種類存在し、これらの組み合わせにそれぞれ対応した16個の半空間が解空間中に存在する。そこで、解軌道がこれらの半空間の内のどの半空間を通過するかによりアトラクタを分類する。このため、mh₁ (x ()) の4つの離散出力状態をlとし、これにl = 1 , 2 , 3 , 4と番号付けをする。同様に、mh₂ (y ()) の離散出力状態をmとし、これにもm = 1 , 2 , 3 , 4と番号付けをする。さらに、l , mを用いて解空間Sを

20

【0050】

【数9】

$$S = [s_{lm}] = \begin{bmatrix} s_{11} & s_{12} & s_{13} & s_{14} \\ s_{21} & s_{22} & s_{23} & s_{24} \\ s_{31} & s_{32} & s_{33} & s_{34} \\ s_{41} & s_{42} & s_{43} & s_{44} \end{bmatrix} \quad \dots (19)$$

30

と表す。ここで、s_{lm}は、離散出力値lとmにより構成される半空間である。

【0051】

ここで、アトラクタの軌道が半空間s_{lm}を通過する場合はb_{lm} = " 1 " , 通過しない場合をb_{lm} = " 0 " というバイナリ変数で記述し、アトラクタを分類する。このように記述した軌道通過半空間行列をBとする。例えば、

【0052】

【数10】

$$B = \begin{bmatrix} 1 & 0 & 1 & 1 \\ 0 & 1 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 1 & 1 & 1 \end{bmatrix} \quad \dots (20)$$

40

で表されるアトラクタは、その軌道が、半空間s₁₁ , s₁₃ , s₁₄ , s₂₂ , s₃₂ , s₃₄ , s₄₂ , s₄₃ , s₄₄を通過することを示す。

【0053】

50

まず、マルチヒステリシス2ポートVCCS特性を構成する2つのマルチヒステリシスVCCS回路が、共に図6に示すような正規化マルチヒステリシスVCCS特性を持っているとし、それぞれの回路の閾値 Th_1 および Th_2 を、0.1から1.0まで変化させた際に得られるアトラクタについて、その解軌道が通過する半空間を調べた。これにより得られた2パラメータ分岐図を図7に示す。この図7で、各アトラクタの軌道が通過する半空間を表す軌道通過半空間行列は、それぞれ、

【0054】

【数11】

$$\begin{aligned}
 B_1 &= \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \end{bmatrix} & B_2 &= \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \end{bmatrix} & B_3 &= \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 1 \end{bmatrix} & & 10 \\
 B_4 &= \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 1 \end{bmatrix} & B_5 &= \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 \end{bmatrix} & B_6 &= \begin{bmatrix} 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 \end{bmatrix} \\
 B_7 &= \begin{bmatrix} 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 \end{bmatrix} & B_8 &= \begin{bmatrix} 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 \end{bmatrix} & B_9 &= \begin{bmatrix} 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 \end{bmatrix} & & 20 \\
 B_{10} &= \begin{bmatrix} 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} & B_{11} &= \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 \\ 1 & 1 & 1 & 1 \end{bmatrix} & & \dots (21)
 \end{aligned}$$

の11種類である。さらに、この分岐図中の幾つかな的特徴的なカオスアトラクタの例を図8に示す。この図において、図8(a)は図7中の B_{10} ($Th_1 = 0.20$, $Th_2 = 0.60$)の領域でのカオスアトラクタの例、図8(b)は図7中の B_5 ($Th_1 = 0.60$, $Th_2 = 0.20$)の領域でのカオスアトラクタの例、図8(c)は図7中の B_{11} ($Th_1 = 0.20$, $Th_2 = 0.20$)の領域でのカオスアトラクタの例、図8(d)は図7中の B_7 ($Th_1 = 0.60$, $Th_2 = 0.60$)の領域でのカオスアトラクタの例を示している。

【0055】

次の例として、マルチヒステリシス2ポートVCCS特性を構成する2個のマルチヒステリシスVCCS回路が、共に図9に示すような正規化マルチヒステリシスVCCS特性を持っているとし、それぞれの閾値 Th_1 および Th_2 を、0.1から0.5まで変化させた際に得られたアトラクタがどの半空間を通過したかを調べた。得られた2パラメータ分岐図を図10に示す。この場合、用いた正規化マルチヒステリシスVCCS特性(図9)は、中間部分の飽和電流が縮退しているため、取り得る離散出力飽和電流は3つである。したがって、半空間の種類は 3×3 の9種類となる。図10で、各アトラクタの軌道が通過する半空間を表す 3×3 の軌道通過半空間行列は、それぞれ、

【0056】

10

20

30

40

【数 1 2】

$$\begin{aligned}
 B_1 &= \begin{bmatrix} 1 & 1 & 1 \\ 1 & 0 & 1 \\ 1 & 1 & 1 \end{bmatrix} & B_2 &= \begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix} & B_3 &= \begin{bmatrix} 0 & 1 & 0 \\ 1 & 1 & 1 \\ 0 & 1 & 0 \end{bmatrix} \\
 B_4 &= \begin{bmatrix} 0 & 0 & 0 \\ 1 & 1 & 1 \\ 0 & 0 & 0 \end{bmatrix} & B_5 &= \begin{bmatrix} 1 & 0 & 0 \\ 1 & 1 & 1 \\ 0 & 0 & 1 \end{bmatrix} & B_6 &= \begin{bmatrix} 1 & 1 & 1 \\ 0 & 1 & 0 \\ 1 & 1 & 1 \end{bmatrix} \\
 B_7 &= \begin{bmatrix} 0 & 1 & 0 \\ 0 & 1 & 0 \\ 0 & 1 & 0 \end{bmatrix} & B_8 &= \begin{bmatrix} 0 & 1 & 1 \\ 0 & 1 & 0 \\ 1 & 1 & 0 \end{bmatrix} & B_9 &= \begin{bmatrix} 1 & 0 & 1 \\ 1 & 1 & 1 \\ 1 & 0 & 1 \end{bmatrix} \quad \dots(22)
 \end{aligned}$$

10

の 9 種類である。また、この分岐図中の特徴的なカオスアトラクタの例を図 1 1 に示す。この図 1 1 において、図 1 1 (a) は図 1 0 中の B_1 ($Th_1 = 0.20$, $Th_2 = 0.20$) の領域でのカオスアトラクタの例、図 1 1 (b) は図 1 0 中の B_2 ($Th_1 = 0.25$, $Th_2 = 0.25$) の領域でのカオスアトラクタの例、図 1 1 (c) は図 1 0 中の B_3 ($Th_1 = 0.30$, $Th_2 = 0.30$) の領域でのカオスアトラクタの例、図 1 1 (d) は図 1 0 中の B_4 ($Th_1 = 0.20$, $Th_2 = 0.40$) の領域でのカオスアトラクタの例、図 1 1 (e) は図 1 0 中の B_5 ($Th_1 = 0.20$, $Th_2 = 0.35$) の領域でのカオスアトラクタの例、図 1 1 (f) は図 1 0 中の B_6 ($Th_1 = 0.30$, $Th_2 = 0.20$) の領域でのカオスアトラクタの例、図 1 1 (g) は図 1 0 中の B_7 ($Th_1 = 0.40$, $Th_2 = 0.20$) の領域でのカオスアトラクタの例、図 1 1 (h) は図 1 0 中の B_8 ($Th_1 = 0.35$, $Th_2 = 0.20$) の領域でのカオスアトラクタの例、図 1 1 (i) は図 1 0 中の B_9 ($Th_1 = 0.20$, $Th_2 = 0.30$) の領域でのカオスアトラクタの例を示している。これらのカオスアトラクタは、これまでに観測されたカオスアトラクタとは異なるカオスアトラクタである。

20

【 0 0 5 7 】

以上の例で示した通り、本発明のマルチスクリュウカオス発振回路によれば、マルチヒステリシス 2 ポート V C C S 特性を構成する、マルチヒステリシス V C C S 回路の閾値を制御するだけでも多様なカオスアトラクタを得ることができる。したがって、閾値以外の回路パラメータを変化させることにより、より豊かな分岐現象やカオスアトラクタが容易に得られると考えられる。さらに、上記において例示したように、従来とは異なったカオスアトラクタも本発明のマルチスクリュウカオス発振回路から観測されている。また、これらのカオスアトラクタを生ずる分岐現象も非常に複雑であり、分岐現象自体も独特の分岐構造を持ち得る可能性が十分ある。

30

【 0 0 5 8 】

次に、マルチスクリュウカオス発振回路の実装例について説明する。

【 0 0 5 9 】

本発明の有効性を示すため、上記非特許文献 1 7 ~ 1 9 の完全差動ヒステリシス 2 ポート V C C S カオス発振回路を拡張した、完全差動マルチスクリュウカオス発振回路を以下に述べる。この回路は、T S M C 0 . 3 5 μ m C M O S 半導体プロセスを用いて設計した。

40

【 0 0 6 0 】

図 1 に示した本発明のマルチスクリュウカオス発振回路中の線形 2 ポート V C C S 回路を構成する、2 つの線形 V C C S 回路 G_1 および G_2 には、上記非特許文献 1 9 で提案されている完全差動線形 V C C S 回路を用いた。これを図 1 2 に示す。この回路では、外部制御電圧 V_g を変化させることにより、入出力特性の中央の線形部分のトランスコンダクタンス g_m の値を変化させることができる。完全差動線形 V C C S 回路中のシミュレーシ

50

オン実験で用いた各MOSFETのサイズを表1に示す。

【0061】

【表1】

素子	W/L	素子	W/L
M _{1,2}	1 μm/2 μm	M _{3,4}	1.1 μm/2 μm
M ₅	4.4 μm/2 μm	M _{6,7}	2.15 μm/2 μm
M _{8,9}	0.8 μm/2 μm	M _{10,11}	2.2 μm/2 μm
M _{12,13}	0.8 μm/2 μm		

10

一方、図1のマルチスクリーカオス発振回路中のマルチヒステリシス2ポートVCCS回路を構成する、マルチヒステリシスVCCS回路MH₁およびMH₂は、上記した特許文献1で提案する手法を基に実装した。具体的な回路を図13に示す。この図13中で三角形で示したh₁、h₂およびh₃は、2値ヒステリシスVCCS特性を持つコア回路であり、これを図14に示す。マルチヒステリシスVCCS特性の閾値電圧は、このコア回路の外部制御電圧V_{hek}を調整することにより変化させることができる。また、図13の完全差動マルチヒステリシスVCCS回路でマルチヒステリシスVCCS回路MH₁およびMH₂を実装するため、表2に示したサイズのMOSFETを使用した。さらに、図14に示すコア回路中のMOSFETのサイズは、マルチヒステリシスVCCS回路MH₁およびMH₂を実装するために、それぞれ表3および表4に示す値を用いた。

20

【0062】

【表2】

素子	W/L	素子	W/L
M _{1,2,3,4,5,6}	3.2 μm/1.0 μm	M _{7,8,9,10,11,12}	3.2 μm/1.0 μm
M _{13,14,15}	8.0 μm/2.0 μm	M _{16,17,18}	8.0 μm/2.0 μm
M _{19,20,21}	16.0 μm/2.0 μm	M _{22,23,24}	16.0 μm/2.0 μm
M _{25,27}	1.6 μm/1.0 μm	M _{26,28}	3.6 μm/2.0 μm
M _{29,31}	3.2 μm/1.0 μm	M _{30,32}	7.2 μm/2.0 μm
M _{33,34,36}	3.6 μm/1.0 μm	M ₃₅	1.0 μm/3.5 μm

30

【0063】

【表3】

素子	W/L	素子	W/L
M _{1,2}	1.0 μm/2.0 μm	M _{3,4}	2.0 μm/1.0 μm
M ₅	5.0 μm/1.0 μm	M ₇	4.4 μm/2.0 μm
M _{8,9}	1.0 μm/2.0 μm	M _{10,11}	2.2 μm/2.0 μm
M _{12,13}	2.15 μm/2.0 μm	M _{14,15}	0.8 μm/2.0 μm

【0064】

【表4】

素子	W/L	素子	W/L
M _{1,2}	1.2 μm/2.0 μm	M _{3,4}	4.0 μm/1.0 μm
M _{5,6}	13.0 μm/1.0 μm	M ₇	4.4 μm/2.0 μm
M _{8,9}	1.0 μm/2.0 μm	M _{10,11}	2.2 μm/2.0 μm
M _{12,13}	2.15 μm/2.0 μm	M _{14,15}	0.8 μm/2.0 μm

40

また、図1に示したマルチスクリーカオス発振回路中のキャパシタC₁、C₂の容量は、それぞれ40 pFと10 pFである。

50

【 0 0 6 5 】

以上の回路要素を図1に示すように接続して完全差動マルチスクリュウカオス発振回路を構成し、SPICEシミュレーションでカオスアトラクタを観測した。この際、マルチヒステリシスVCCS回路MH₂の特性は図15に示すマルチヒステリシスVCCS特性に固定し、マルチヒステリシスVCCS回路MH₁のヒステリシスVCCS特性を図16に示す(a), (b), (c)と変化させた。マルチヒステリシスVCCS回路MH₁の特性として、図16(a)の特性を用いた場合に得られたカオスアトラクタを図17に、図16(b)の特性を用いた場合に得られたカオスアトラクタを図18に、さらに、図16(c)の特性を用いた場合に得られたカオスアトラクタを図19に、それぞれ示す。なお、図17(a), 図18(a)および図19(a)はそれぞれ $v_{od1} - (v_{od1} - v_{od2}) - i_{od}$ 位相空間でのアトラクタ、図17(b), 図18(b)および図19(b)はそれぞれ $v_{od1} - (v_{od1} - v_{od2})$ 平面への射影を示している。これらの図で、 v_{od1} および v_{od2} は、それぞれ、図1中の $v_1(t)$ と $v_2(t)$ に対応する差動電圧、 i_{od} は図1中の $i_1(t) + i_1(t)$ に対応する差動電流である。また、これらのアトラクタを観測した際の外部制御電圧の値を表5に示す。

10

【 0 0 6 6 】

【表5】

要素回路	制御電圧	図17	図18	図19
MH ₁	$V_{he1}, V_{he2}, V_{he3}$	1.08V	1.15V	1.17V
	V_{ref}	-1.25V	-1.25V	-1.25V
	V_{hi}	1.28V	1.40V	1.28V
MH ₂	V_{he1}	1.20V	1.20V	1.20V
	V_{he2}	1.24V	1.24V	1.24V
	V_{he3}	1.29V	1.29V	1.29V
	V_{ref}	-1.25V	-1.25V	-1.25V
	V_{hi}	1.27V	1.27V	1.27V
G ₁	V_g	-1.15V	-1.15V	-1.15V
G ₂	V_g	-1.09V	-1.09V	-1.09V

20

この表5に示す $V_{he1}, V_{he2}, V_{he3}, V_{hi}$ は、マルチヒステリシスVCCS回路MH₁およびMH₂のヒステリシスの幅、高さを制御するパラメータである。また、 V_g は完全差動線形VCCS回路の入出力特性の中央の線形部分のトランスコンダクタンス g_m を制御するパラメータである。

30

【 0 0 6 7 】

図17, 図18, 図19に示した結果より、本発明の回路構成により、多様なマルチスクリュウアトラクタが実現できることが確認された。

【 0 0 6 8 】

本発明では、マルチヒステリシスVCCS回路を用いたマルチスクリュウカオス発振回路を提供した。このマルチスクリュウカオス発振回路は、連続時間カオス発振回路でありながらインダクタを含んでいないため、従来提案されているカオス回路と比較して回路構成が簡単である。さらに、多様なマルチヒステリシスVCCS特性が使用できるため、様々なマルチスクリュウアトラクタを発生させることができる。また、構成要素であるマルチヒステリシスVCCS回路の諸特性を変化させることにより、より多くのカオスアトラクタや分岐構造が実現できる。すなわち、本発明のマルチスクリュウカオス発振回路は、マルチヒステリシスVCCS回路の閾値や飽和電流、マルチヒステリシスVCCS特性の形状や、回路の固有値等、多くの制御パラメータを有し、これらを制御することにより、これまでに報告されているカオスアトラクタはもとより、これまでに公表されていない様々なカオスアトラクタを生成することが可能である。

40

【 0 0 6 9 】

50

本発明のマルチスクリーカオス発振回路は、その多様で高次元のカオスアトラクタを利用することによって、カオスを用いた情報処理装置などに応用可能である。

【0070】

さらに、本発明のマルチスクリーカオス発振回路は、ハイブリッドダイナミカルシステムであるため、高次元ハイブリッドダイナミカルシステムの高速度物理シミュレーションや、高次元ハイブリッドダイナミクスによる計算装置などに利用できる。

【0071】

また、本発明のマルチスクリーカオス発振回路は、マルチヒステリシスVCCS特性の離散値出力状態を、記号力学あるいは多値論理値とすることにより、大容量でかつ動的なメモリや、多値論理回路の実現に有効である。

【0072】

さらに、本発明のマルチスクリーカオス発振回路による高次元で多様なカオスアトラクタは、複雑な時空間パターンの発生、画像処理、カオス通信、カオス暗号などに有用である。

【0073】

なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【産業上の利用可能性】

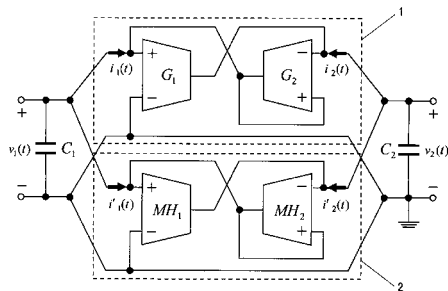
【0074】

本発明のマルチスクリーカオス発振回路は、その多様で高次元のカオスアトラクタを利用することによって、カオスを用いた情報処理装置などに利用可能である。

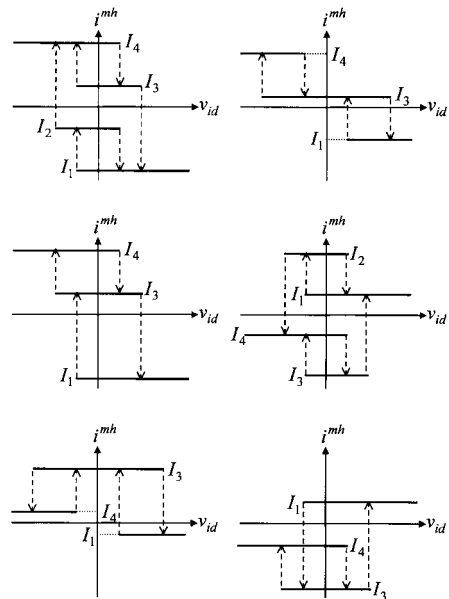
10

20

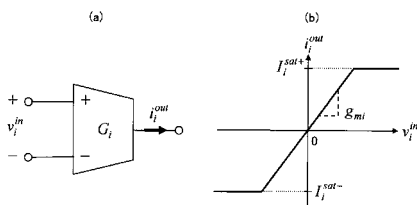
【図1】



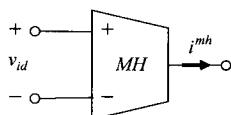
【図4】



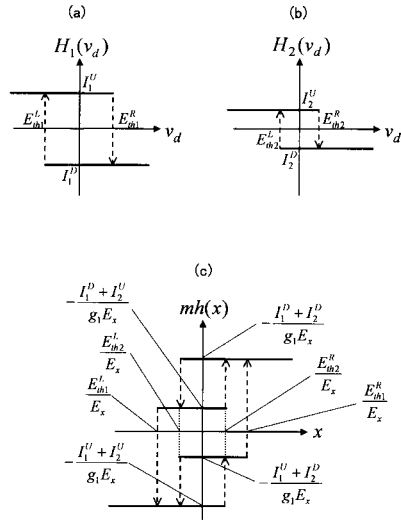
【図2】



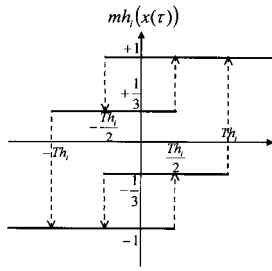
【図3】



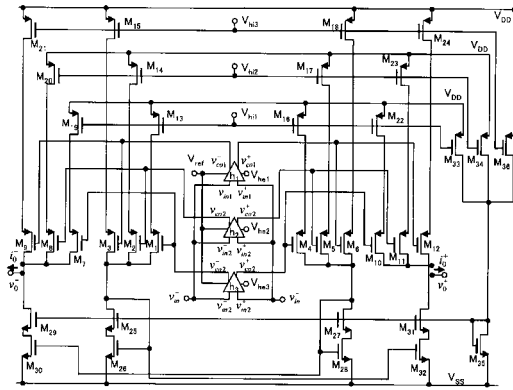
【 図 5 】



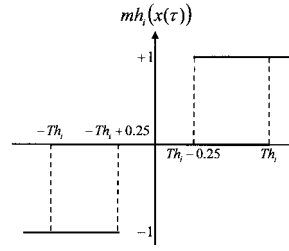
【 図 6 】



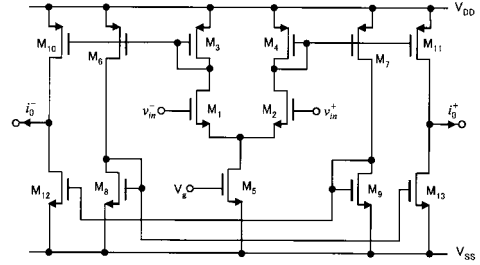
【 図 1 3 】



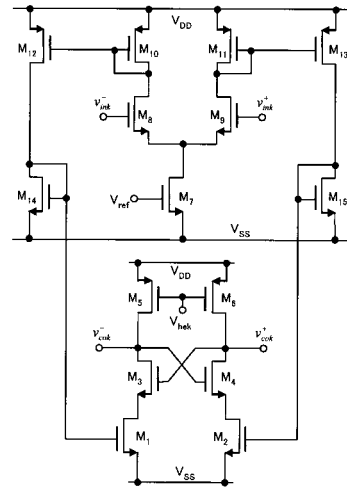
【 図 9 】



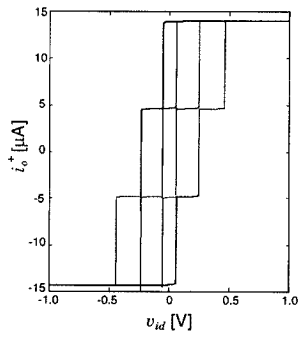
【 図 1 2 】



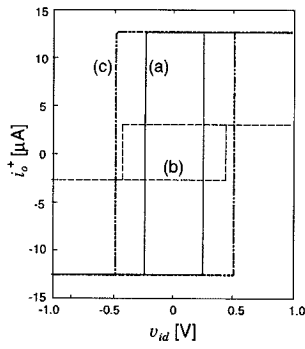
【 図 1 4 】



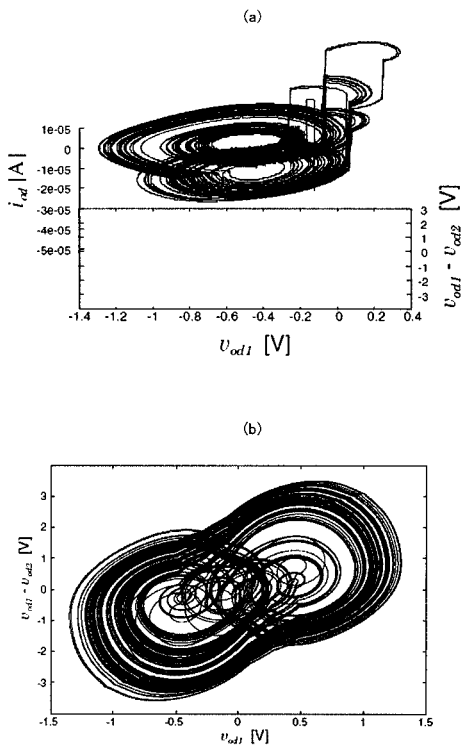
【 図 15 】



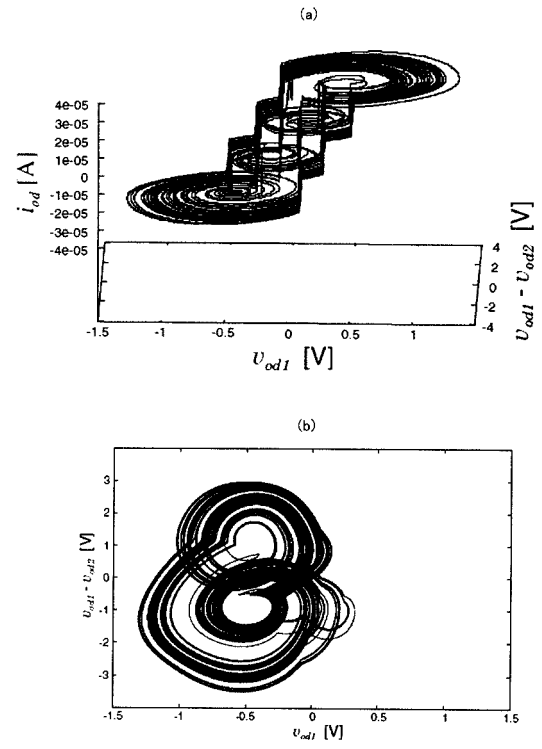
【 図 16 】



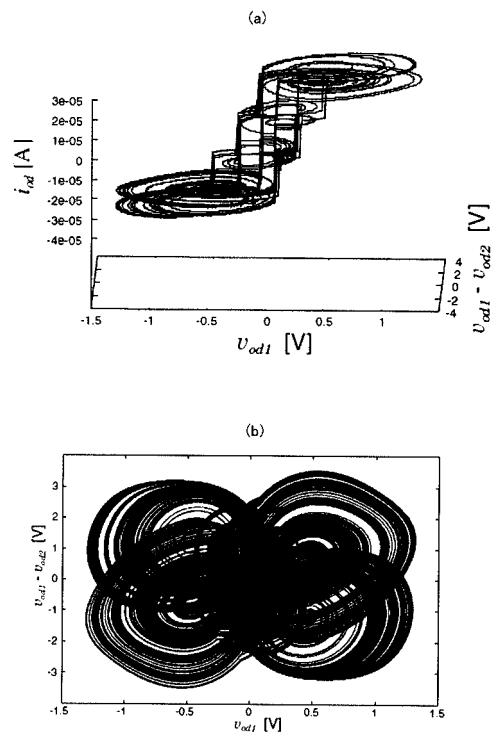
【 図 18 】



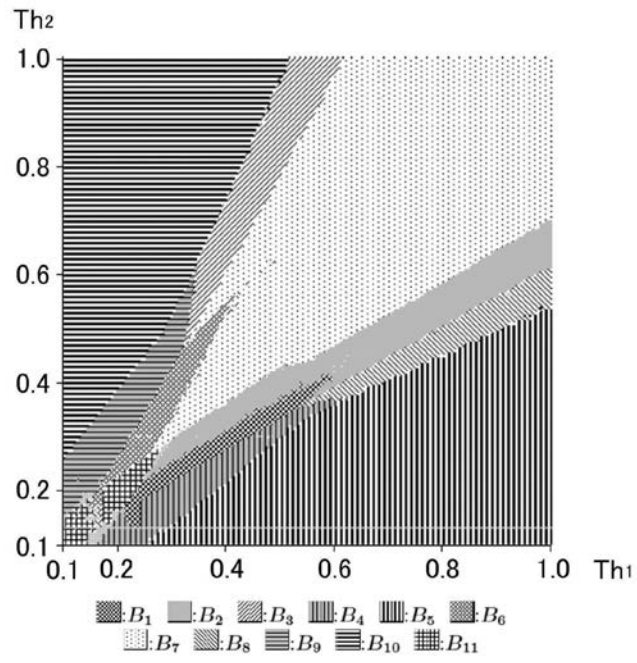
【 図 17 】



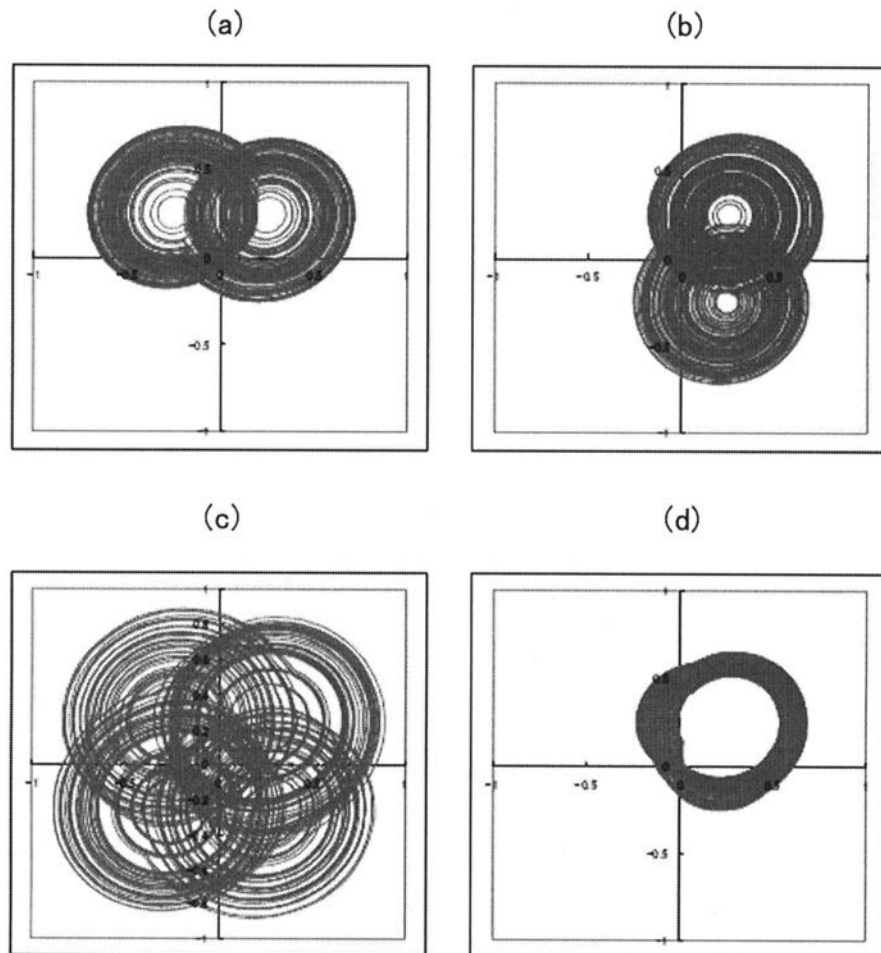
【 図 19 】



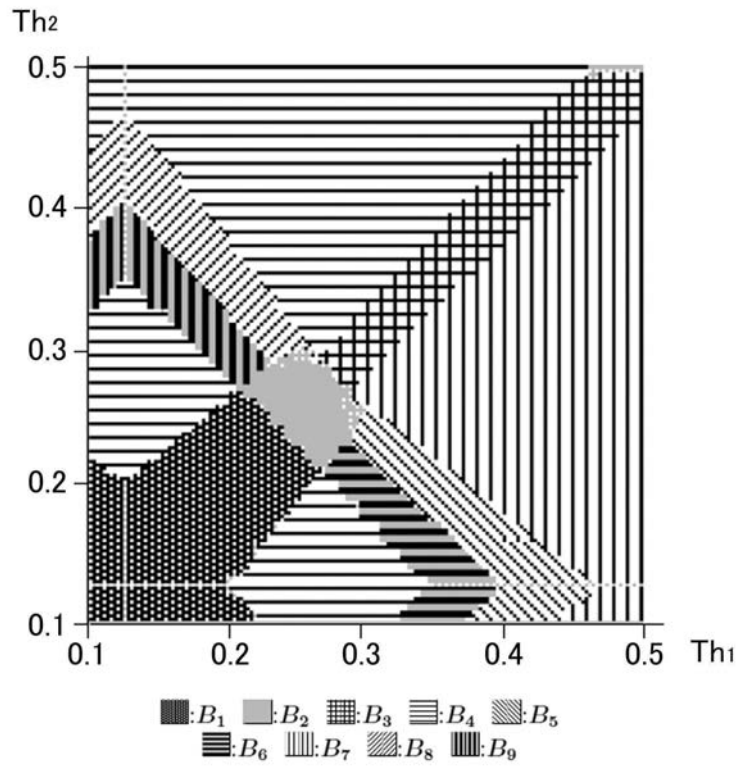
【 図 7 】



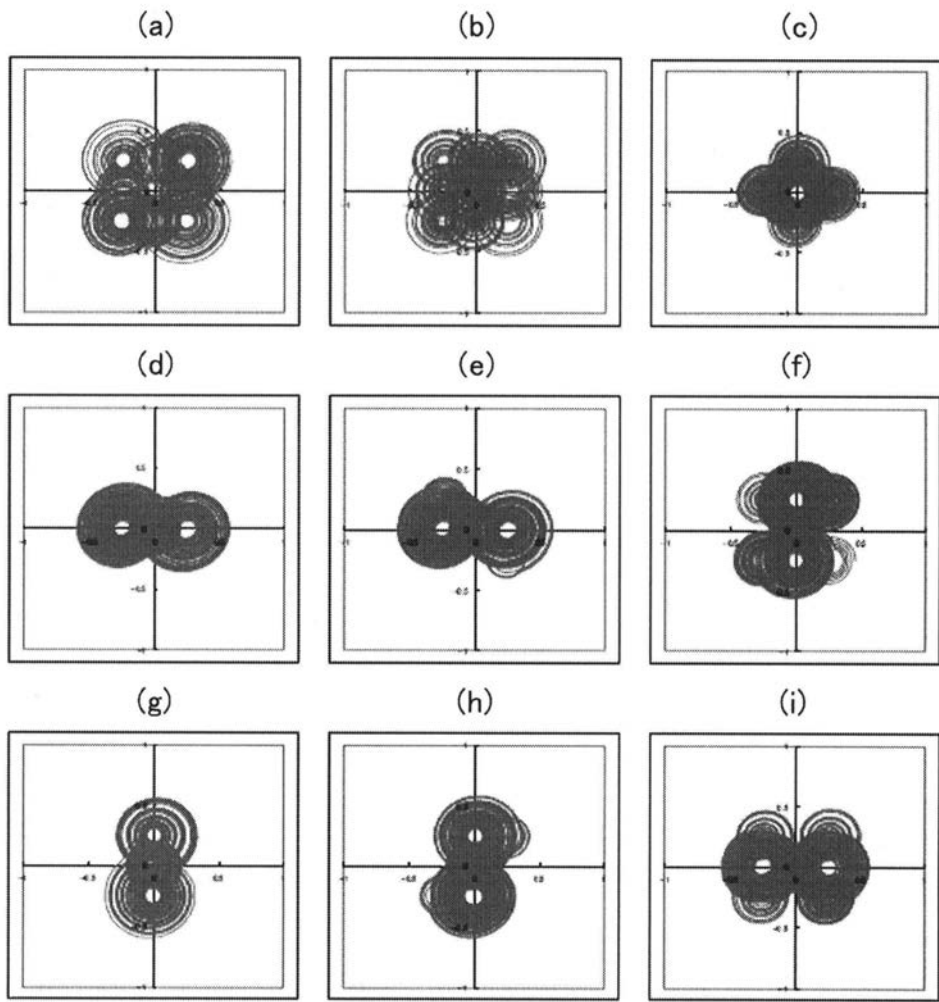
【 図 8 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(72)発明者 合原 一幸

日本国千葉県習志野市谷津四丁目8番8号208

審査官 石田 勝

(56)参考文献 KATAOKAほか, 「A 4-D CHAOTIC OSCILLATOR WITH A HYSTERESIS 2-PORT VCCS: THE FIRST EXAMPLE OF CHAOTIC OSCILLATORS CONSISTING OF 2-PORT VCCS AND CAPACITORS」, Proceedings of the IEEE International Symposium on Circuits and Systems, 米国, IEEE, 1999年, Vol.5, pp418-421

HAMADAほか, 「An IC Implementation of a Hysteresis Two-Port VCCS Chaotic Oscillator」, Proceedings of 18th European Conference on Circuit Theory and Design, 米国, IEEE, 2007年, pp926-929

(58)調査した分野(Int.Cl., D B名)

H03K 3/354

H03K 3/353