

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5170706号  
(P5170706)

(45) 発行日 平成25年3月27日 (2013. 3. 27)

(24) 登録日 平成25年1月11日 (2013.1.11)

(51) Int.Cl.		F I			
<b>G 1 1 C</b>	<b>11/15</b>	<b>(2006.01)</b>	<b>G 1 1 C</b>	<b>11/15</b>	<b>1 1 0</b>
<b>H O 3 K</b>	<b>3/037</b>	<b>(2006.01)</b>	<b>G 1 1 C</b>	<b>11/15</b>	<b>1 4 0</b>
<b>H O 3 K</b>	<b>3/356</b>	<b>(2006.01)</b>	<b>H O 3 K</b>	<b>3/037</b>	<b>Z</b>
			<b>H O 3 K</b>	<b>3/356</b>	<b>Z</b>

請求項の数 29 (全 48 頁)

(21) 出願番号	特願2009-530030 (P2009-530030)	(73) 特許権者	304021417
(86) (22) 出願日	平成20年7月31日 (2008. 7. 31)		国立大学法人東京工業大学
(86) 国際出願番号	PCT/JP2008/063787		東京都目黒区大岡山 2 丁目 1 2 番 1 号
(87) 国際公開番号	W02009/028298	(74) 代理人	100087480
(87) 国際公開日	平成21年3月5日 (2009. 3. 5)		弁理士 片山 修平
審査請求日	平成23年5月16日 (2011. 5. 16)	(72) 発明者	山本 修一郎
(31) 優先権主張番号	特願2007-225697 (P2007-225697)		日本国神奈川県横浜市緑区長津田町 4 2 5
(32) 優先日	平成19年8月31日 (2007. 8. 31)		9 国立大学法人東京工業大学内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	菅原 聡
(31) 優先権主張番号	特願2007-227261 (P2007-227261)		日本国神奈川県横浜市緑区長津田町 4 2 5
(32) 優先日	平成19年9月3日 (2007. 9. 3)		9 国立大学法人東京工業大学内
(33) 優先権主張国	日本国 (JP)	審査官	後藤 彰

最終頁に続く

(54) 【発明の名称】 スピン注入磁化反転MTJを用いた不揮発性SRAM/ラッチ回路

(57) 【特許請求の範囲】

【請求項 1】

データを記憶する双安定回路と、  
前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、  
前記強磁性トンネル接合素子に不揮発的に記憶されたデータを前記双安定回路にリストア可能であり、  
前記双安定回路は、第1インバータ回路と第2インバータ回路とがリング状に接続されており、  
前記強磁性トンネル接合素子は前記第1インバータ回路と前記第2インバータ回路とが

10

【請求項 2】

前記強磁性トンネル接合素子は、スピン注入磁化反転法により、前記強磁性電極フリー層の磁化方向を変更することを特徴とする請求項1記載の記憶回路。

【請求項 3】

前記データを前記双安定回路から前記強磁性トンネル接合素子にデータをストアする際に、前記制御線は前記強磁性トンネル接合素子にハイレベルの電圧を印加しさらにローレ

20

ベルの電圧を印加することを特徴とする請求項 1 または 2 記載の記憶回路。

【請求項 4】

前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に、前記制御線は前記強磁性トンネル接合素子にローレベルまたはハイレベルの電圧を印加することを特徴とする請求項 1 から 3 のいずれか一項記載の記憶回路。

【請求項 5】

前記ノードと前記強磁性トンネル接合素子との間に接続され、前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際および前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に導通するスイッチを具備することを特徴とする請求項 1 から 4 のいずれか一項記載の記憶回路。

10

【請求項 6】

前記スイッチは、M O S F E T を含むことを特徴とする請求項 5 記載の記憶回路。

【請求項 7】

前記ノードは互いに相補ノードである第 1 ノードと第 2 ノードを含み、

前記強磁性トンネル接合素子は、前記第 1 ノードと前記制御線との間に接続された第 1 強磁性トンネル接合素子と、前記第 2 ノードと前記制御線との間に接続された第 2 強磁性トンネル接合素子とを含むことを特徴とする請求項 1 から 4 のいずれか一項記載の記憶回路。

【請求項 8】

前記第 1 ノードと前記第 1 強磁性トンネル接合素子との間に、前記データを前記双安定回路から前記第 1 強磁性トンネル接合素子にストアする際および前記データを前記第 1 トンネル接合素子から前記双安定回路にリストアする際に導通する第 1 スwitchと、

20

前記第 2 ノードと前記第 2 強磁性トンネル接合素子との間に、前記データを前記第 2 強磁性トンネル接合素子から前記双安定回路にストアする際および前記データを前記第 2 強磁性トンネル接合素子から前記双安定回路にリストアする際に導通する第 2 スwitchと、を具備することを特徴とする請求項 7 記載の記憶回路。

【請求項 9】

前記第 1 スwitchおよび前記第 2 スwitchは、それぞれ M O S F E T を含むことを特徴とする請求項 8 記載の記憶回路。

【請求項 10】

30

前記制御線とローレベルまたはハイレベルの電力線との間に接続された第 3 スwitchを具備し、

前記第 3 スwitchは、前記データを前記双安定回路から前記第 1 強磁性トンネル接合素子および第 2 強磁性トンネル接合素子にストアする際に遮断し、前記データを前記第 1 強磁性トンネル接合素子および第 2 強磁性トンネル接合素子から前記双安定回路にリストアする際に導通することを特徴とする請求項 7 から 9 のいずれか一項記載の記憶回路。

【請求項 11】

前記ノードにデータを入出力するための入出力スイッチを具備することを特徴とする請求項 1 から 10 のいずれか一項記載の記憶回路。

【請求項 12】

40

前記入出力スイッチはワード線のレベルに応じ、前記ノードにデータを入出力することを特徴とする請求項 11 記載の記憶回路。

【請求項 13】

前記入出力スイッチは、前記第 1 ノードにデータを入出力するための第 1 入出力スイッチと、前記第 2 ノードにデータを入出力するための第 2 入出力スイッチとを有することを特徴とする請求項 7 から 10 のいずれか一項記載の記憶回路。

【請求項 14】

前記強磁性トンネル接合素子は、強磁性電極フリー層と、強磁性電極ピン層と、前記強磁性電極フリー層と前記強磁性電極ピン層との間に設けられたトンネル絶縁膜とを有することを特徴とする請求項 1 から 13 のいずれか一項記載の記憶回路。

50

## 【請求項 15】

1 以上の入力と 1 以上の出力を有する第 1 論理回路と、1 以上の入力と 1 以上の出力を有する第 2 論理回路と、を有し、データを記憶する双安定回路と、

前記第 1 論理回路の出力のうち 1 つと前記第 2 論理回路の入力のうち 1 つとが接続された第 1 ノードと、

前記第 2 論理回路の出力のうち 1 つと前記第 1 論理回路の入力のうち 1 つとが接続された第 2 ノードと、

前記第 1 ノードおよび前記第 2 ノードの少なくとも一方に接続され、前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、

前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際には記憶すべき相補的なデータがそれぞれ前記第 1 論理回路と前記第 2 論理回路から前記第 1 ノードおよび前記第 2 ノードに出力され、前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際は、前記第 1 論理回路の前記第 2 ノードに接続された入力以外の入力には前記第 1 論理回路が前記第 1 ノードに前記第 2 ノードの論理反転を出力するような信号が入力され、前記第 2 論理回路の前記第 1 ノードに接続された入力以外の入力には前記第 2 論理回路が前記第 2 ノードに前記第 1 ノードの論理反転を出力するような信号が入力されており、

前記強磁性トンネル接合素子は、前記第 1 ノードおよび前記第 2 ノードの少なくとも一方のノードに接続されており、

前記強磁性トンネル接合素子は、前記少なくとも一方のノードと制御線との間に接続され、前記少なくとも一方のノードと前記制御線との間に電流が流れることにより高抵抗となり、前記電流と反対方向に電流が流れることにより低抵抗となることを特徴とするラッチ回路。

## 【請求項 16】

第 1 インバータ回路と第 2 インバータ回路とがリング状に接続され、データを記憶する双安定回路と、

前記第 1 インバータ回路と前記第 2 インバータ回路とが接続され互いに相補ノードである第 1 ノードおよび第 2 ノードと、

前記双安定回路に入力線から前記データを書き込むための第 1 入力スイッチと、

前記第 1 入力スイッチと相補的に動作し、前記双安定回路のデータを保持するための第 2 入力スイッチと、

前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、

前記強磁性トンネル接合素子に不揮発的に記憶されたデータを前記双安定回路にリストア可能であり、

前記強磁性トンネル接合素子は、前記第 1 ノードおよび前記第 2 ノードの少なくとも一方のノードに接続されており、

前記強磁性トンネル接合素子は、前記少なくとも一方のノードと制御線との間に接続され、前記少なくとも一方のノードと前記制御線との間に電流が流れることにより高抵抗となり、前記電流と反対方向に電流が流れることにより低抵抗となることを特徴とするラッチ回路。

## 【請求項 17】

前記強磁性トンネル接合素子は、スピン注入磁化反転法により、前記強磁性電極フリー層の磁化方向を変更することを特徴とする請求項 15 または 16 記載のラッチ回路。

## 【請求項 18】

前記データを前記双安定回路から前記強磁性トンネル接合素子にデータをストアする際に、前記制御線は前記強磁性トンネル接合素子にハイレベルの電圧を印加しさらにローレベルの電圧を印加することを特徴とする請求項 15 から 17 のいずれか一項記載のラッチ回路。

10

20

30

40

50

## 【請求項 19】

前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に、前記制御線は前記強磁性トンネル接合素子にローレベルまたはハイレベルの電圧を印加することを特徴とする請求項 15 から 18 のいずれか一項記載のラッチ回路。

## 【請求項 20】

前記少なくとも一方のノードと前記強磁性トンネル接合素子との間に接続され、前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際および前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に導通するスイッチを具備することを特徴とする請求項 15 から 19 のいずれか一項記載のラッチ回路。

## 【請求項 21】

前記スイッチは、MOSFETを含むことを特徴とする請求項 20 記載のラッチ回路。

10

## 【請求項 22】

前記強磁性トンネル接合素子は、前記第1ノードと前記制御線との間に接続された第1強磁性トンネル接合素子と、前記第2ノードと前記制御線との間に接続された第2強磁性トンネル接合素子とを含むことを特徴とする請求項 15 から 19 のいずれか一項記載のラッチ回路。

## 【請求項 23】

前記第1ノードと前記第1強磁性トンネル接合素子との間に設けられ、前記データを前記双安定回路から前記第1強磁性トンネル接合素子にストアする際および前記データを前記第1強磁性トンネル接合素子から前記双安定回路にリストアする際に導通する第1スイッチと、

20

前記第2ノードと前記第2強磁性トンネル接合素子との間に設けられ、前記データを前記第2強磁性トンネル接合素子にストアさせる際および前記データを前記双安定回路にリストアする際に導通する第2スイッチと、を具備することを特徴とする請求項 22 記載のラッチ回路。

## 【請求項 24】

前記第1スイッチおよび前記第2スイッチは、それぞれMOSFETを含むことを特徴とする請求項 23 記載のラッチ回路。

## 【請求項 25】

前記制御線とローレベルまたはハイレベルの電力線との間に接続された第3スイッチを具備し、

30

前記第3スイッチは、前記データを前記双安定回路から前記第1強磁性トンネル接合素子および第2強磁性トンネル接合素子にストアする際に遮断し、前記データを前記第1強磁性トンネル接合素子および第2強磁性トンネル接合素子から前記双安定回路にリストアする際に導通することを特徴とする請求項 22 から 24 のいずれか一項記載のラッチ回路。

## 【請求項 26】

前記強磁性トンネル接合素子は、強磁性電極フリー層と、強磁性電極ピン層と、前記強磁性電極フリー層と前記強磁性電極ピン層との間に設けられたトンネル絶縁膜とを有することを特徴とする請求項 15 から 25 のいずれか一項記載のラッチ回路。

40

## 【請求項 27】

請求項 15 から 26 のいずれか一項記載のラッチ回路を有するフリップフロップ回路。

## 【請求項 28】

データを記憶する双安定回路と、

前記双安定回路に記憶されたデータを不揮発的にストアするスピントランジスタと、を具備し、

前記スピントランジスタに不揮発的に記憶されたデータを前記双安定回路にリストア可能であり、

前記双安定回路は、第1インバータ回路と第2インバータ回路とがリング状に接続されており、

50

前記スピントランジスタのソースおよびドレインの一方は、前記第1インバータ回路と前記第2インバータ回路とが接続されるノードに接続され、

前記スピントランジスタのソースおよびドレインの他方は、制御線に接続されることを特徴とする記憶回路。

【請求項29】

1以上の入力と1以上の出力を有する第1論理回路と、1以上の入力と1以上の出力を有する第2論理回路と、を有し、データを記憶する双安定回路と、

前記第1論理回路の出力のうち1つと前記第2論理回路の入力のうち1つとが接続された第1ノードと、

前記第2論理回路の出力のうち1つと前記第1論理回路の入力のうち1つとが接続された第2ノードと、

前記第1ノードおよび前記第2ノードの少なくとも一方に接続され、前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアするスピントランジスタと、を具備し、

前記データを前記双安定回路から前記スピントランジスタにストアする際には記憶すべき相補的なデータがそれぞれ前記第1論理回路と前記第2論理回路から前記第1ノードおよび前記第2ノードに出力され、前記データを前記スピントランジスタから前記双安定回路にリストアする際は、前記第1論理回路の前記第2ノードに接続された入力以外の入力には前記第1論理回路が前記第1ノードに前記第2ノードの論理反転を出力するような信号が入力され、前記第2論理回路の前記第1ノードに接続された入力以外の入力には前記第2論理回路が前記第2ノードに前記第1ノードの論理反転を出力するような信号が入力されており、

前記スピントランジスタのソースおよびドレインの一方は、前記第1ノードおよび前記第2ノードの少なくとも一方のノードに接続され、

前記スピントランジスタのソースおよびドレインの他方は、制御線に接続されることを特徴とするラッチ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶回路、ラッチ回路およびフリップフロップ回路に関し、特に双安定回路と強磁性トンネル接合素子とを有する記憶回路、ラッチ回路およびフリップフロップ回路に関する。

【背景技術】

【0002】

電子機器等に用いられる揮発性の記憶回路として、SRAM (Static Random Access Memory) がよく知られている。図1はMOS (Metal Oxide Semiconductor) 電界効果トランジスタ (FET: Field Effect Transistor) を用いたSRAMのメモリセルを示す回路図である。メモリセルは、双安定回路30、2つの入出力トランジスタm5、m6を有している。双安定回路30は、CMOSインバータ10 (第1インバータ回路) およびCMOSインバータ20 (第2インバータ回路) がリング状に接続されている。インバータ10は、p型MOSFET m1とn型MOSFET m2とを有している。FET m1とFET m2において、ソースがそれぞれ電源V supplyおよびグランドに、ゲートが共通にノードQに、ドレインが共通にノードQBに接続されている。インバータ20はp型MOSFET m3とn型MOSFET m4とを有している。FET m3とFET m4において、ソースがそれぞれ電源V supplyおよびグランドに、ゲートが共通にノードQBに、ドレインが共通にノードQに接続されている。このように、インバータ10およびインバータ20はリング状に接続されている。ノードQはn型FET m5を介しデータ入出力線DINに接続され、ノードQBはn型FET m6を介しデータ入出力線DINBに接続されている。FET m5およびm6のゲートはワード線WLに接続されている。

10

20

30

40

50

## 【 0 0 0 3 】

このような構成により、双安定回路 30 にデータを書き込み、保持し、読み出すことができる。しかしながら、S R A M はデータを保持している間は電力を消費する。また、電源を遮断すると、双安定回路 30 に記憶していたデータは消失してしまう。双安定回路 30 は対称構造を有しており、対称的に動作するため、電源遮断後、ノード Q および Q B が一旦同電位となると、電源を復帰させてもデータを復帰させることができない。これは、電源を復帰させる際、ノード Q および Q B の電位が同電位のまま推移し、ある時点で、外来ノイズ等により電源遮断前のデータに関係なく、データが決定されるためである。

## 【 0 0 0 4 】

また、電子機器等に用いられる揮発性のラッチ回路がよく知られている。ラッチ回路の一例として、図 2 は M O S ( M e t a l O x i d e S e m i c o n d u c t o r ) 電界効果トランジスタ ( F E T : F i e l d E f f e c t T r a n s i s t o r ) を用いた D ラッチ回路の回路図である。D ラッチ回路は、双安定回路 30、パスゲート 80 および 90 を有している。双安定回路 30 は、C M O S インバータ 10 ( 第 1 インバータ回路 ) および C M O S インバータ 20 ( 第 2 インバータ回路 ) がパスゲート 90 を介してリング状に接続されている。インバータ 10 は、p 型 M O S F E T m 1 と n 型 M O S F E T m 2 とを有している。F E T m 1 と F E T m 2 において、ソースがそれぞれ電源 V s u p p l y およびグランドに、ゲートが共通にノード Q に、ドレインが共通にノード Q B に接続されている。インバータ 20 は p 型 M O S F E T m 3 と n 型 M O S F E T m 4 とを有している。F E T m 3 と F E T m 4 において、ソースがそれぞれ電源 V s u p p l y およびグランドに、ゲートが共通にノード Q B に、ドレインが共通にパスゲート 90 を介してノード Q に接続されている。このように、インバータ 10 およびインバータ 20 はリング状に接続されている。

## 【 0 0 0 5 】

パスゲート 80 ( 第 1 入力スイッチ ) は、入力線 D I N とノード Q との間に接続されている。パスゲート 80 は p 型 M O S F E T m 5 と n 型 M O S F E T m 6 とを有している。F E T m 5 と m 6 のソースとドレイン同士が接続されている。F E T m 5 のゲートにはクロック補信号 C L K B が入力し、F E T m 6 のゲートにはクロック信号 C L K が入力する。クロック信号 C L K としてハイレベルが入力すると、F E T m 5 と m 6 とは共に導通し、パスゲート 80 は導通する。パスゲート 90 ( 第 2 入力スイッチ ) は、ノード Q とインバータ 20 との間に接続されている。パスゲート 90 は、p 型 M O S F E T m 7 と n 型 M O S F E T m 8 とを有している。F E T m 7 のゲートにはクロック信号 C L K が入力し、F E T m 8 のゲートにはクロック補信号 C L K B が入力する。クロック信号 C L K としてローレベルが入力すると、F E T m 7 と m 8 とは共に導通し、パスゲート 90 は導通する。その他の接続および動作はパスゲート 80 と同じである。

## 【 0 0 0 6 】

このような構成により、クロック信号 C L K がハイレベルのとき、パスゲート 80 は導通し、パスゲート 90 は遮断状態となる。これにより、入力線 D I N のデータが双安定回路 30 に書き込まれる。クロック信号 C L K がローレベルのとき、パスゲート 80 は遮断状態となり、パスゲート 90 は導通する。これにより、双安定回路 30 がデータを保持する。双安定回路 30 に記憶されたデータはノード Q または Q B からデータを出力することができる。揮発性の D ラッチ回路はデータを保持している間においても電力を消費する。また、電源を遮断すると、双安定回路 30 に記憶していたデータは消失してしまう。双安定回路 30 はパスゲート 90 が遮断状態のとき、双安定回路としては機能せず、一方でパスゲート 80 が導通状態にあるので、ノード Q には入力線 D I N のデータが書き込まれ、ノード Q B にはノード Q の論理反転データが書き込まれる。したがって、電源遮断前のデータに関係なく、ノード Q および Q B のデータが決定される。また、双安定回路 30 はパスゲート 90 が導通状態の場合においてインバータ 10 とインバータ 20 の入力と出力が互いに接続される対称構造を有しており、対称的に動作するため、電源遮断後、ノード Q および Q B が一旦同電位となると、電源を復帰させてもデータを復帰させることができな

10

20

30

40

50

い。これは、電源を復帰させる際、ノードQおよびQBの電位が同電位のまま推移し、ある時点で、外来ノイズ等により電源遮断前のデータに関係なく、ノードQおよびQBのデータが決定されるためである。

【0007】

電源を遮断してもデータが消失しない不揮発性の記憶回路として、フラッシュメモリ、MRAM (Magnetic Random Access Memory)、FeRAM (Ferroelectric Random Access Memory) およびPRAM (Phase-change Random Access Memory) 等が知られている。これらの記憶回路においては、電源を遮断してもデータが消失しないため、その後電源を復帰すれば、データを読み出すことができる。

10

【0008】

特許文献1には、ラッチ回路の相補的なノードにそれぞれ強磁性トンネル接合素子が接続されたMRAMが開示されている。

【特許文献1】特開2006-19008号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

SRAMは、高速にデータを書き込み、読み出しすることができる。一方、フラッシュメモリ、MRAM、FeRAMおよびPRAM等は、データを書き込み、読み出しする速度が遅い。このように、SRAMは高速であるが、電源を遮断するとデータが消失してしまう。一方、従来の不揮発性メモリは、電源を遮断してもデータは消失しないが、高速動作は難しい。

20

【0010】

SRAMはデータアクセスのなされていない記憶保持状態(待機状態)においてもリーク電流によって電力消費を生じる。不揮発性のSRAMが実現できれば、待機時消費電力の削減と、データの書き込み、読み出しの高速動作を両立することができる。

【0011】

また、図2のようにCMOSを用いたラッチ回路は、高速にデータを書き込むことができ、いつでも出力線を駆動し、データ出力が可能である。一方、フラッシュメモリ、MRAM、FeRAMおよびPRAM等の不揮発性メモリは、データを書き込み、読み出しする速度が遅い。さらに、記憶素子から、外部出力線へ取り出す操作(読み出し操作)が必要である。このように、CMOSを用いたラッチ回路は高速で電源供給時にはいつでも出力線を駆動できるという利点があるが、電源を遮断するとデータが消失してしまう。一方、従来の不揮発性メモリは、電源を遮断してもデータは消失しないが、高速動作は難しい。さらに、記憶素子から、外部出力線へ取り出す操作(読み出し操作)が必要である。

30

【0012】

ラッチ回路はデータ入力ゲートであるパスゲート80が遮断された記憶保持状態(待機状態)においてもリーク電流によって電力消費を生じる。不揮発性のラッチ回路が実現できれば、待機時消費電力の削減と、データの書き込み、出力の高速動作、電源供給時にいつでも出力線を駆動しデータ出力が可能であるという長所を全て達成することができる。

40

【0013】

本発明は、上記課題に鑑みなされたものであり、高速動作可能で、かつ電源を遮断した後電源を復帰しても電源遮断前に記憶されたデータを読み出し可能な記憶回路、ラッチ回路およびフリップフロップ回路を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明は、データを記憶する双安定回路と、双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、前記強磁性トンネル接合素子に不揮発的に記憶されたデータを前記双安定回路にリスト

50

ア可能であることを特徴とする記憶回路である。本発明によれば、双安定回路へのデータの書き込みおよび読み出しを高速に行うことができる。また、電源が遮断されても強磁性トンネル接合素子に不揮発的にストアされたデータを双安定回路にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前に記憶されたデータを読み出し可能となる。したがって、待機状態において電源遮断を行うことにより記憶回路の消費電力を削減することができる。

【0015】

上記構成において、前記強磁性トンネル接合素子は、スピン注入磁化反転法により、前記強磁性電極フリー層の磁化方向を変更する構成とすることができる。

【0016】

上記構成において、前記双安定回路は、第1インバータ回路と第2インバータ回路とがリング状に接続されており、前記強磁性トンネル接合素子は前記第1インバータ回路と前記第2インバータ回路とが接続されるノードに接続されている構成とすることができる。

【0017】

上記構成において、前記強磁性トンネル接合素子は、前記ノードと制御線との間に接続され、前記ノードと前記制御線との間に電流が流れることにより高抵抗となり、前記電流と反対方向に電流が流れることにより低抵抗となる構成とすることができる。この構成によれば、強磁性トンネル接合素子にデータをストアすることができる。

【0018】

上記構成において、前記データを前記双安定回路から前記強磁性トンネル接合素子にデータをストアする際に、前記制御線は前記強磁性トンネル接合素子にハイレベルの電圧を印加しさらにローレベルの電圧を印加する構成とすることができる。この構成によれば、強磁性トンネル接合素子にデータをストアすることができる。

【0019】

上記構成において、前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に、前記制御線は前記強磁性トンネル接合素子にローレベルまたはハイレベルの電圧を印加する構成とすることができる。この構成によれば、双安定回路にデータをリストアすることができる。

【0020】

上記構成において、前記ノードと前記強磁性トンネル接合素子との間に接続され、前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際および前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に導通するスイッチを具備する構成とすることができる。この構成によれば、スイッチにより消費電力を削減することができる。

【0021】

上記構成において、前記スイッチは、MOSFETを含む構成とすることができる。この構成によれば、スイッチを簡単に構成することができる。

【0022】

上記構成において、前記ノードは互いに相補ノードである第1ノードと第2ノードを含み、前記強磁性トンネル接合素子は、前記第1ノードと前記制御線との間に接続された第1強磁性トンネル接合素子と、前記第2ノードと前記制御線との間に接続された第2強磁性トンネル接合素子とを含む構成とすることができる。この構成によれば、第1強磁性トンネル接合素子と第2強磁性トンネル接合素子とにより安定な動作を行うことができる。

【0023】

上記構成において、前記第1ノードと前記第1強磁性トンネル接合素子との間に、前記データを前記双安定回路から前記第1強磁性トンネル接合素子にストアする際および前記データを前記第1トンネル接合素子から前記双安定回路にリストアする際に導通する第1スイッチと、前記第2ノードと前記第2強磁性トンネル接合素子との間に、前記データを前記第2強磁性トンネル接合素子から前記双安定回路にストアする際および前記データを前記第2強磁性トンネル接合素子から前記双安定回路にリストアする際に導通する第2ス

10

20

30

40

50



イッチと、を具備する構成とすることができる。この構成によれば、第1スイッチおよび第2スイッチにより消費電力を削減することができる。

【0024】

上記構成において、前記第1スイッチおよび前記第2スイッチは、それぞれMOSFETを含む構成とすることができる。この構成によれば、スイッチを簡単に構成することができる。この構成によれば、第1スイッチおよび第2スイッチを簡単に構成することができる。

【0025】

上記構成において、前記制御線とローレベルまたはハイレベルの電力線との間に接続された第3スイッチを具備し、前記第3スイッチは、前記データを前記双安定回路から前記第1強磁性トンネル接合素子および第2強磁性トンネル接合素子にストアする際に遮断し、前記データを前記第1強磁性トンネル接合素子および第2強磁性トンネル接合素子から前記双安定回路にリストアする際に導通する構成とすることができる。この構成によれば、高速な動作が可能となる。

【0026】

上記構成において、前記ノードにデータを入出力するための入出力スイッチを具備する構成とすることができる。

【0027】

上記構成において、前記入出力スイッチはワード線のレベルに応じ、前記ノードにデータを入出力する構成とすることができる。

【0028】

上記構成において、前記入出力スイッチは、前記第1ノードにデータを入出力するための第1入出力スイッチと、前記第2ノードにデータを入出力するための第2入出力スイッチとを有する構成とすることができる。

【0029】

上記構成において、前記第1インバータ回路および前記第2インバータ回路はインバータ回路である構成とすることができる。

【0030】

上記構成において、前記強磁性トンネル接合素子は、強磁性電極フリー層と、強磁性電極ピン層と、前記強磁性電極フリー層と前記強磁性電極ピン層との間に設けられたトンネル絶縁膜とを有する構成とすることができる。

【0031】

本発明は、1以上の入力と1以上の出力を有する第1論理回路と、1以上の入力と1以上の出力を有する第2論理回路と、を有し、データを記憶する双安定回路と、前記第1論理回路の出力のうち1つと前記第2論理回路の入力のうち1つとが接続された第1ノードと、前記第2論理回路の出力のうち1つと前記第1論理回路の入力のうち1つとが接続された第2ノードと、前記第1ノードおよび前記第2ノードの少なくとも一方に接続され、前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際には記憶すべき相補的なデータがそれぞれ前記第1論理回路と前記第2論理回路から前記第1ノードおよび前記第2ノードに出力され、および前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際は、前記第1論理回路の前記第2ノードに接続された入力以外の入力には前記第1論理回路が前記第1ノードに前記第2ノードの論理反転を出力するような信号が入力され、前記第2論理回路の前記第1ノードに接続された入力以外の入力には前記第2論理回路が前記第2ノードに前記第1ノードの論理反転を出力するような信号が入力されていることを特徴とするラッチ回路である。本発明によれば、双安定回路へのデータの書き込みおよび出力を高速に行うことができ、電源供給時において常に出力線を駆動することができる。また、電源が遮断されても強磁性トンネル接合素子に不揮発的にストアされたデータを双安定回路にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断

10

20

30

40

50

前のデータを出力可能となる。したがって、待機状態において電源遮断を行うことによりラッチ回路の消費電力を削減することができる。

【0032】

本発明は、第1インバータ回路と第2インバータ回路とがリング状に接続され、データを記憶する双安定回路と、前記第1インバータ回路と前記第2インバータ回路とが接続され互いに相補ノードである第1ノードおよび第2ノードと、前記双安定回路に入力線から前記データを書き込むための第1入力スイッチと、前記第1入力スイッチと相補的に動作し、前記双安定回路のデータを保持するための第2入力スイッチと、前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、前記強磁性トンネル接合素子に不揮発的に記憶されたデータを前記双安定回路にリストア可能であることを特徴とするラッチ回路である。本発明によれば、双安定回路へのデータの書き込みおよび出力を高速に行うことができる。また、電源が遮断されても強磁性トンネル接合素子に不揮発的にストアされたデータを双安定回路にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前のデータを出力可能となる。したがって、待機状態において電源遮断を行うことによりラッチ回路の消費電力を削減することができる。

10

【0033】

上記構成において、前記強磁性トンネル接合素子は、スピン注入磁化反転法により、前記強磁性電極フリー層の磁化方向を変更する構成とすることができる。

【0034】

上記構成において、前記強磁性トンネル接合素子は、前記第1ノードおよび前記第2ノードの少なくとも一方のノードに接続されている構成とすることができる。

20

【0035】

上記構成において、前記強磁性トンネル接合素子は、前記少なくとも一方のノードと制御線との間に接続され、前記少なくとも一方のノードと前記制御線との間に電流が流れることにより高抵抗となり、前記電流と反対方向に電流が流れることにより低抵抗となる構成とすることができる。この構成によれば、強磁性トンネル接合素子にデータをストアすることができる。

【0036】

上記構成において、前記データを前記双安定回路から前記強磁性トンネル接合素子にデータをストアする際に、前記制御線は前記強磁性トンネル接合素子にハイレベルの電圧を印加しさらにローレベルの電圧を印加する構成とすることができる。この構成によれば、強磁性トンネル接合素子にデータをストアすることができる。

30

【0037】

上記構成において、前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に、前記制御線は前記強磁性トンネル接合素子にローレベルまたはハイレベルの電圧を印加する構成とすることができる。この構成によれば、双安定回路にデータをリストアすることができる。

【0038】

上記構成において、前記少なくとも一方のノードと前記強磁性トンネル接合素子との間に接続され、前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際および前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に導通するスイッチを具備する構成とすることができる。この構成によれば、スイッチにより消費電力を削減することができる。

40

【0039】

上記構成において、前記スイッチは、MOSFETを含む構成とすることができる。この構成によれば、スイッチを簡単に構成することができる。

【0040】

上記構成において、前記強磁性トンネル接合素子は、前記第1ノードと前記制御線との間に接続された第1強磁性トンネル接合素子と、前記第2ノードと前記制御線との間に接

50

続された第2強磁性トンネル接合素子とを含む構成とすることができる。この構成によれば、第1強磁性トンネル接合素子と第2強磁性トンネル接合素子とにより安定な動作を行うことができる。

【0041】

上記構成において、前記第1ノードと前記第1強磁性トンネル接合素子との間に設けられ、前記データを前記双安定回路から前記第1強磁性トンネル接合素子にストアする際および前記データを前記第1強磁性トンネル接合素子から前記双安定回路にリストアする際に導通する第1スイッチと、前記第2ノードと前記第2強磁性トンネル接合素子との間に設けられ、前記データを前記第2強磁性トンネル接合素子にストアさせる際および前記データを前記双安定回路にリストアする際に導通する第2スイッチと、を具備する構成とす

10

【0042】

上記構成において、前記第1スイッチおよび前記第2スイッチは、それぞれMOSFETを含む構成とすることができる。この構成によれば、スイッチを簡単に構成することができる。この構成によれば、第1スイッチおよび第2スイッチを簡単に構成することができる。

【0043】

上記構成において、前記制御線とローレベルまたはハイレベルの電力線との間に接続された第3スイッチを具備し、前記第3スイッチは、前記データを前記双安定回路から前記第1強磁性トンネル接合素子および第2強磁性トンネル接合素子にストアする際に遮断し、前記データを前記第1強磁性トンネル接合素子および第2強磁性トンネル接合素子から前記双安定回路にリストアする際に導通することを構成とすることができる。この構成によれば、高速な動作が可能となる。

20

【0044】

上記構成において、前記強磁性トンネル接合素子は、強磁性電極フリー層と、強磁性電極ピン層と、前記強磁性電極フリー層と前記強磁性電極ピン層との間に設けられたトンネル絶縁膜とを有する構成とすることができる。

【0045】

本発明は、上記ラッチ回路を有するフリップフロップ回路である。

30

【発明の効果】

【0046】

本発明によれば、双安定回路へのデータの書き込みおよび読み出しを高速に行うことができる。また、電源が遮断されても強磁性トンネル接合素子に不揮発的にストアされたデータを双安定回路にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前に記憶されたデータを読み出し可能となる。

【図面の簡単な説明】

【0047】

【図1】図1は、SRAMに用いられる記憶回路の回路図である。

【図2】図2は、集積回路に用いられるラッチ回路の回路図である。

40

【図3】図3は、実施例1に係る記憶回路のブロック図である。

【図4】図4(a)から図4(c)は、強磁性トンネル接合素子を説明するための図である。

【図5】図5は、実施例2に係る記憶回路の回路図である。

【図6】図6(a)および図6(b)は、データのストアを説明するための図(その1)である。

【図7】図7(a)および図7(b)は、データのストアを説明するための図(その2)である。

【図8】図8は、データのリストアを説明するための図(その1)である。

【図9】図9(a)から図9(c)は、データのリストアを説明するための図(その2)

50

である。

【図10】図10は、データのリストアを説明するための図(その3)である。

【図11】図11(a)から図11(c)は、データのリストアを説明するための図(その4)である。

【図12】図12は、INV1およびINV2を示す図である。

【図13】図13(a)および図13(b)は、インバータの入出力特性を示す図である。

【図14】図14(a)から図14(d)は、データのリストアを説明するための図(その5)である。

【図15】図15は、実施例2のタイミングチャートである。

【図16】図16は、シミュレーションに用いた強磁性トンネル接合素子の電流 - 電圧特性を示す図である。

【図17】図17(a)から図17(d)は、実施例2のシミュレーション結果を示す図である。

【図18】図18は、実施例3に係る記憶回路の回路図である。

【図19】図19(a)から図19(d)は、実施例3のシミュレーション結果を示す図(その1)である。

【図20】図20(a)および図20(b)は、実施例3のシミュレーション結果を示す図(その2)である。

【図21】図21(a)および図21(b)は、実施例4に係る記憶回路の回路図である。

【図22】図22(a)および図22(b)は、実施例5に係る記憶回路の回路図である。

【図23】図23(a)および図23(b)は、実施例6に係る記憶回路の回路図である。

【図24】図24は、実施例7に係る記憶回路の回路図である。

【図25】図25は、実施例8に係る記憶回路の回路図である。

【図26】図26は、実施例8のタイミングチャートである。

【図27】図27(a)から図27(d)は、実施例8のシミュレーション結果を示す図である。

【図28】図28は、実施例9に係る記憶回路の回路図である。

【図29】図29(a)から図29(d)は、実施例9のシミュレーション結果を示す図である。

【図30】図30は、実施例10に係る記憶回路の回路図である。

【図31】図31は、実施例11に係る記憶回路の回路図である。

【図32】図32は、実施例12に係る記憶回路の回路図である。

【図33】図33は、実施例12のタイミングチャートである。

【図34】図34は、実施例13に係るラッチ回路の回路図である。

【図35】図35(a)および図35(b)は、データのストアを説明するための図(その1)である。

【図36】図36(a)および図36(b)は、データのストアを説明するための図(その2)である。

【図37】図37は、データのリストアを説明するための図(その1)である。

【図38】図38(a)から図38(c)は、データのリストアを説明するための図(その2)である。

【図39】図39は、INV1およびINV2を示す図である。

【図40】図40(a)および図40(b)は、インバータの入出力特性を示す図である。

【図41】図41(a)から図41(d)は、データのリストアを説明するための図(その3)である。

10

20

30

40

50

【図 4 2】図 4 2 は、実施例 1 3 のタイミングチャートである。

【図 4 3】図 4 3 は、シミュレーションに用いた強磁性トンネル接合素子の電流 - 電圧特性を示す図である。

【図 4 4】図 4 4 ( a ) から図 4 4 ( d ) は、実施例 1 3 のシミュレーション結果を示す図である。

【図 4 5】図 4 5 は、実施例 1 4 に係るラッチ回路の回路図である。

【図 4 6】図 4 6 ( a ) から図 4 6 ( d ) は、実施例 1 4 のシミュレーション結果を示す図 ( その 1 ) である。

【図 4 7】図 4 7 ( a ) および図 4 7 ( b ) は、実施例 1 4 のシミュレーション結果を示す図 ( その 2 ) である。

10

【図 4 8】図 4 8 ( a ) および図 4 8 ( b ) は、実施例 1 5 に係るラッチ回路の回路図である。

【図 4 9】図 4 9 ( a ) および図 4 9 ( b ) は、実施例 1 6 に係るラッチ回路の回路図である。

【図 5 0】図 5 0 ( a ) および図 5 0 ( b ) は、実施例 1 7 に係るラッチ回路の回路図である。

【図 5 1】図 5 1 は、実施例 1 8 に係るラッチ回路の回路図である。

【図 5 2】図 5 2 は、実施例 1 9 に係るラッチ回路の回路図である。

【図 5 3】図 5 3 は、実施例 1 9 のタイミングチャートである。

【図 5 4】図 5 4 ( a ) から図 5 4 ( d ) は、実施例 1 9 のシミュレーション結果を示す図である。

20

【図 5 5】図 5 5 は、実施例 2 0 に係るラッチ回路の回路図である。

【図 5 6】図 5 6 ( a ) から図 5 6 ( d ) は、実施例 2 0 のシミュレーション結果を示す図である。

【図 5 7】図 5 7 は、実施例 2 1 に係るラッチ回路の回路図である。

【図 5 8】図 5 8 は、実施例 2 2 に係るラッチ回路の回路図である。

【図 5 9】図 5 9 は、実施例 2 3 に係るフリップフロップ回路の回路図である。

【図 6 0】図 6 0 は、実施例 2 4 に係るラッチ回路の回路図である。

【図 6 1】図 6 1 ( a ) および図 6 1 ( b ) は、第 1 論理回路および第 2 論理回路の例を示す回路図である。

30

【図 6 2】図 6 2 は、実施例 2 5 に係るラッチ回路の回路図である。

【図 6 3】図 6 3 は、実施例 2 5 のタイミングチャートである。

【発明を実施するための最良の形態】

【 0 0 4 8 】

以下、本発明の実施例について図面を参照に説明する。

【実施例 1】

【 0 0 4 9 】

図 3 は、実施例 1 に係る記憶回路のブロック図であり、本発明の原理を説明するための図である。実施例 1 に係る記憶回路は、第 1 インバータ回路 1 5、第 2 インバータ回路 2 5、強磁性トンネル接合 ( T M J ) 素子 5 0 および入出力スイッチ 6 0 を有している。第 1 インバータ回路 1 5 と第 2 インバータ回路 2 5 はリング状に接続され双安定回路 3 0 を構成している。第 1 インバータ回路 1 5 および第 2 インバータ回路 2 5 は、例えば図 1 のインバータ 1 0 および 2 0 である。第 1 インバータ回路 1 5 と第 2 インバータ回路 2 5 が接続されたノードがそれぞれノード Q、Q B である。ノード Q とノード Q B とは互いに相補ノードであり、双安定回路 3 0 は、ノード Q およびノード Q B がそれぞれハイレベルおよびローレベル、または、ノード Q およびノード Q B がそれぞれローレベルおよびハイレベルとなることにより安定状態となる。双安定回路 3 0 は、安定状態となることにより、データを記憶することができる。強磁性トンネル接合素子 5 0 は、後述するように強磁性電極フリー層の磁化方向に応じ双安定回路 3 0 に記憶されたデータを不揮発的にストアする。また、強磁性トンネル接合素子 5 0 に不揮発的に記憶されたデータは双安定回路 3 0

40

50

にリストア可能である。入出力スイッチ60は入出力線とノードQとを遮断または導通させる。入出力スイッチ60が導通することにより、双安定回路30に入出力線のデータを記憶させることができる。また、双安定回路30のデータを入出力線に読み出すことができる。

#### 【0050】

実施例1によれば、双安定回路30へのデータの書き込みおよび読み出しは強磁性トンネル接合素子50の無い回路と同様、高速に書き込みおよび読み出すことができる。双安定回路30に記憶されたデータを、強磁性トンネル接合素子50が不揮発的にストアする。これにより、電源が遮断しても強磁性トンネル接合素子50に不揮発的にストアされたデータを双安定回路30にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前に記憶されたデータを読み出し可能となる。

10

#### 【0051】

図4(a)は、強磁性トンネル接合素子の一例を示す図である。強磁性トンネル接合素子40は、強磁性電極フリー層42と、強磁性電極ピン層46と、強磁性電極フリー層42と強磁性電極ピン層46との間に設けられたトンネル絶縁膜44とを有する。強磁性電極フリー層42および強磁性電極ピン層46は、強磁性金属、ハーフメタル強磁性体または強磁性半導体からなる。強磁性電極フリー層42は、磁化方向を変更することができる。一方、強磁性電極ピン層46は、磁化方向が固定されている。強磁性電極フリー層42と強磁性電極ピン層46との磁化方向が平行な状態を平行磁化、反平行な場合を反平行磁化という。

20

#### 【0052】

図4(b)は、強磁性トンネル接合素子40の電流-電圧特性を示す図である。図4(a)のように、強磁性電極ピン層46に対し強磁性電極フリー層42に印加される電圧Vおよび強磁性電極フリー層42から強磁性電極ピン層46に流れる電流Iで定義する。このときの強磁性トンネル接合素子40のシンボルを図4(c)のように定義する。図4(b)を参照に、平行磁化状態の強磁性トンネル接合素子40の抵抗 $R_p$ は、反平行磁化状態の強磁性トンネル接合素子40の抵抗 $R_{ap}$ より小さくなる。一般に、 $R_p$ と $R_{ap}$ は強磁性トンネル接合に印加される電圧の関数であるが、以下では近似的には抵抗値が一定の抵抗として取り扱う。 $R_p$ と $R_{ap}$ が一定抵抗でない場合でも以下の議論は同様に成り立つ。反平行磁化状態において、強磁性トンネル接合素子40に印加される電圧Vが大きくなると、電流Iは抵抗 $R_{ap}$ の逆数の傾きで大きくなる(図4(b)のA)。電流Iが閾値電流 $I_{TF}$ を越えると、強磁性電極ピン層46から強磁性電極フリー層42に注入される強磁性電極ピン層46の多数スピンの電子により、強磁性電極フリー層42の磁化が反転し、平行磁化状態となる(図4(b)のB)。これにより、強磁性トンネル接合素子40の抵抗は $R_p$ となる。一方、平行磁化状態で負の電流Iが流れ(図4(b)のC)、閾値電流 $I_{TR}$ を負に越えると、強磁性電極フリー層42から強磁性電極ピン層46に注入される電子のうち、強磁性電極フリー層42の少数スピンの電子は強磁性電極ピン層46によって反射される。これにより、強磁性電極フリー層42の磁化が反転し、反平行磁化状態となる(図4(b)のD)。このように、スピン偏極した電荷の注入により磁化方向を変更させる強磁性電極フリー層の磁化方向を反転させる方法をスピン注入磁化反転法という。スピン注入磁化反転法は、磁界を発生させ磁化方向を変更する方法に比べ、磁化方向の変更に要する消費電力を削減できる可能性がある。また、磁場を発生させ磁化方向を変更する方法に比べると、漏洩磁場の問題がないことから、選択セル以外のセルに誤書き込みや誤除去を発生するディスタープの影響を受け難く、高密度集積化に向いている。

30

40

#### 【実施例2】

#### 【0053】

図5は実施例2に係る記憶回路の回路図である。図5を参照に、実施例1に係る記憶回路は、図1のSRAMセルに加え、n型FETm7、m8、強磁性トンネル接合素子MTJ1、MTJ2を有している。ノードQと制御線CTRLとの間にFETm7と強磁性トンネル接合素子MTJ1とが接続され、ノードQBと制御線CTRLとの間にFETm8

50

と強磁性トンネル接合素子M T J 2とが接続されている。F E T m 7およびm 8のゲートはスイッチ線S Tに接続されている。

【 0 0 5 4 】

実施例2に係る記憶回路の動作について説明する。双安定回路30へのデータの書き込みおよび読み出しは、従来のS R A Mと同じように行われる。すなわち、ワード線W LをハイレベルとしF E T m 5およびm 6を導通状態とすることにより、双安定回路30に入出力線D I NおよびD I N Bのデータが書き込まれる。また、入出力線D I NおよびD I N Bを等電位の浮遊状態としワード線W LをハイレベルとしF E T m 5およびm 6を導通状態とすることにより、双安定回路30のデータを入出力線D I NおよびD I N Bに読み出すことができる。F E T m 5およびm 6を遮断状態とすることにより、双安定回路30のデータが保持される。なお、双安定回路30へのデータの書き込み、読み出し、保持の際、スイッチ線S Tはローレベルとし、F E T m 7およびm 8は遮断状態とすることが好ましい。これにより、ノードQおよびQ Bと制御線C T R L間の電流を抑制し、消費電力を削減することができる。

【 0 0 5 5 】

双安定回路30に記憶されたデータを強磁性トンネル接合素子M T J 1およびM T J 2に不揮発的にストアする方法を説明する。まず、ノードQがハイレベル“H”、ノードQ Bがローレベル“L”のデータが保持されている場合について説明する。なお、以降の回路図のうち図6、図7、図9、図11において、導通状態のF E T等は実線、非導通状態のF E T等は破線で示す。図6(a)および図6(b)を参照に、ワード線W Lをローレベルとする。これにより、F E T m 5およびm 6は遮断状態となり、双安定回路30にデータが保持される。図6(a)を参照に、スイッチ線S Tをハイレベルとし制御線C T R Lをローレベルとする。ノードQからF E T m 7を介し制御線C T R Lに電流 $I_{M T J 1}$ が流れる。電流 $I_{M T J 1}$ が閾値電流 $I_{T R}$ を越えるように設定しておくこと、強磁性トンネル接合素子M T J 1の抵抗は高抵抗 $R_{a p}$ となる。ノードQ Bはローレベルのため、強磁性トンネル接合素子M T J 2には電流は流れない。図6(b)を参照に、スイッチ線S Tをハイレベルとし、制御線C T R Lをハイレベルとする。制御線C T R LからノードQ Bに電流 $I_{M T J 2}$ が流れる。電流 $I_{M T J 2}$ が閾値電流 $I_{T F}$ を越えるように設定しておくこと、強磁性トンネル接合素子M T J 2の抵抗は低抵抗 $R_p$ となる。ノードQはハイレベルのため、強磁性トンネル接合素子M T J 1には電流は流れない。上記一連の動作が完了すると、強磁性トンネル接合素子M T J 1の抵抗は高抵抗 $R_{a p}$ に、強磁性トンネル接合素子M T J 2の抵抗は低抵抗 $R_p$ になる。なお、図6(a)および図6(b)のいずれのステップを先に行ってもよい。

【 0 0 5 6 】

図7(a)および図7(b)を参照に、ノードQがローレベル、ノードQ Bがハイレベルのデータが保持されている場合について説明する。図7(a)を参照に、スイッチ線S Tをハイレベルとし制御線C T R Lをローレベルとすると、ノードQ Bから制御線C T R Lに電流 $I_{M T J 2}$ が流れるため、強磁性トンネル接合素子M T J 2は高抵抗 $R_{a p}$ となる。ノードQはローレベルのため、強磁性トンネル接合素子M T J 1には電流は流れない。図7(b)を参照に、スイッチ線S Tをハイレベルとし制御線C T R Lをハイレベルとすると、制御線C T R LからノードQに電流 $I_{M T J 1}$ が流れるため、強磁性トンネル接合素子M T J 1は低抵抗 $R_p$ となる。ノードQ Bはハイレベルのため、強磁性トンネル接合素子M T J 2には電流は流れない。上記一連の動作が完了すると、強磁性トンネル接合素子M T J 1の抵抗は低抵抗 $R_p$ に、強磁性トンネル接合素子M T J 2の抵抗は高抵抗 $R_{a p}$ になる。以上のようにして、双安定回路30のデータを強磁性トンネル接合素子M T J 1およびM T J 2に不揮発的にストアすることができる。

【 0 0 5 7 】

電源V s u p p l yが遮断され、双安定回路30のデータが消失した場合であっても、強磁性トンネル接合素子M T J 1およびM T J 2の抵抗は不揮発的に保持される。その後、強磁性トンネル接合素子M T J 1およびM T J 2からデータを双安定回路30にリスト

10

20

30

40

50

アする方法を説明する。図8は、双安定回路30へのデータリストアの際の時間に対するノードQおよびQBの電圧を示した図である。図9(a)から図9(c)はそれぞれ図8の時間t1からt3のときの記憶回路の状態を説明する図である。図9(a)から図9(c)において、ノードQおよびQBには、それぞれ容量 $C_Q$ および $C_{QB}$ が接続されている。容量 $C_Q$ および $C_{QB}$ は例えば、配線容量やトランジスタの寄生容量である。

【0058】

図9(a)を参照に、強磁性トンネル接合素子MTJ1およびMTJ2はそれぞれ高抵抗 $R_{ap}$ および低抵抗 $R_p$ である。時間t1において、スイッチ線STをハイレベルとする。電源電圧をローレベルからハイレベルに立ち上げる。ノードQおよびQBはローレベルとなっているため、インバータ10、20においては、FETm1、m3を介し、電源 $V_{supply}$ からノードQおよびQBにそれぞれ電流 $I_{m1}$ および $I_{m3}$ が流れる。強磁性トンネル接合素子MTJ1は高抵抗 $R_{ap}$ なため、ノードQからローレベルの制御線CTRLに流れる電流 $I_{MTJ1}$ は小さい。強磁性トンネル接合素子MTJ2は低抵抗 $R_p$ なため、ノードQBからローレベルの制御線CTRLに流れる電流 $I_{MTJ2}$ は大きい。

10

【0059】

ノードQおよびQBの電圧 $V_Q$ および $V_{QB}$ は、以下の式で表される。

$$V_Q = (I_{m3} - I_{m4} - I_{MTJ1}) dt / C_Q \quad \text{式1}$$

$$V_{QB} = (I_{m1} - I_{m2} - I_{MTJ2}) dt / C_{QB} \quad \text{式2}$$

また、各電流の大きさの関係は以下である。

20

$$I_{m1} = I_{m3} \gg I_{m2} = I_{m4} \quad \text{式3}$$

$$I_{MTJ1} < I_{MTJ2} \quad \text{式4}$$

また、容量 $C_Q$ および $C_{QB}$ の容量値 $C_Q$ および $C_{QB}$ は以下である。

$$C_Q = C_{QB} \quad \text{式5}$$

以上より、ノードQから容量 $C_Q$ を充電する電流は $I_{m3} - I_{MTJ1}$ であり、ノードQBから容量 $C_{QB}$ を充電する電流は $I_{m1} - I_{MTJ2}$ である。よって、

$$V_Q > V_{QB}$$

となる。

これにより、図8の時間t1と時間t2との間では、電圧 $V_Q$ および $V_{QB}$ はともに増加するが、 $V_Q$ は $V_{QB}$ より大きい。

30

【0060】

図9(b)を参照に、図8の時間t2において、 $V_Q$ がインバータ10を構成するFETm2の閾値電圧より高くなると、FETm2が導通状態となり、FETm2には電流 $I_{m2}$ が流れる。容量 $C_{QB}$ を充電する電流は、 $I_{m1} - I_{MTJ2} - I_{m2}$ となる。電流 $I_{m2}$ が大きくなると、容量 $C_{QB}$ から放電され、ノードQBの電圧は0になる。

【0061】

図9(c)を参照に、図8の時間t3において、定常状態となると、 $I_{m3} = I_{MTJ1}$ となり、容量 $C_Q$ は充電された状態となり、容量 $C_{QB}$ は放電された状態となる。以上により、ノードQはハイレベル、ノードQBはローレベルとなり、強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータのリストアが完了する。

40

【0062】

図10は、図8とは逆に、強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ低抵抗 $R_p$ および高抵抗 $R_{ap}$ の場合のデータの双安定回路30へのリストアを示す図である。図11(a)から図11(c)はそれぞれ図10の時間t1からt3のときの記憶回路の状態を説明する図である。

【0063】

図11(a)を参照に、電源電圧をローレベルからハイレベルに立ち上げると、電圧 $V_Q$ および $V_{QB}$ はともに増加するが、 $V_{QB}$ は $V_Q$ より大きい。図11(b)を参照に、 $V_{QB}$ がインバータ20を構成するFETm4の閾値電圧より高くなるとFETm4が導

50



通状態となり電流  $I_{m4}$  が流れる。ノード Q の電圧  $V_Q$  は低下する。図 11 (c) を参照に、定常状態となると、ノード Q はローレベル、ノード QB はハイレベルとなる。以上により、強磁性トンネル接合素子 MTJ1 および MTJ2 から双安定回路 30 へのデータのリストアが完了する。

【0064】

次に、インバータに着目して強磁性トンネル接合素子 MTJ1 および MTJ2 から双安定回路 30 へのデータの復帰について説明する。図 12 のように、インバータ 10 と強磁性トンネル接合素子 MTJ1 からなる回路をインバータ INV1、インバータ 20 と強磁性トンネル接合素子 MTJ1 からなる回路をインバータ INV2、強磁性トンネル接合素子が付加されていないインバータ 10 または 20 をインバータ INV0 とする。

10

【0065】

図 13 (a) は、強磁性トンネル接合素子 MTJ1 が高抵抗  $R_{ap}$ 、強磁性トンネル接合素子 MTJ2 が低抵抗  $R_p$  の場合のインバータの入出力特性を示した概念図である。強磁性トンネル接合素子が付加されていないインバータ INV0 に対し、強磁性トンネル接合素子が付加されたインバータ INV1 および INV2 は論理閾値が低くなる。強磁性トンネル接合素子 MTJ2 が低抵抗  $R_p$  のインバータ INV1 は強磁性トンネル接合素子 MTJ1 が高抵抗  $R_{ap}$  のインバータ INV2 に対し論理閾値がさらに低くなる。図 13 (b) を参照に、強磁性トンネル接合素子 MTJ1 が低抵抗  $R_p$ 、強磁性トンネル接合素子 MTJ2 が高抵抗  $R_{ap}$  の場合、インバータ INV2 はインバータ INV1 に対し論理閾値が低くなる。

20

【0066】

図 14 (a) は、強磁性トンネル接合素子が接続されていないインバータ INV0、INV0' からなる双安定回路の特性曲線の概念図である。インバータ INV0、INV0' の特性は等しいため、双安定回路 30 のスイッチ点 C' は  $V_Q = V_{QB}$  上にある。 $V_{QB}$  が電源電圧  $V_{sp3}$  のときの点 A' とスイッチ点 C' 間の特性曲線のループと、 $V_Q$  が電源電圧  $V_{sp3}'$  のときの点 B' と点 C' 間の特性曲線のループと、は対称である。

【0067】

図 14 (b) は、強磁性トンネル接合素子 MTJ1 が高抵抗  $R_{ap}$ 、強磁性トンネル接合素子 MTJ2 が低抵抗  $R_p$  の場合の双安定回路 30 の特性曲線の概念図である。インバータ INV1 と INV2 の入出力特性が非対称なため、双安定回路 30 のスイッチ点 C は  $V_Q = V_{QB}$  の直線より上側にある。 $V_{QB}$  が電源電圧  $V_{sp1}$  のときの点 A とスイッチ点 C 間の特性曲線のループは、 $V_Q$  が電源電圧  $V_{sp1}'$  のときの点 B と点 C 間の特性曲線のループより小さくなる。電源電圧  $V_{supply}$  を接地電圧 0V から電圧  $V_{sp1}$ 、 $V_{sp1}'$  に立ち上げる過程を考える。このとき、強磁性トンネル接合素子 MTJ2 に流れる電流  $I_{MTJ2}$  は閾値電流  $I_{TR}$  を越えないようにする。電源電圧  $V_{supply}$  がインバータに使用されている p 型 MOSFET の閾値電圧の絶対値を少し越えた電圧  $V_{sp5}$ 、 $V_{sp5}'$  の場合、インバータ INV1 およびインバータ INV2 の特性曲線は INV1' および INV2' となる。インバータ INV2 はインバータ INV1 より閾値電圧が低い。すなわち、インバータ INV1、INV2 への入力電圧（インバータ INV1 の場合ノード Q の電圧、インバータ INV1 の場合ノード QB の電圧）が同じ場合、インバータ INV2 の方が出力ノード（インバータ INV1 の場合ノード QB、インバータ INV1 の場合ノード QB）からグランドへ多くの電流が流れる。よって、入力電圧が 0V のときの出力電圧もインバータ INV1 よりもインバータ INV2 の方が低くなる。したがって、双安定回路の動的動作点は電源電圧  $V_{supply}$  の立ち上げ速度等に依存するものの、静的安定点が常に  $V_Q = V_{QB}$  の下側に存在するので、点線矢印の軌跡をたどり点 B に収束する。

30

40

【0068】

図 14 (c) は、強磁性トンネル接合素子 MTJ1 が低抵抗  $R_p$ 、強磁性トンネル接合素子 MTJ2 が高抵抗  $R_{ap}$  の場合の双安定回路 30 の特性曲線の概念図である。双安定

50

回路30のスイッチ点C'は $V_Q = V_{Q_B}$ の直線より下側にある。 $V_{Q_B}$ が電源電圧 $V_{s_{p2}}$ のときの点A'とスイッチ点C'間の特性曲線のループは、 $V_Q$ が電源電圧 $V_{s_{p2}}$ のときの点B'と点C'間の特性曲線のループより大きくなる。このとき、強磁性トンネル接合素子MTJ1に流れる電流 $I_{MTJ1}$ が閾値電流 $I_{TR}$ を越えないように電源電圧 $V_{supply}$ を0Vから $V_{s_{p2}}$ 、 $V_{s_{p2}}$ に立ち上げる。双安定回路30の動的動作点は、静的安定点が常に $V_Q = V_{Q_B}$ の上側にあるため、点線矢印の軌跡をたどり点A'に収束する。

【0069】

図14(b)および図14(c)において、電源電圧を立ち上げる際に、動的な動作点が $V_Q = V_{Q_B}$ となったとしても、その直前まで $V_Q = V_{Q_B}$ の直線の上側又は下側の特性ループ内にあるため、収束する動作点の方向は変わらず、点Bまたは点A'に収束する。

10

【0070】

図14(b)または図14(c)において、強磁性トンネル接合素子MTJ1またはMTJ2の電流 $I_{MTJ1}$ または $I_{MTJ2}$ が閾値電流 $I_{TR}$ を一度でも越えると、強磁性トンネル接合素子MTJ1およびMTJ2は高抵抗 $R_{ap}$ となる。よって、図14(d)のように、インバータINV1とINV2の論理閾値は同じとなり、スイッチ点C''は $V_Q = V_{Q_B}$ 上となる。このため、電源電圧 $V_{supply}$ を0Vから電圧 $V_{s_{p4}}$ 、 $V_{s_{p4}}$ に立ち上げた場合、静的安定点は、点A''に収束するか点B''に収束するか確定しなくなってしまう。以上のように、データを復帰させる際は、電流 $I_{MTJ1}$ および $I_{MTJ2}$ が閾値電流 $I_{TR}$ を越えないようにすることが好ましい。

20

【0071】

図15は、実施例2に係る記憶回路の制御を示すタイミングチャートである。なお、ハッチ領域はハイレベルかローレベルか定かではないことを示す。図15を参照に、電源電圧 $V_{supply}$ が供給され、制御線CTRLおよびスイッチ線STはローレベルである。双安定回路30へのデータの書き込みは、ワード線WLをハイレベル、入出力線DIN、DINBをハイレベルまたはローレベルとすることにより行われる。双安定回路30から強磁性トンネル接合素子MTJ1、MTJ2へのデータのストアは、期間T1においてスイッチ線STおよび制御線CTRLをハイレベルとし(図6(b)および図7(b)に相当)、期間T2において、スイッチ線STをハイレベルとし制御線CTRLをローレベルとする(図6(a)および図7(a)に相当)ことにより行われる。

30

【0072】

その後、電源電圧 $V_{supply}$ を0Vとすることにより、記憶回路はスリープ状態となる。このとき、記憶回路に電流が流れないため、消費電力を抑制することができる。強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータのリストアは、期間T3において制御線CTRLをローレベルとしスイッチ線STをハイレベルとした状態で電源電圧 $V_{supply}$ を0Vから立ち上げる(図8から図11(c)に相当)ことにより行われる。双安定回路30からのデータの読み出しは、ワード線WLをハイレベルとすることにより行われる。

【0073】

40

次に、実施例2に係る記憶回路のシミュレーションを行った。図16は、シミュレーションに用いた強磁性トンネル接合素子の電流電圧特性を示す図である。閾値電流 $I_{TF}$ および $I_{TR}$ はそれぞれ $30\mu A$ および $-30\mu A$ 、抵抗 $R_{ap}$ および $R_p$ はそれぞれ $16.7k$ および $8.33k$ とした。各FETのチャネル長 $L = 0.07\mu m$ であり、n型FETのチャネル幅 $W_n = 1.0\mu m$ 、p型FETのチャネル幅 $W_p = 1.5\mu m$ とした。

【0074】

図17(a)から図17(d)は、シミュレーション結果を示すタイミングチャートである。図17(a)は、ノードQがハイレベルのときにストアする際のタイミングチャート、図17(b)は、図17(a)後にリストアする際のタイミングチャートである。図

50

17(c)は、ノードQがローレベルのときにストアする際のタイミングチャート、図17(d)は、図17(c)後にリストアする際のタイミングチャートである。各図では、ノードQのレベルに1.5V、スイッチ線STのレベルに3V、制御線CTRLのレベルに4.5V、電源電圧Vsupplyに6V、ワード線WLのレベルに7.5Vを加え表示している。ストアの方法、リストアの方法は前述の通りである。

【0075】

図17(a)において、ノードQがハイレベル、ノードQBがローレベルの状態を強磁性トンネル接合素子にストアする。図17(b)において、ノードQにハイレベル、ノードQBにローレベルがリストアされている。同様に、図17(c)において、ノードQがローレベル、ノードQBがハイレベルの状態を強磁性トンネル接合素子にストアする。図17(d)において、ノードQにローレベル、ノードQBにハイレベルがリストアされている。以上のように、実施例2に係る記憶回路においては、強磁性トンネル接合素子MTJ1およびMTJ2にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

10

【実施例3】

【0076】

図18は、実施例3に係る記憶回路の回路図である。実施例3においては、実施例2の図に対し、FETm7およびFETm8が設けられていない。このように、FETm7(第1スイッチ)およびFETm8(第2スイッチ)はなくてもよい。しかしながら、双安定回路30から制御線CTRLに流れる電流を抑制するためには、FETm7およびFETm8を設ける方が好ましい。

20

【0077】

図19(a)から図19(d)は、実施例3に係る記憶回路について、実施例2の図17(a)から図17(d)と同じシミュレーションを行った結果を示す図である。なお、各図では、ノードQのレベルに1.5V、制御線CTRLのレベルに3V、電源電圧Vsupplyに4.5V、ワード線WLのレベルに6Vを加え表示している。

【0078】

図19(a)において、ノードQがハイレベル、ノードQBがローレベルの状態を強磁性トンネル接合素子にストアする。図19(b)において、ノードQにハイレベル、ノードQBにローレベルがリストアされている。同様に、図19(c)において、ノードQがローレベル、ノードQBがハイレベルの状態を強磁性トンネル接合素子にストアする。図19(d)において、ノードQにローレベル、ノードQBにハイレベルがリストアされている。以上のように、実施例3に係る記憶回路においては、強磁性トンネル接合素子MTJ1およびMTJ2にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

30

【0079】

図20(a)は、シミュレーション開始時の強磁性トンネル接合素子MTJ1の抵抗が高抵抗Rapであり強磁性トンネル接合素子MTJ2が低抵抗Rpの場合の双安定回路30のシミュレーション特性曲線を示している。図20(b)は、シミュレーション開始時の強磁性トンネル接合素子MTJ1が低抵抗Rpであり強磁性トンネル接合素子MTJ2が高抵抗Rapの場合の双安定回路30のシミュレーション特性曲線を示している。実線はインバータINV1に相当する曲線、破線はインバータINV2に相当する曲線であり、それぞれの入出力を切り離れた状態のインバータ単体でシミュレーションを行っている。矢印は掃印方向を示している。電源電圧Vsupplyが1.0V、0.5Vおよび0.3Vのときの曲線を示している。点線の矢印は、インバータINV1とインバータINV2の入出力を相互に接続性し双安定回路30を構成して、電源電圧を0Vから1.0Vまで立ち上げたとき(図19(b)および図19(d)においてリストアを行ったとき)の動的動作点の軌跡を示している。

40

【0080】

図20(a)および図20(b)を参照に、電源電圧Vsupplyが0.3V、0.

50

5 V のとき特性曲線は非対称である。これにより、電源電圧  $V_{supply}$  が高くなると、図 20 ( a ) では動的安定点はノード Q がローレベルにノード Q B がハイレベルに収束する。図 20 ( b ) では動的動作点はノード Q がハイレベルにノード Q B がローレベルに収束する。電源電圧  $V_{supply}$  が 1 . 0 V 固定のときは、図 20 ( a ) にあつてはインバータ I N V 2 の入力電圧、図 20 ( b ) にあつてはインバータ I N V 1 の入力電圧をそれぞれ 0 V から 1 V 、 1 V から 0 V まで掃印すると、強磁性トンネル接合素子 M T J 1 または M T J 2 を流れる電流  $I_{M T J 1}$  または  $I_{M T J 2}$  が閾値電流  $I_{TR}$  を越えるため、特性曲線は対称になってしまう。このように、電流  $I_{M T J 1}$  または  $I_{M T J 2}$  が閾値電流  $I_{TR}$  をリストア動作中に越えないように、電源電圧  $V_{supply}$ 、強磁性トンネル接合素子 M T J 1 および M T J 2 の抵抗値  $R_p$  および  $R_{ap}$  などを設定することが好ましい。

10

#### 【実施例 4】

##### 【0081】

実施例 2 および実施例 3 のように、強磁性トンネル接合素子にストアしたデータを双安定回路 30 のデータにリストアできるのは、図 12 のインバータ I N V 1 と I N V 2 の論理閾値がストアされたデータに応じ逆転するためである ( 図 13 ( a ) および図 13 ( b ) 参照 ) 。よって、双安定回路 30 を構成するインバータ 10 とインバータ 20 に強磁性トンネル接合素子 M T J 1 を付加したインバータ I N V 2 との論理閾値がストアされたデータに応じ異なるようにすれば、強磁性トンネル接合素子が 1 つの構成においても、データのリストアが可能となる。以下に、強磁性トンネル接合素子が 1 つの構成の例を説明する。

20

##### 【0082】

図 21 ( a ) および図 21 ( b ) は実施例 4 に係る記憶回路の回路図である。実施例 4 においては、実施例 2 および実施例 3 に対し、インバータ 20 の F E T m 4 ' のチャネル幅をインバータ 10 の F E T m 3 のチャネル幅より狭くしている。また、強磁性トンネル接合素子 M T J 2 および F E T m 8 が設けられていない。これにより、強磁性トンネル接合素子 M T J 1 の抵抗が高抵抗  $R_{ap}$  の場合と低抵抗  $R_p$  の場合とで、インバータ 10 の入出力特性とインバータ I N V 2 の入出力特性とで、論理閾値が逆転する。よって、実施例 2 および実施例 3 と同様に、強磁性トンネル接合素子 M T J 1 にストアされたデータを双安定回路 30 にリストアすることができる。F E T m 7 は図 21 ( a ) のように、設けてもよいし、図 21 ( b ) のように設けなくてもよい。

30

#### 【実施例 5】

##### 【0083】

図 22 ( a ) および図 22 ( b ) は実施例 5 に係る記憶回路の回路図である。実施例 5 においては、実施例 2 および実施例 3 に対し、強磁性トンネル接合素子 M T J 2 が抵抗  $R_1$  に置き換わっている。抵抗  $R_1$  は強磁性トンネル接合素子 M T J 1 の高抵抗  $R_{ap}$  と低抵抗  $R_p$  との間になるように設定する。これにより、強磁性トンネル接合素子 M T J 1 の抵抗が高抵抗  $R_{ap}$  の場合と低抵抗  $R_p$  の場合とで、インバータ 10 に抵抗  $R_1$  を付加したインバータ I N V 1 の入出力特性とインバータ I N V 2 の入出力特性とで、論理閾値が逆転する。よって、実施例 2 および実施例 3 と同様に、強磁性トンネル接合素子 M T J 1 にストアされたデータを双安定回路 30 にリストアすることができる。F E T m 7 および F E T m 8 は、図 22 ( a ) のように、設けてもよいし、図 22 ( b ) のように設けなくてもよい。

40

#### 【実施例 6】

##### 【0084】

図 23 ( a ) および図 23 ( b ) は実施例 6 に係る記憶回路の回路図である。実施例 6 においては、実施例 5 に対し、抵抗  $R_1$  が接地されている。双安定回路 30 のデータを強磁性トンネル接合素子 M T J 1 にストアするため、制御線 C T R L をハイレベルにした場合に抵抗  $R_1$  に電流が流れなくてもよい。よって、抵抗  $R_1$  は接地してもよい。実施例 5 と同じように抵抗  $R_1$  は強磁性トンネル接合素子 M T J 1 の高抵抗  $R_{ap}$  と低抵抗  $R_p$  と

50

の間になるように設定する。また、F E T m 7 および F E T m 8 は、図 2 3 ( a ) のように、設けてもよいし、図 2 3 ( b ) のように設けなくてもよい。

【実施例 7】

【0085】

図 2 4 は実施例 7 に係る記憶回路の回路図である。実施例 7 においては、実施例 2 の図 5 の制御線 C T R L に F E T m 9 から m 1 2 よりなるインバータ 2 段の増幅回路 7 0 の出力が接続されている。増幅回路 7 0 の入力外部制御線 E X T - C T R L が接続されている。制御線 C T R L により多くの記憶回路を同時に制御すると、動作が遅くなってしまう。実施例 7 によれば、増幅回路 7 0 により外部制御線 E X T - C T R L の信号を増幅するため、記憶回路におけるストアおよびリストアを高速に行うことができる。

10

【実施例 8】

【0086】

図 2 5 は、実施例 8 に係る記憶回路の回路図である。実施例 8 においては、n 型 M O S F E T m 1 3 が制御線 C T R L とグランドとの間に接続され、F E T m 1 3 のゲートが第 2 制御線 R C L に接続されている。図 2 6 は、実施例 8 に係る記憶回路のタイミングチャートである。ストアの際は、第 2 制御線 R C L のレベルをローレベルとする。F E T m 1 3 は遮断状態となる。よって、ノード Q と Q B のどちらかがハイレベルの電位、もう一方がローレベルの電位であるから、強磁性トンネル接合素子 M T J 1 と強磁性トンネル接合素子 M T J 2 との間に電流が流れ、双安定回路 3 0 のデータが強磁性トンネル接合素子 M T J 1 と M T J 2 にストアされる。このとき、制御線 C T R L の電圧はハイレベルとローレベルとの中間となる。リストアの際は、第 2 制御線 R C L を導通状態とする。制御線 C T R L はローレベルとなり、実施例 2 と同様にリストアすることができる。これにより、制御線 C T R L の駆動能力によらず、記憶回路におけるストアおよびリストアを高速に行うことができる。

20

【0087】

図 2 7 ( a ) から図 2 7 ( d ) は、実施例 8 に係る記憶回路について、実施例 2 の図 1 7 ( a ) から図 1 7 ( d ) と同じシミュレーションを行った結果を示す図である。なお、シミュレーションに用いたパラメータのうち、強磁性トンネル接合素子の閾値電流  $I_{TF}$  および  $I_{TR}$  をそれぞれ  $15 \mu A$  および  $-15 \mu A$  とし、その他のパラメータは実施例 2 と同じとした。各図では、ノード Q のレベルに  $1.5 V$ 、制御線 C T R L のレベルに  $3 V$ 、第 2 制御線 R C L に  $4.5 V$ 、スイッチ線 S T に  $6 V$ 、電源電圧 V s u p p l y に  $7.5 V$ 、ワード線 W L のレベルに  $9 V$  を加え表示している。

30

【0088】

図 2 7 ( a ) において、ノード Q がハイレベル、ノード Q B がローレベルの状態を強磁性トンネル接合素子にストアする。図 2 7 ( b ) において、ノード Q にハイレベル、ノード Q B にローレベルがリストアされている。同様に、図 2 7 ( c ) において、ノード Q がローレベル、ノード Q B がハイレベルの状態を強磁性トンネル接合素子にストアする。図 2 7 ( d ) において、ノード Q にローレベル、ノード Q B にハイレベルがリストアされている。以上のように、実施例 8 に係る記憶回路においては、強磁性トンネル接合素子 M T J 1 および M T J 2 にストアしたデータを、電源再投入後に双安定回路 3 0 にリストアできることが確認できた。

40

【実施例 9】

【0089】

図 2 8 は、実施例 9 に係る記憶回路の回路図である。実施例 9 においては、実施例 8 に対し F E T m 7 および m 8 が設けられていない。その他の構成は実施例 8 と同じである。図 2 9 ( a ) から図 2 9 ( d ) は、実施例 9 に係る記憶回路について、実施例 8 の図 2 7 ( a ) から図 2 7 ( d ) と同じシミュレーションを行った結果を示す図である。なお、シミュレーションに用いたパラメータのうち、強磁性トンネル接合素子の閾値電流  $I_{TF}$  および  $I_{TR}$  をそれぞれ  $6 \mu A$  および  $-6 \mu A$  とし、高抵抗値 R a p および低抵抗値 R p をそれぞれ  $50 k$  および  $25 k$  とし、その他のパラメータは実施例 2 と同じとした。

50

## 【 0 0 9 0 】

図 2 9 ( a ) において、ノード Q がハイレベル、ノード Q B がローレベルの状態を強磁性トンネル接合素子にストアする。図 2 9 ( b ) において、ノード Q にハイレベル、ノード Q B にローレベルがリストアされている。同様に、図 2 9 ( c ) において、ノード Q がローレベル、ノード Q B がハイレベルの状態を強磁性トンネル接合素子にストアする。図 2 9 ( d ) において、ノード Q にローレベル、ノード Q B にハイレベルがリストアされている。以上のように、F E T m 7 および m 8 を設けない実施例 9 に係る記憶回路においても、強磁性トンネル接合素子 M T J 1 および M T J 2 にストアしたデータを、電源再投入後に双安定回路 3 0 にリストアできることが確認できた。

## 【 実施例 1 0 】

10

## 【 0 0 9 1 】

図 3 0 は実施例 1 0 に係る記憶回路の回路図である。実施例 1 0 においては、実施例 2 の図 5 に対し、相補的なワード線 W L および W L B が設けられている。ノード Q と入出力線 D I N との間にはパスゲート m 5 '、ノード Q B と入出力線 D I N B との間にはパスゲート m 6 ' が接続されている。パスゲート m 5 ' および m 6 ' は、n 型 F E T および p 型 F E T のソースとドレイン同士を接続した構成である。

## 【 実施例 1 1 】

## 【 0 0 9 2 】

図 3 1 は実施例 1 1 に係る記憶回路の回路図である。実施例 1 1 においては、実施例 2 の図 5 に対し、強磁性トンネル接合素子 M T J 1 および F E T m 7 がスピンドット F E T 1 に、強磁性トンネル接合素子 M T J 2 および F E T m 8 がスピンドット F E T 2 に、置き換わっている。このように、強磁性トンネル接合素子はスピンドット F E T を用いてもよい。なお、スピンドット F E T は、磁化方向によりコンダクタンスを不揮発的に変更できるトランジスタであり、ゲート等の制御端子によりスイッチング機能も有している。例えば、国際公開第 2 0 0 4 / 0 7 9 8 2 7 パンフレットまたは電子情報通信学会誌 V o l . 8 8 . N o . 7 . 2 0 0 5 P P . 5 4 1 - 5 5 0 に記載されているスピンドット F E T を用いることができる。

20

## 【 実施例 1 2 】

## 【 0 0 9 3 】

図 3 2 は実施例 1 2 に係る記憶回路の回路図である。実施例 1 2 は実施例 2 に対し、インバータ 1 0 および 2 0 が電源線 V D D と V S S との間に接続されている。また、強磁性トンネル接合素子 M T J 1 および M T J 2 の極性が実施例 2 とは逆である。これにより、ノード Q または Q B から制御線 C T R L に電流が流れることにより、強磁性トンネル接合素子 M T J 1 または M T J 2 は低抵抗 R p となり、制御線 C T R L からノード Q または Q B に電流が流れることにより、強磁性トンネル接合素子 M T J 1 または M T J 2 は高抵抗 R a p となる。さらに、F E T m 7 および m 8 が p 型 M O S F E T である。その他の構成は実施例 2 の図 5 と同じである。

30

## 【 0 0 9 4 】

図 3 3 は実施例 1 2 のタイミングチャートである。実施例 1 2 では、電源の遮断は V S S をハイレベル ( V D D のレベル ) とすることにより行われる。制御線 C T R L のレベルおよびスイッチ線 S T のレベルは書き込み、スリープおよび読み出しの際はハイレベルである。ストアの際の期間 T 1 において、スイッチ線 S T および制御線 C T R L がローレベルとなり、期間 T 2 において、スイッチ線 S T がローレベル、制御線 C T R L がハイレベルとなる。これにより、双安定回路 3 0 のデータが強磁性トンネル接合素子 M T J 1 および M T J 2 にストアされる。リストアの際の期間 T 3 において、スイッチ線 S T をローレベルとすることにより、強磁性トンネル接合素子 M T J 1 および M T J 2 のデータが双安定回路 3 0 にリストアされる。

40

## 【 0 0 9 5 】

実施例 1 2 において、強磁性トンネル接合素子 M T J 1 および M T J 2 の極性を実施例 2 と逆にする理由は以下による。例えば、ノード Q をハイレベルにする場合、F E T m 2 および m 4 の放電電流に対し、ノード Q を制御線 C T R L から充電するため、強磁性トン

50

ネル接合素子M T J 1は低抵抗R pであることが好ましい。しかるに、強磁性トンネル接合素子M T J 1が実施例2と同じ極性であると、高抵抗R a pとなってしまうためである。また、F E T m 7およびm 8をp M O S F E Tとする理由は以下である。リストアの初期段階において、F E T m 7およびm 8のソースおよびドレインはともにハイレベルに近い。このとき、F E T m 7およびm 8がp M O S F E Tであると、スイッチ線S Tをローレベルとすることにより、F E T m 7およびm 8を確実に導通状態とすることができる。

【0096】

実施例3から実施例11においても、インバータ10および20を電源線V D DとV S Sとの間に接続し、強磁性トンネル接合素子M T J 1またはM T J 2の極性を実施例12と同じとすることもできる。

【0097】

実施例2から実施例12によれば、強磁性トンネル接合素子M T J 1またはM T J 2は、ノードQまたはQ Bと制御線C T R Lとの間に接続されている。強磁性トンネル接合素子M T J 1またはM T J 2は、ノードQまたはQ Bと制御線C T R Lとの間に電流が流れることにより高抵抗となり、反対方向に電流が流れることにより低抵抗となる。これにより、ノードQまたはQ Bのレベルに応じ制御線C T R LとノードQまたはQ Bとの間に電流を流すことにより、双安定回路30のデータを強磁性トンネル接合素子にストアすることができる。

【0098】

また、図15および図33のように、データを双安定回路30にストアさせる際に、制御線C T R Lは強磁性トンネル接合素子M T J 1またはM T J 2にハイレベルの電圧とローレベルの電圧を交互に印加する。これにより、双安定回路30に記憶されたデータを強磁性トンネル接合素子M T J 1またはM T J 2にストアすることができる。

【0099】

データを強磁性トンネル接合素子M T J 1またはM T J 2から双安定回路30にリストアさせる際に、制御線C T R Lは電源遮断方法とその対応回路に応じ、強磁性トンネル接合素子M T J 1またはM T J 2にローレベルまたはハイレベルの電圧を印加する。すなわち、実施例1から実施例11においては、制御線C T R Lは、強磁性トンネル接合素子M T J 1またはM T J 2にローレベルの電圧を印加し、実施例12においては、ハイレベルの電圧を印加する。これにより、強磁性トンネル接合素子M T J 1またはM T J 2にストアされたデータを双安定回路30にリストアすることができる。

【0100】

実施例2、実施例4の図21(a)、実施例5の図22(a)、実施例6の図23(a)、実施例7、実施例8、実施例10および実施例12のように、記憶回路は、ノードQまたはQ Bと強磁性トンネル接合素子M T J 1またはM T J 2との間に接続されたスイッチ(F E T m 7またはm 8に相当する)を有してもよい。このスイッチは、ストアおよびリストアの際に導通し、ストアおよびリストア以外に遮断状態となる。これにより、記憶回路の消費電力を削減することができる。

【0101】

実施例2、実施例3、実施例7から実施例10、実施例12のように、ノードQを第1ノードQ、ノードQ Bを第2ノードQ Bとし、第1ノードQと制御線C T R Lとの間に接続された強磁性トンネル接合素子M T J 1を第1強磁性トンネル接合素子とし、第2ノードQ Bと制御線C T R Lとの間に接続された強磁性トンネル接合素子M T J 2を第2強磁性トンネル接合素子とすることができる。このように2つの強磁性トンネル接合素子を用いることにより、強磁性トンネル接合素子をノードQおよびQ Bの一方に接続する場合に比べ、インバータ10および第2強磁性トンネル接合素子M T J 2からなるインバータI N V 1とインバータ20および第1強磁性トンネル接合素子M T J 1からなるインバータI N V 2との論理閾値の差を大きくすることができる。よって、動作速度やノイズマージンの観点から有利であり、より安定に動作することができる。

【0102】

10

20

30

40

50

実施例 2、実施例 7、実施例 8、実施例 10 および実施例 12 のように、記憶回路は、スイッチとして、第 1 ノード Q と第 1 強磁性トンネル接合素子 M T J 1 との間に接続され、データのストアおよびリストアの際に導通する第 1 スイッチ ( F E T m 7 に相当する ) と、第 2 ノード Q B と第 2 強磁性トンネル接合素子 M T J 2 との間に接続された第 2 スイッチ ( F E T m 8 に相当する ) と、を含んでいる。第 1 スイッチおよび第 2 スイッチは、データをストアおよびリストアする際に導通し、ストアおよびリストア以外の際に遮断状態となる。このように、第 1 強磁性トンネル接合素子 M T J 1 および第 2 強磁性トンネル接合素子 M T J 2 とノード Q および Q B との間両方に、第 1 スイッチおよび第 2 スイッチを接続することにより、消費電力をより抑制することができる。

【 0 1 0 3 】

実施例 8 および実施例 9 のように、記憶回路は、制御線 C T R L とローレベルの電力線であるグラウンドとの間に接続された第 3 スイッチ ( F E T m 1 3 に相当する ) を有している。図 26 のように、第 3 スイッチは、データをストアする際に遮断状態となり、データをリストアする際に導通する。これにより、ストアの際に、2 つの強磁性トンネル接合素子 M T J 1 および M T J 2 の間を電流が流れるため、実施例 7 のような増幅回路 70 を設けなくとも、ストアを高速に行うことができる。なお、インバータ 10 および 20 を電源線 V D D と V S S との間に接続し、強磁性トンネル接合素子 M T J 1 または M T J 2 の極性を実施例 12 と同じとする場合は、第 3 スイッチが接続する電力線はハイレベルであり、第 3 スイッチに M O S F E T を用いる場合は p 型 M O S F E T が好ましい。

【 0 1 0 4 】

実施例 2 から実施例 12 のように、記憶回路は、ノード Q または Q B にデータを入出力するための入出力スイッチ ( F E T m 5 もしくは m 6 またはパスゲート m 5 ' またはパスゲート m 6 ' に相当する ) を有している。また、入出力スイッチはワード線 W L のレベルに応じ、ノード Q または Q B にデータを入出力する。このように、記憶回路を S R A M メモリのメモリセルとして用いることができる。

【 0 1 0 5 】

入出力スイッチは、第 1 ノード Q にデータを入出力するための第 1 入出力スイッチ ( F E T m 5 またはパスゲート m 5 ' に相当する ) と、第 2 ノード Q B にデータを入出力するための第 2 入出力スイッチ ( F E T m 6 またはパスゲート m 6 ' に相当する ) とを有する。このように、第 1 ノード Q および第 2 ノード Q B の両方に入出力スイッチを接続することが好ましい。このように、ノード Q または Q B にデータを入出力するための入出力スイッチは、第 1 ノード Q にデータを入出力するための 1 つ以上のスイッチと、第 2 ノード Q B にデータを入出力するための 1 つ以上のスイッチと、を有する構成とすることができる。入出力スイッチを多数のスイッチを接続し構成した場合には、外部読み出しおよび書き込み回路の高速化を図ることができる。

【 実施例 13 】

【 0 1 0 6 】

図 34 は実施例 13 に係るラッチ回路の回路図である。図 34 を参照に、実施例 13 に係るラッチ回路は、図 2 の D ラッチ回路に加え、n 型 F E T m 9、m 10、強磁性トンネル接合素子 M T J 1、M T J 2 を有している。ノード Q と制御線 C T R L との間に F E T m 9 と強磁性トンネル接合素子 M T J 1 が接続され、ノード Q B と制御線 C T R L との間に F E T m 10 と強磁性トンネル接合素子 M T J 2 が接続されている。F E T m 9、m 10 のゲートはスイッチ線 S T に接続されている。

【 0 1 0 7 】

実施例 13 に係るラッチ回路の動作について説明する。双安定回路 30 へのデータの書き込みおよびデータの保持は、従来の D ラッチ回路と同じように行われる。すなわち、クロック信号 C L K をハイレベルとしパスゲート 80 を導通状態とすることにより、双安定回路 30 に入力線 D I N のデータが書き込まれる。また、クロック信号 C L K をローレベルとしパスゲート 90 を導通状態とすることにより、双安定回路 30 はデータを保持する。なお、双安定回路 30 から強磁性トンネル接合素子 M T J 1 および M T J 2 へのストア

10

20

30

40

50



動作、および強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータのリストア動作以外の際（データの書き込み、出力、保持の際）、スイッチ線STはローレベルとし、FETm9およびm10は遮断状態とすることが好ましい。これにより、ノードQおよびQBと制御線CTRL間の電流を抑制し、消費電力を削減することができる。

#### 【0108】

双安定回路30に記憶されたデータを強磁性トンネル接合素子MTJ1およびMTJ2に不揮発的にストアする方法を説明する。まず、ノードQがハイレベル“H”、ノードQBがローレベル“L”のデータが保持されている場合について説明する。なお、以降の回路図のうち図35、図36および図38において、導通状態のFET等を実線、非導通状態のFET等は破線で示す。図35(a)および図35(b)を参照に、クロック信号CLKがローレベルとなり、双安定回路30にデータが保持される。図35(a)を参照に、スイッチ線STをハイレベルとし制御線CTRLをローレベルとする。ノードQからFETm9を介し制御線CTRLに電流 $I_{MTJ1}$ が流れる。電流 $I_{MTJ1}$ が閾値電流 $I_{TR}$ を越えるように設定しておくこと、強磁性トンネル接合素子MTJ1の抵抗は高抵抗 $R_{ap}$ となる。ノードQBはローレベルのため、強磁性トンネル接合素子MTJ2には電流は流れない。図35(b)を参照に、スイッチ線STをハイレベルとし、制御線CTRLをハイレベルとする。制御線CTRLからノードQBに電流 $I_{MTJ2}$ が流れる。電流 $I_{MTJ2}$ が閾値電流 $I_{TF}$ を越えるように設定しておくこと、強磁性トンネル接合素子MTJ2の抵抗は低抵抗 $R_p$ となる。ノードQはハイレベルのため、強磁性トンネル接合素子MTJ1には電流は流れない。上記一連の動作が完了すると、強磁性トンネル接合素子MTJ1の抵抗は高抵抗 $R_{ap}$ に、強磁性トンネル接合素子MTJ2の抵抗は低抵抗 $R_p$ になる。なお、図35(a)および図35(b)のいずれのステップを先に行ってもよい。

#### 【0109】

図36(a)および図36(b)を参照に、ノードQがローレベル、ノードQBがハイレベルのデータが保持されている場合について説明する。図36(a)を参照に、スイッチ線STをハイレベルとし制御線CTRLをローレベルとすると、ノードQBから制御線CTRLに電流 $I_{MTJ2}$ が流れるため、強磁性トンネル接合素子MTJ2は高抵抗 $R_{ap}$ となる。ノードQはローレベルのため、強磁性トンネル接合素子MTJ1には電流は流れない。図36(b)を参照に、スイッチ線STをハイレベルとし制御線CTRLをハイレベルとすると、制御線CTRLからノードQに電流 $I_{MTJ1}$ が流れるため、強磁性トンネル接合素子MTJ1は低抵抗 $R_p$ となる。ノードQBはハイレベルのため、強磁性トンネル接合素子MTJ2には電流は流れない。上記一連の動作が完了すると、強磁性トンネル接合素子MTJ1の抵抗は低抵抗 $R_p$ に、強磁性トンネル接合素子MTJ2の抵抗は高抵抗 $R_{ap}$ になる。以上のようにして、双安定回路30のデータを強磁性トンネル接合素子MTJ1およびMTJ2に不揮発的にストアすることができる。

#### 【0110】

電源Vsupplyが遮断され、双安定回路30のデータが消失した場合であっても、強磁性トンネル接合素子MTJ1およびMTJ2の抵抗は不揮発的に保持される。その後、強磁性トンネル接合素子MTJ1およびMTJ2からデータを双安定回路30にリストアする方法を説明する。図37は、双安定回路30へのデータリストアの際の時間に対するノードQおよびQBの電圧を示した図である。図38(a)から図38(c)はそれぞれ図37の時間 $t_1$ から $t_3$ のときのラッチ回路の状態を説明する図である。図38(a)から図38(c)において、ノードQおよびQBには、それぞれ容量 $C_Q$ および $C_{QB}$ が接続されている。容量 $C_Q$ および $C_{QB}$ は例えば、配線容量やトランジスタの寄生容量である。

#### 【0111】

図38(a)を参照に、強磁性トンネル接合素子MTJ1およびMTJ2はそれぞれ高抵抗 $R_{ap}$ および低抵抗 $R_p$ である。クロック信号CLKはローレベルとなっており、パsgate80は遮断状態、パsgate90は導通状態である。時間 $t_1$ において、スイッ

10

20

30

40

50

チ線STをハイレベルとする。電源電圧をローレベルからハイレベルに立ち上げる。ノードQおよびQBはローレベルとなっているため、インバータ10、20においては、FET<sub>m1</sub>、<sub>m3</sub>を介し、電源V<sub>supply</sub>からノードQおよびQBにそれぞれ電流I<sub>m1</sub>およびI<sub>m3</sub>が流れる。強磁性トンネル接合素子MTJ<sub>1</sub>は高抵抗Rapなため、ノードQからローレベルの制御線CTRLに流れる電流I<sub>MTJ1</sub>は小さい。強磁性トンネル接合素子MTJ<sub>2</sub>は低抵抗Rpなため、ノードQBからローレベルの制御線CTRLに流れる電流I<sub>MTJ2</sub>は大きい。

【0112】

ノードQおよびQBの電圧V<sub>Q</sub>およびV<sub>QB</sub>は、以下の式で表される。

$$V_Q = (I_{m3} - I_{m4} - I_{MTJ1}) dt / C_Q \quad \text{式6}$$

$$V_{QB} = (I_{m1} - I_{m2} - I_{MTJ2}) dt / C_{QB} \quad \text{式7}$$

また、各電流の大きさの関係は以下である。

$$I_{m1} = I_{m3} \gg I_{m2} = I_{m4} \quad \text{式8}$$

$$I_{MTJ1} < I_{MTJ2} \quad \text{式9}$$

また、容量C<sub>Q</sub>およびC<sub>QB</sub>の容量値C<sub>Q</sub>およびC<sub>QB</sub>は以下である。

$$C_Q = C_{QB} \quad \text{式10}$$

以上より、ノードQから容量C<sub>Q</sub>を充電する電流はI<sub>m3</sub> - I<sub>MTJ1</sub>であり、ノードQBから容量C<sub>QB</sub>を充電する電流はI<sub>m1</sub> - I<sub>MTJ2</sub>である。

よって、

$$V_Q > V_{QB} \quad \text{20}$$

となる。

これにより、図37の時間t<sub>1</sub>と時間t<sub>2</sub>の間では、電圧V<sub>Q</sub>およびV<sub>QB</sub>はともに増加するが、V<sub>Q</sub>はV<sub>QB</sub>より大きい。

【0113】

図38(b)を参照に、図37の時間t<sub>2</sub>において、V<sub>Q</sub>がインバータ10を構成するFET<sub>m2</sub>の閾値電圧より高くなると、FET<sub>m2</sub>が導通状態となり、FET<sub>m2</sub>には電流I<sub>m2</sub>が流れる。容量C<sub>QB</sub>を充電する電流は、I<sub>m1</sub> - I<sub>MTJ2</sub> - I<sub>m2</sub>となる。電流I<sub>m2</sub>が大きくなると、容量C<sub>QB</sub>から放電され、ノードQBの電圧は0になる。

【0114】

図38(c)を参照に、図37の時間t<sub>3</sub>において、定常状態となると、I<sub>m3</sub> = I<sub>MTJ1</sub>となり、容量C<sub>Q</sub>は充電された状態となり、容量C<sub>QB</sub>は放電された状態となる。以上により、ノードQはハイレベル、ノードQBはローレベルとなり、強磁性トンネル接合素子MTJ<sub>1</sub>およびMTJ<sub>2</sub>から双安定回路30へのデータのリストアが完了する。

【0115】

強磁性トンネル接合素子MTJ<sub>1</sub>およびMTJ<sub>2</sub>がそれぞれ低抵抗Rpおよび高抵抗Rapの場合のデータの双安定回路30へのリストアも図37から図38(c)のノードQおよびQBが入れ替わる以外は同様に行うことができる。

【0116】

次に、インバータに着目して強磁性トンネル接合素子MTJ<sub>1</sub>およびMTJ<sub>2</sub>から双安定回路30へのデータの復帰について説明する。図39のように、インバータ10と強磁性トンネル接合素子MTJ<sub>2</sub>からなる回路をインバータINV1、インバータ20と強磁性トンネル接合素子MTJ<sub>1</sub>からなる回路をインバータINV2、強磁性トンネル接合素子が付加されていないインバータ10または20をインバータINV0とする。

【0117】

図40(a)は、強磁性トンネル接合素子MTJ<sub>1</sub>が高抵抗Rap、強磁性トンネル接合素子MTJ<sub>2</sub>が低抵抗Rpの場合のインバータの入出力特性を示した概念図である。強磁性トンネル接合素子が付加されていないインバータINV0に対し、強磁性トンネル接合素子が付加されたインバータINV1、INV2は論理閾値が低くなる。強磁性トンネル接合素子MTJ<sub>2</sub>が低抵抗RpのインバータINV1は強磁性トンネル接合素子MTJ<sub>1</sub>が高抵抗RapのインバータINV2に対し論理閾値がさらに低くなる。図40(b)

10

20

30

40

50

を参照に、強磁性トンネル接合素子  $MTJ_1$  が低抵抗  $R_p$ 、強磁性トンネル接合素子  $MTJ_2$  が高抵抗  $R_{ap}$  の場合、インバータ  $INV_2$  はインバータ  $INV_1$  に対し論理閾値が低くなる。

【0118】

図41(a)は、強磁性トンネル接合素子が接続されていないインバータ  $INV_0$ 、 $INV_0'$  からなる双安定回路の特性曲線の概念図である。インバータ  $INV_0$ 、 $INV_0'$  の特性は等しいため、双安定回路30のスイッチ点  $C''$  は  $V_Q = V_{Q_B}$  上にある。 $V_{Q_B}$  が電源電圧  $V_{sp3}$  のときの点  $A''$  とスイッチ点  $C''$  間の特性曲線のループと、 $V_Q$  が電源電圧  $V_{sp3}'$  のときの点  $B''$  と点  $C''$  間の特性曲線のループと、は対称である。

10

【0119】

図41(b)は、強磁性トンネル接合素子  $MTJ_1$  が高抵抗  $R_{ap}$ 、強磁性トンネル接合素子  $MTJ_2$  が低抵抗  $R_p$  の場合の双安定回路30の特性曲線の概念図である。インバータ  $INV_1$  と  $INV_2$  の入出力特性が非対称なため、双安定回路30のスイッチ点  $C$  は  $V_Q = V_{Q_B}$  の直線より上側にある。 $V_{Q_B}$  が電源電圧  $V_{sp1}$  のときの点  $A$  とスイッチ点  $C$  間の特性曲線のループは、 $V_Q$  が電源電圧  $V_{sp1}'$  のときの点  $B$  と点  $C$  間の特性曲線のループより小さくなる。電源電圧  $V_{supply}$  を接地電圧  $0V$  から電圧  $V_{sp1}$ 、 $V_{sp1}'$  に立ち上げる過程を考える。このとき、強磁性トンネル接合素子  $MTJ_2$  に流れる電流  $I_{MTJ_2}$  は閾値電流  $I_{TR}$  を越えないようにする。電源電圧  $V_{supply}$  がインバータに使用されている  $p$  型  $MOSFET$  の閾値電圧の絶対値を少し越えた電圧  $V_{sp5}$ 、 $V_{sp5}'$  の場合、インバータ  $INV_1$  およびインバータ  $INV_2$  の特性曲線は  $INV_1'$  および  $INV_2'$  となる。インバータ  $INV_2$  はインバータ  $INV_1$  より閾値電圧が低い。すなわち、インバータ  $INV_1$ 、 $INV_2$  への入力電圧（インバータ  $INV_1$  の場合ノード  $Q$  の電圧、インバータ  $INV_1$  の場合ノード  $Q_B$  の電圧）が同じ場合、インバータ  $INV_2$  の方が出力ノード（インバータ  $INV_1$  の場合ノード  $Q_B$ 、インバータ  $INV_1$  の場合ノード  $Q_B$ ）からグランドへ多くの電流が流れる。よって、入力電圧が  $0V$  のときの出力電圧もインバータ  $INV_1$  よりもインバータ  $INV_2$  の方が低くなる。したがって、双安定回路の動的動作点は電源電圧  $V_{supply}$  の立ち上げ速度等に依存するものの、静的安定点が常に  $V_Q = V_{Q_B}$  の下側に存在するので、点線矢印の軌跡をたどり点  $B$  に収束する。

20

30

【0120】

図41(c)は、強磁性トンネル接合素子  $MTJ_1$  が低抵抗  $R_p$ 、強磁性トンネル接合素子  $MTJ_2$  が高抵抗  $R_{ap}$  の場合の双安定回路30の特性曲線の概念図である。双安定回路30のスイッチ点  $C'$  は  $V_Q = V_{Q_B}$  の直線より下側にある。 $V_{Q_B}$  が電源電圧  $V_{sp2}$  のときの点  $A'$  とスイッチ点  $C'$  間の特性曲線のループは、 $V_Q$  が電源電圧  $V_{sp2}'$  のときの点  $B'$  と点  $C'$  間の特性曲線のループより大きくなる。このとき、強磁性トンネル接合素子  $MTJ_1$  に流れる電流  $I_{MTJ_1}$  が閾値電流  $I_{TR}$  を越えないように電源電圧  $V_{supply}$  を  $0V$  から  $V_{sp2}$ 、 $V_{sp2}'$  に立ち上げる。双安定回路30の動的動作点は、静的安定点が常に  $V_Q = V_{Q_B}$  の上側にあるため、点線矢印の軌跡をたどり点  $A'$  に収束する。

40

【0121】

図41(b)および図41(c)において、電源電圧を立ち上げる際に、動的な動作点が  $V_Q = V_{Q_B}$  となったとしても、その直前まで  $V_Q = V_{Q_B}$  の直線の上側又は下側の特性ループ内にあるため、収束する安定点の方向は変わらず、点  $B$  または点  $A'$  に収束する。

【0122】

図41(b)または図41(c)において、強磁性トンネル接合素子  $MTJ_1$  または  $MTJ_2$  の電流  $I_{MTJ_1}$  または  $I_{MTJ_2}$  が閾値電流  $I_{TR}$  を一度でも越えると、強磁性トンネル接合素子  $MTJ_1$  および  $MTJ_2$  は高抵抗  $R_{ap}$  となる。よって、図41(d)のように、インバータ  $INV_1$  と  $INV_2$  の論理閾値は同じとなり、スイッチ点  $C''''$

50

は  $V_Q = V_{QB}$  上となる。このため、電源電圧  $V_{supply}$  を  $0V$  から電圧  $V_{sp4}$ 、 $V_{sp4}$  に立ち上げた場合、静的安定点は、点  $A''''$  に収束するか点  $B''''$  に収束するか確定しなくなってしまう。以上のように、データを復帰させる際は、電流  $I_{MTJ1}$  および  $I_{MTJ2}$  が閾値電流  $I_{TR}$  を越えないようにすることが好ましい。

#### 【0123】

図42は、実施例13に係るラッチ回路の制御を示すタイミングチャートである。なお、ハッチ領域はハイレベルかローレベルか定かではないことを示す。図42を参照に、電源電圧  $V_{supply}$  が供給され、制御線  $CTRL$  およびスイッチ線  $ST$  はローレベルである。双安定回路30へのデータの書き込みは、クロック信号  $CLK$  をハイレベル、入力線  $DIN$  をハイレベルまたはローレベルとすることにより行われる。双安定回路30から強磁性トンネル接合素子  $MTJ1$ 、 $MTJ2$  へのデータのストアは、期間  $T1$  においてスイッチ線  $ST$  および制御線  $CTRL$  をハイレベルとし(図35(b)および図36(b)に相当)、期間  $T2$  において、スイッチ線  $ST$  をハイレベルとし制御線  $CTRL$  をローレベルとする(図35(a)および図36(a)に相当)ことにより行われる。

#### 【0124】

その後、電源電圧  $V_{supply}$  を  $0V$  とすることにより、ラッチ回路はスリープ状態となる。このとき、ラッチ回路に電流が流れないため、消費電力を抑制することができる。強磁性トンネル接合素子  $MTJ1$  および  $MTJ2$  から双安定回路30へのデータのリストアは、期間  $T3$  において制御線  $CTRL$  をローレベルとしスイッチ線  $ST$  をハイレベルとしクロック信号  $CLK$  をローレベルとしクロック補信号  $CLKB$  をハイレベルとした状態で電源電圧  $V_{supply}$  を  $0V$  から立ち上げる(図37から図38(c)に相当)ことにより行われる。

#### 【0125】

次に、実施例13に係るラッチ回路のシミュレーションを行った。図43は、シミュレーションに用いた強磁性トンネル接合素子の電流電圧特性を示す図である。閾値電流  $I_{TF}$  および  $I_{TR}$  はそれぞれ  $30\mu A$  および  $-30\mu A$ 、抵抗  $R_{ap}$  および  $R_p$  はそれぞれ  $16.7k$  および  $8.33k$  とした。各  $FET$  のチャネル長  $L = 0.07\mu m$  であり、 $n$ 型  $FET$  のチャネル幅  $W_n = 1.0\mu m$ 、 $p$ 型  $FET$  のチャネル幅  $W_p = 1.5\mu m$  とした。

#### 【0126】

図44(a)から図44(d)は、シミュレーション結果を示すタイミングチャートである。図44(a)は、ノード  $Q$  がハイレベルのときにストアする際のタイミングチャート、図44(b)は、図44(a)後にリストアする際のタイミングチャートである。図44(c)は、ノード  $Q$  がローレベルのときにストアする際のタイミングチャート、図44(d)は、図44(c)後にリストアする際のタイミングチャートである。各図では、ノード  $Q$  のレベルに  $1.5V$ 、スイッチ線  $ST$  のレベルに  $3V$ 、制御線  $CTRL$  のレベルに  $4.5V$ 、電源電圧  $V_{supply}$  に  $6V$ 、クロック補信号  $CLKB$  のレベルに  $7.5V$ 、クロック信号  $CLK$  のレベルに  $9.0V$  を加え表示している。ストアの方法、リストアの方法は前述の通りである。

#### 【0127】

図44(a)において、ノード  $Q$  がハイレベル、ノード  $QB$  がローレベルの状態を強磁性トンネル接合素子にストアする。図44(b)において、ノード  $Q$  にハイレベル、ノード  $QB$  にローレベルがリストアされている。同様に、図44(c)において、ノード  $Q$  がローレベル、ノード  $QB$  がハイレベルの状態を強磁性トンネル接合素子にストアする。図44(d)において、ノード  $Q$  にローレベル、ノード  $QB$  にハイレベルがリストアされている。以上のように、実施例13に係るラッチ回路においては、強磁性トンネル接合素子  $MTJ1$  および  $MTJ2$  にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

#### 【実施例14】

#### 【0128】

図45は、実施例14に係るラッチ回路の回路図である。実施例14においては、実施例13の図3に対し、FETm9およびFETm10が設けられていない。このように、FETm9（第1スイッチ）およびFETm10（第2スイッチ）はなくてもよい。しかしながら、双安定回路30から制御線CTRLに流れる電流を抑制するためには、FETm9およびFETm10を設ける方が好ましい。

【0129】

図46(a)から図46(d)は、実施例14に係るラッチ回路について、実施例13の図44(a)から図44(d)と同じシミュレーションを行った結果を示す図である。なお、各図では、ノードQのレベルに1.5V、制御線CTRLのレベルに3V、電源電圧Vsupplyに4.5V、クロック補信号CLKBのレベルに6V、クロック信号CLKに7.5Vを加え表示している。

【0130】

図46(a)において、ノードQがハイレベル、ノードQBがローレベルの状態を強磁性トンネル接合素子にストアする。図46(b)において、ノードQにハイレベル、ノードQBにローレベルがリストアされている。同様に、図46(c)において、ノードQがローレベル、ノードQBがハイレベルの状態を強磁性トンネル接合素子にストアする。図46(d)において、ノードQにローレベル、ノードQBにハイレベルがリストアされている。以上のように、実施例14に係るラッチ回路においては、強磁性トンネル接合素子MTJ1およびMTJ2にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

【0131】

図47(a)は、シミュレーション開始時の強磁性トンネル接合素子MTJ1の抵抗が高抵抗Rapであり強磁性トンネル接合素子MTJ2が低抵抗Rpの場合の双安定回路30のシミュレーション特性曲線を示している。図47(b)は、シミュレーション開始時の強磁性トンネル接合素子MTJ1が低抵抗Rpであり強磁性トンネル接合素子MTJ2が高抵抗Rapの場合の双安定回路30のシミュレーション特性曲線を示している。実線はインバータINV1に相当する曲線、破線はインバータINV2に相当する曲線であり、それぞれの入出力を切り離した状態のインバータ単体でシミュレーションを行っている。矢印は掃印方向を示している。電源電圧Vsupplyが1.0V、0.5Vおよび0.3Vのときの曲線を示している。点線の矢印は、インバータINV1とインバータINV2の入出力を相互に接続性し双安定回路30を構成して、電源電圧を0Vから1.0Vまで立ち上げたとき(図46(b)および図46(d)においてリストアを行ったとき)の動的動作点の軌跡を示している。

【0132】

図47(a)および図47(b)を参照に、電源電圧Vsupplyが0.3V、0.5Vのとき特性曲線は非対称である。これにより、電源電圧Vsupplyが高くなると、図47(a)では動的動作点はノードQがローレベルにノードQBがハイレベルに収束する。図47(b)では動的動作点はノードQがハイレベルにノードQBがローレベルに収束する。電源電圧Vsupplyが1.0V固定のときは図47(a)にあってはインバータINV2の入力電圧、図47(b)にあってはインバータINV1の入力電圧をそれぞれ0Vから1V、1Vから0Vまで掃印すると、強磁性トンネル接合素子MTJ1またはMTJ2を流れる電流 $I_{MTJ1}$ または $I_{MTJ2}$ が閾値電流 $I_{TR}$ を越えるため、特性曲線は対称になってしまう。このように、電流 $I_{MTJ1}$ または $I_{MTJ2}$ が閾値電流 $I_{TR}$ をリストア動作中に越えないように、電源電圧Vsupply、強磁性トンネル接合素子MTJ1およびMTJ2の抵抗値RpおよびRapなどを設定することが好ましい。

【実施例15】

【0133】

実施例13および実施例14のように、強磁性トンネル接合素子にストアしたデータを双安定回路30のデータにリストアできるのは、図39のインバータINV1とINV2

10

20

30

40

50

の論理閾値がストアされたデータに応じ逆転するためである（図40（a）および図40（b）参照）。よって、双安定回路30を構成するインバータ10とインバータ20に強磁性トンネル接合素子MTJ1を付加したインバータINV2との論理閾値がストアされたデータに応じ異なるようにすれば、強磁性トンネル接合素子が1つの構成においても、データのリストアが可能となる。以下に、強磁性トンネル接合素子が1つの構成の例を説明する。

【0134】

図48（a）および図48（b）は実施例15に係るラッチ回路の回路図である。実施例15においては、実施例13および実施例14に対し、インバータ20のFETm4'のチャンネル幅をインバータ10のFETm3のチャンネル幅より狭くしている。また、強磁性トンネル接合素子MTJ2およびFETm10が設けられていない。これにより、強磁性トンネル接合素子MTJ1の抵抗が高抵抗Rapの場合と低抵抗Rpの場合とで、インバータ10の入出力特性とインバータINV2の入出力特性とで、論理閾値が逆転する。よって、実施例13および実施例14と同様に、強磁性トンネル接合素子MTJ1にストアされたデータを双安定回路30にリストアすることができる。FETm9は図48（a）のように、設けてもよいし、図48（b）のように設けなくてもよい。

10

【実施例16】

【0135】

図49（a）および図49（b）は実施例16に係るラッチ回路の回路図である。実施例16においては、実施例13および実施例14に対し、強磁性トンネル接合素子MTJ2が抵抗R1に置き換わっている。抵抗R1は強磁性トンネル接合素子MTJ1の高抵抗Rapと低抵抗Rpとの間になるように設定する。これにより、強磁性トンネル接合素子MTJ1の抵抗が高抵抗Rapの場合と低抵抗Rpの場合とで、インバータ10に抵抗R1を付加したインバータINV1の入出力特性とインバータINV2の入出力特性とで、論理閾値が逆転する。よって、実施例13および実施例14と同様に、強磁性トンネル接合素子MTJ1にストアされたデータを双安定回路30にリストアすることができる。FETm9およびFETm10は、図49（a）のように、設けてもよいし、図49（b）のように設けなくてもよい。

20

【実施例17】

【0136】

図50（a）および図50（b）は実施例17に係るラッチ回路の回路図である。実施例17においては、実施例16に対し、抵抗R1が接地されている。双安定回路30のデータを強磁性トンネル接合素子MTJ1にストアするため、制御線CTRLをハイレベルにした場合に抵抗R1に電流が流れなくてもよい。よって、抵抗R1は接地してもよい。実施例16と同じように抵抗R1は強磁性トンネル接合素子MTJ1の高抵抗Rapと低抵抗Rpとの間になるように設定する。また、FETm9およびFETm10は、図50（a）のように、設けてもよいし、図50（b）のように設けなくてもよい。

30

【実施例18】

【0137】

図51は実施例18に係るラッチ回路の回路図である。実施例18においては、実施例13の図3の制御線CTRLにFETm11からm14よりなるインバータ2段の増幅回路の出力が接続されている。増幅回路70の入力は外部制御線EXT-CTRLが接続されている。制御線CTRLにより多くのラッチ回路を同時に制御すると、動作が遅くなってしまう。実施例18によれば、増幅回路70により外部制御線EXT-CTRLの信号を増幅するため、ラッチ回路におけるストアおよびリストアを高速に行うことができる。

40

【実施例19】

【0138】

図52は、実施例19に係るラッチ回路の回路図である。実施例19においては、n型MOSFETm15が制御線CTRLとグランドとの間に接続され、FETm15のゲートが第2制御線RCLに接続されている。図53は、実施例19に係るラッチ回路のタイ

50

ミングチャートである。ストアの際は、第2制御線RCLのレベルをローレベルとする。FETm15は遮断状態となる。よって、ノードQとQBのどちらかがハイレベルの電位、もう一方がローレベルの電位であるから、強磁性トンネル接合素子MTJ1と強磁性トンネル接合素子MTJ2との間に電流が流れ、双安定回路30のデータが強磁性トンネル接合素子MTJ1とMTJ2にストアされる。制御線CTRLのレベルはハイレベルとローレベルとの間となる。リストアの際は、第2制御線RCLを導通状態とする。制御線CTRLはローレベルとなり、実施例13と同様にリストアすることができる。これにより、制御線CTRLの駆動能力によらず、ラッチ回路におけるストアおよびリストアを高速に行うことができる

【0139】

10

図54(a)から図54(d)は、実施例19に係るラッチ回路について、実施例13の図44(a)から図44(d)と同じシミュレーションを行った結果を示す図である。なお、シミュレーションに用いたパラメータのうち、強磁性トンネル接合素子の高抵抗値Raおよび低抵抗値Rpをそれぞれ6.67k および3.33k とし、その他のパラメータは実施例13と同じとした。各図では、ノードQのレベルに1.5V、第2制御線RCLに3.0V、スイッチ線STに4.5V、電源電圧Vsupplyに6.0V、クロック補信号CLKBのレベルに7.5V、クロック信号CLKのレベルに9.0Vを加え表示している。

【0140】

図54(a)において、ノードQがハイレベル、ノードQBがローレベルの状態を強磁性トンネル接合素子にストアする。図54(b)において、ノードQにハイレベル、ノードQBにローレベルがリストアされている。同様に、図54(c)において、ノードQがローレベル、ノードQBがハイレベルの状態を強磁性トンネル接合素子にストアする。図54(d)において、ノードQにローレベル、ノードQBにハイレベルがリストアされている。以上のように、実施例20に係るラッチ回路においては、強磁性トンネル接合素子MTJ1およびMTJ2にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

20

【実施例20】

【0141】

図55は、実施例20に係るラッチ回路の回路図である。実施例20においては、実施例19に対しFETm9およびm10が設けられていない。その他の構成は実施例19と同じである。図56(a)から図56(d)は、実施例20に係るラッチ回路について、実施例19の図54(a)から図54(d)と同じシミュレーションを行った結果を示す図である。なお、シミュレーションに用いたパラメータのうち、強磁性トンネル接合素子の高抵抗値Rapおよび低抵抗値Rpをそれぞれ10.67k および5.33k とし、その他のパラメータは実施例13と同じとした。

30

【0142】

図56(a)において、ノードQがハイレベル、ノードQBがローレベルの状態を強磁性トンネル接合素子にストアする。図56(b)において、ノードQにハイレベル、ノードQBにローレベルがリストアされている。同様に、図56(c)において、ノードQがローレベル、ノードQBがハイレベルの状態を強磁性トンネル接合素子にストアする。図56(d)において、ノードQにローレベル、ノードQBにハイレベルがリストアされている。以上のように、FETm9およびm10を設けない実施例20に係るラッチ回路においても、強磁性トンネル接合素子MTJ1およびMTJ2にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

40

【実施例21】

【0143】

図56は実施例21に係るラッチ回路の回路図である。実施例21においては、実施例13の図3に対し、トリステートインバータ21はp型MOSFETm3、m7、n型MOSFETm4およびm8を有している。p型MOSFETm3のドレインとノードQ

50

との間に p 型 MOS F E T m 7 が接続されている。n 型 MOS F E T m 4 のドレインとノード Q との間に n 型 MOS F E T m 8 が接続されている。F E T m 7 および m 8 のゲートはそれぞれクロック信号 C L K およびクロック補信号 C L K B に接続されている。実施例 2 1 においても実施例 1 3 と同様の機能を有することができる。

【実施例 2 2】

【0 1 4 4】

図 5 8 は実施例 2 2 に係るラッチ回路の回路図である。実施例 2 2 においては、実施例 1 3 の図 3 に対し、強磁性トンネル接合素子 M T J 1 および F E T m 9 がスピン F E T 1 に、強磁性トンネル接合素子 M T J 2 および F E T m 1 0 がスピン F E T 2 に、置き換わっている。このように、強磁性トンネル接合素子はスピン F E T を用いてもよい。なお、スピン F E T は、磁化方向によりコンダクタンスを不揮発的に変更できるトランジスタであり、ゲート等の制御端子によりスイッチング機能も有している。例えば、国際公開第 2 0 0 4 / 0 7 9 8 2 7 パンフレットまたは電子情報通信学会誌 V o l . 8 8 . N o . 7 . 2 0 0 5 P P . 5 4 1 - 5 5 0 に記載されているスピン F E T を用いることができる。

10

【実施例 2 3】

【0 1 4 5】

実施例 2 3 は D ラッチ回路が複数接続されたマスタスレーブ型フリップフロップ回路の例である。図 5 9 は実施例 2 3 に係るラッチ回路の回路図である。図 2 の D ラッチ回路 1 0 0 b と実施例 1 3 の D ラッチ回路 1 0 0 a が接続されている。D ラッチ回路 1 0 0 b のノード Q B ' が D ラッチ回路 1 0 0 a のパスゲート 8 0 a に入力する。D ラッチ回路 1 0 0 a と 1 0 0 b とでは、パスゲートに入力するクロック信号 C L K およびクロック補信号 C L K B が逆になっている。このように、マスタスレーブ型フリップフロップの後段の D ラッチ回路 1 0 0 a に強磁性トンネル接合素子 M T J 1 および M T J 2 を設け、データを不揮発的にストアすることができる。また、データをリストアすることができる。強磁性トンネル接合素子 M T J 1 および M T J 2 へのデータのストア、リストア時には、D ラッチ回路 1 0 0 a のパスゲート 8 0 a は実施例 1 3 と同様に遮断状態である。このため、D ラッチ回路 1 0 0 b の動作は D ラッチ回路 1 0 0 a におけるデータのストアおよびリストアに影響を及ぼさない。

20

【実施例 2 4】

【0 1 4 6】

実施例 2 4 は、論理回路を用いて双安定回路を構成する例である。図 6 0 を参照に、双安定回路 3 0 は、第 1 論理回路 1 0 0、第 2 論理回路 1 1 0 を有している。第 1 論理回路 1 0 0 は、1 以上の入力 A 1 ~ A n と 1 以上の出力 C 1 ~ C j とを有している。第 2 論理回路 1 1 0 は、1 以上の入力 B 1 ~ B m と 1 以上の出力 D 1 ~ D k とを有している。第 1 論理回路 1 0 0 の出力 C 1 と第 2 論理回路 1 1 0 の入力 B 1 は第 1 ノード Q に接続されている。第 2 論理回路 1 1 0 の出力 D 1 と第 1 論理回路 1 0 0 の入力 A 1 は第 2 ノード Q B に接続されている。第 1 ノード Q には、F E T m 9 を介し第 1 強磁性トンネル接合素子 M T J 1 が接続され、第 2 ノード Q B には、F E T m 1 0 を介し第 2 強磁性トンネル接合素子 M T J 2 が接続されている。

30

40

【0 1 4 7】

双安定回路 3 0 のデータを強磁性トンネル接合素子 M T J 1 または M T J 2 にストアする際には記憶すべき相補的なデータがそれぞれ第 1 論理回路 1 0 0 と第 2 論理回路 1 1 0 から第 1 ノード Q および第 2 ノード Q B に出力される。データを強磁性トンネル接合素子 M T J 1 または M T J 2 から双安定回路 3 0 にリストアする際は、第 1 論理回路 1 0 0 の入力 A 2 ~ A n (すなわち第 2 ノード Q B に接続された入力 A 1 以外の入力)には第 1 論理回路 1 0 0 が第 1 ノード Q に第 2 ノード Q B の論理反転を出力するような信号が入力される。第 2 論理回路 1 1 0 の入力 B 2 ~ B m (すなわち第 1 ノード Q に接続された入力 B 1 以外の入力)には第 2 論理回路 1 1 0 が第 2 ノード Q B に第 1 ノード Q の論理反転を出力するような信号が入力されている。

50



## 【 0 1 4 8 】

このような構成においても、実施例 1 3 と同じ効果を得ることができる。例えば、実施例 2 1 においては、第 1 論理回路 1 0 0 は図 6 1 ( a ) の回路に相当し、第 2 論理回路 1 1 0 は図 6 1 ( b ) の回路に相当する。データのストアおよびリストアの際に、第 1 論理回路 1 0 0 においては、図 6 1 ( a ) 中の入力 A 1 の論理反転が出力 C 1 に出力されるように、入力 A 2 ~ A 4 に信号を印加する。第 2 論理回路 1 1 0 においては、図 6 1 ( b ) のように入力 B 1 の論理反転が出力 D 1 に出力される。このように、実施例 2 1 に係るラッチ回路は、実施例 2 4 に係るラッチ回路に含まれる。

## 【 0 1 4 9 】

実施例 2 4 によれば、論理回路を用いて双安定回路を構成することができる。これにより、Dラッチ回路以外にも、セット、リセット機能を有するラッチ回路やフリップフロップ回路に強磁性トンネル接合素子を用い、不揮発性ラッチ回路および不揮発性フリップフロップ回路を実現することもできる。なお、第 1 論理回路 1 0 0 および第 2 論理回路 1 1 0 として CMOS を用いた例を示したが、抵抗負荷や D モード負荷を用いてもよい。また、実施例 1 3 から実施例 2 3 の双安定回路 3 0 を実施例 2 4 ように第 1 論理回路 1 0 0 および第 2 論理回路 1 1 0 を用いた双安定回路とすることもできる。

## 【 実施例 2 5 】

## 【 0 1 5 0 】

図 6 2 は実施例 2 5 に係るラッチ回路の回路図である。実施例 2 5 は実施例 1 3 に対し、インバータ 1 0 および 2 0 が電源線 V D D と V S S との間に接続されている。また、強磁性トンネル接合素子 M T J 1 および M T J 2 の極性が実施例 1 3 とは逆である。これにより、ノード Q または Q B から制御線 C T R L に電流が流れることにより、強磁性トンネル接合素子 M T J 1 または M T J 2 は低抵抗 R p となり、制御線 C T R L からノード Q または Q B に電流が流れることにより、強磁性トンネル接合素子 M T J 1 または M T J 2 は高抵抗 R a p となる。さらに、F E T m 9 および m 1 0 が p 型 M O S F E T である。その他の構成は実施例 1 3 の図 3 と同じである。

## 【 0 1 5 1 】

図 6 3 は実施例 2 5 のタイミングチャートである。実施例 2 5 では、電源の遮断は V S S をハイレベル ( V D D のレベル ) とすることにより行われる。制御線 C T R L のレベルおよびスイッチ線 S T のレベルは書き込みおよびスリープの際はハイレベルである。ストアの際の期間 T 1 において、スイッチ線 S T および制御線 C T R L がローレベルとなり、期間 T 2 において、スイッチ線 S T がローレベル、制御線 C T R L がハイレベルとなる。これにより、双安定回路 3 0 のデータが強磁性トンネル接合素子 M T J 1 および M T J 2 にストアされる。リストアの際の期間 T 3 において、スイッチ線 S T をローレベルとすることにより、強磁性トンネル接合素子 M T J 1 および M T J 2 のデータが双安定回路 3 0 にリストアされる。

## 【 0 1 5 2 】

実施例 2 5 において、強磁性トンネル接合素子 M T J 1 および M T J 2 の極性を実施例 1 3 と逆にする理由は以下による。例えば、ノード Q をハイレベルにする場合、F E T m 2 および m 4 の放電電流に対し、ノード Q を制御線 C T R L から充電するため、強磁性トンネル接合素子 M T J 1 は低抵抗 R p であることが好ましい。しかるに、強磁性トンネル接合素子 M T J 1 が実施例 1 4 と同じ極性であると、高抵抗 R a p となってしまうためである。また、F E T m 9 および m 1 0 を p M O S F E T とする理由は以下である。リストアの初期段階において、F E T m 9 および m 1 0 のソースおよびドレインはともにハイレベルに近い。このとき、F E T m 9 および m 1 0 が p 型 F E T であると、スイッチ線 S T をローレベルとすることにより、F E T m 9 および m 1 0 を確実に導通状態とすることができる。

## 【 0 1 5 3 】

実施例 1 4 から実施例 2 4 においても、インバータ 1 0 および 2 0 を電源線 V D D と V S S との間に接続し、強磁性トンネル接合素子 M T J 1 または M T J 2 の極性を実施例 2

10

20

30

40

50

5と同じとすることもできる。

【0154】

実施例13から実施例20、実施例22、実施例23および実施例25によれば、ラッチ回路は、双安定回路30に入力線DINからデータを書き込むためのパルセート80（第1入力スイッチ）と、パルセート80と相補的に動作し、双安定回路30のデータを保持するためのパルセート90（第2入力スイッチ）とを有している。また、ラッチ回路は、双安定回路30に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子MTJ1またはMTJ2と、を有し、強磁性トンネル接合素子MTJ1またはMTJ2に不揮発的に記憶されたデータは双安定回路30にリストア可能である。これにより、双安定回路30へのデータの書き込みおよび出力を高速に行うことができる。また、電源が遮断されても強磁性トンネル接合素子MTJ1またはMTJ2に不揮発的にストアされたデータを双安定回路30にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前のデータを出力可能となる。

10

【0155】

強磁性トンネル接合素子MTJ1またはMTJ2は、ノードQまたはQBと制御線CTRLとの間に接続されている。強磁性トンネル接合素子MTJ1またはMTJ2は、ノードQまたはQBと制御線CTRLとの間に電流が流れることにより高抵抗となり、反対方向に電流が流れることにより低抵抗となる。これにより、ノードQまたはQBのレベルに応じ制御線CTRLとノードQまたはQBとの間に電流を流すことにより、双安定回路30のデータを強磁性トンネル接合素子にストアすることができる。

20

【0156】

また、図42および図53のように、データを双安定回路30にストアさせる際に、制御線CTRLは強磁性トンネル接合素子MTJ1またはMTJ2にハイレベルの電圧を印加し、さらにローレベルの電圧を印加する。これにより、双安定回路30に記憶されたデータを強磁性トンネル接合素子MTJ1またはMTJ2にストアすることができる。

【0157】

データを強磁性トンネル接合素子MTJ1またはMTJ2から双安定回路30にリストアさせる際に、制御線CTRLは電源遮断方法とその対応回路に応じ、強磁性トンネル接合素子MTJ1またはMTJ2にローレベルまたはハイレベルの電圧を印加する。すなわち、実施例13から実施例24においては、制御線CTRLは、強磁性トンネル接合素子MTJ1またはMTJ2にローレベルの電圧を印加し、実施例25においては、ハイレベルの電圧を印加する。これにより、強磁性トンネル接合素子MTJ1またはMTJ2にストアされたデータを双安定回路30にリストアすることができる。

30

【0158】

実施例13、実施例15の図48(a)、実施例16の図49(a)、実施例17の図50(a)、実施例18、実施例19、実施例21、実施例23から実施例25のように、ラッチ回路は、ノードQまたはQBと強磁性トンネル接合素子MTJ1またはMTJ2との間に接続されたスイッチ(FETm9またはm10に相当する)を有してもよい。このスイッチは、ストアおよびリストアの際に導通し、ストアおよびリストア以外に遮断状態となる。これにより、ラッチ回路の消費電力を削減することができる。

40

【0159】

実施例13、実施例14、実施例18から実施例21、実施例23から実施例25のように、ノードQを第1ノードQ、ノードQBを第2ノードQBとし、第1ノードQと制御線CTRLとの間に接続された強磁性トンネル接合素子MTJ1を第1強磁性トンネル接合素子とし、第2ノードQBと制御線CTRLとの間に接続された強磁性トンネル接合素子MTJ2を第2強磁性トンネル接合素子とすることができる。このように2つの強磁性トンネル接合素子を用いることにより、強磁性トンネル接合素子をノードQおよびQBの一方に接続する場合に比べ、インバータ10および第2強磁性トンネル接合素子MTJ2からなるインバータINV1とインバータ20および第1強磁性トンネル接合素子MTJ1からなるインバータINV2との論理閾値の差を大きくすることができる。よって、動

50

作速度やノイズマージンの観点から有利であり、より安定に動作することができる。

【0160】

実施例13、実施例18、実施例19、実施例21、実施例23から実施例25のように、ラッチ回路は、スイッチとして、第1ノードQと第1強磁性トンネル接合素子MTJ1との間に接続され、データのストアおよびリストアの際に導通する第1スイッチ(FETm9に相当する)と、第2ノードQBと第2強磁性トンネル接合素子MTJ2との間に接続された第2スイッチ(FETm10に相当する)と、を含んでいる。第1スイッチおよび第2スイッチは、データをストアおよびリストアする際に導通し、ストアおよびリストア以外の際に遮断状態となる。このように、第1強磁性トンネル接合素子MTJ1および第2強磁性トンネル接合素子MTJ2とノードQおよびQBとの間両方に、第1スイッチおよび第2スイッチを接続することにより、消費電力をより抑制することができる。

10

【0161】

実施例19および実施例20のように、ラッチ回路は、制御線CTRLとローレベルの電力線であるグランドとの間に接続された第3スイッチ(FETm15に相当する)を有している。図53のように、第3スイッチは、データをストアする際に遮断状態となり、データをリストアする際に導通する。これにより、ストアの際に、2つの強磁性トンネル接合素子MTJ1およびMTJ2の間を電流が流れるため、実施例18のような増幅回路70を設けなくとも、ストアを高速に行うことができる。なお、インバータ10および20を電源線VDDとVSSとの間に接続し、強磁性トンネル接合素子MTJ1またはMTJ2の極性を実施例25と同じとする場合は、第3スイッチが接続する電力線はハイレベルであり、第3スイッチにMOSFETを用いる場合はp型MOSFETを用いることが好ましい。

20

【0162】

実施例23のように、実施例13から実施例22、実施例24および実施例25に係るラッチ回路を用いフリップフロップ回路を構成することもできる。

【0163】

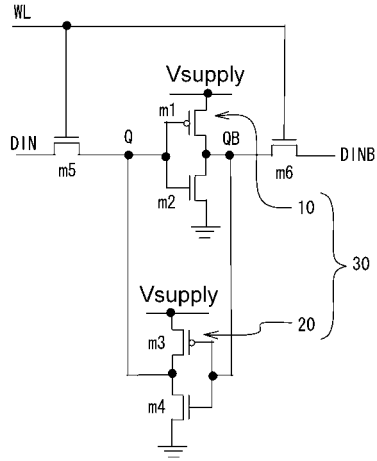
なお、インバータ10および20としてCMOSを用いたインバータの例、トライステートインバータ21の例としてCMOSを用いたトライステートインバータの例を示したが、抵抗負荷やDモード負荷を用いたインバータでもよい。第1入力スイッチおよび第2入力スイッチとしてパスゲートを例に説明したが、導通状態と遮断状態とを切り換えることが可能な素子であればよい。また、第1スイッチおよび第2スイッチとしてFETを例に説明したが、導通状態と遮断状態とを切り換えることが可能な素子であればよい。

30

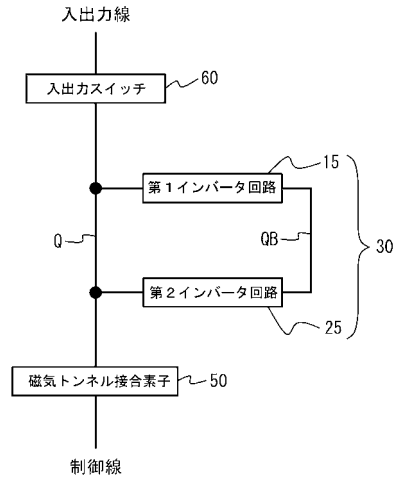
【0164】

以上、発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

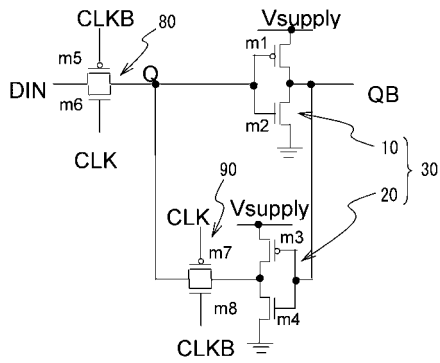
【図1】



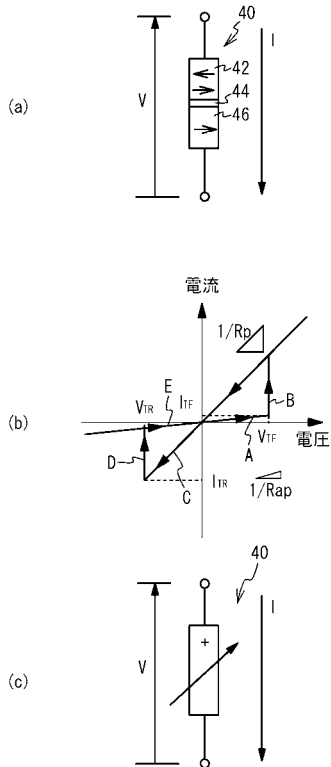
【図3】



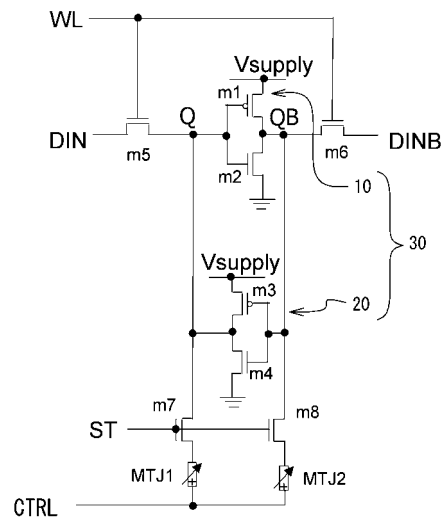
【図2】



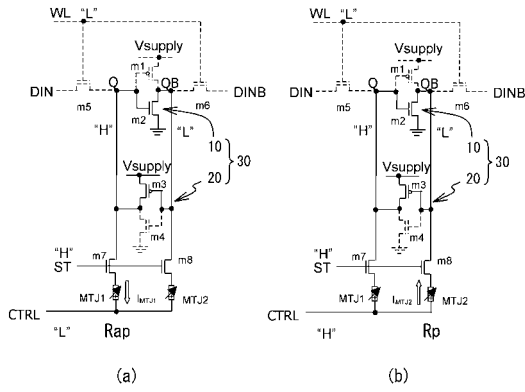
【図4】



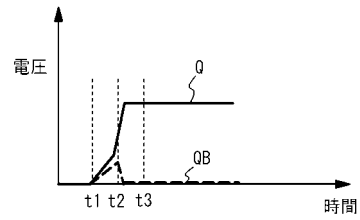
【図5】



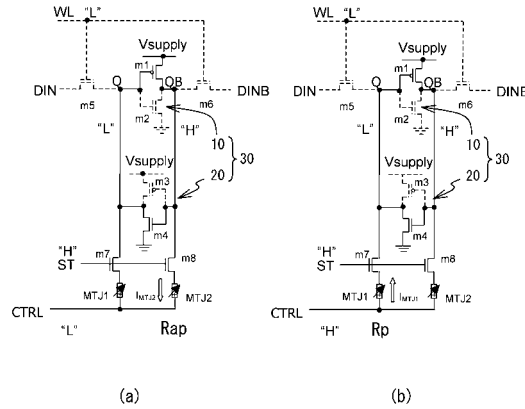
【図6】



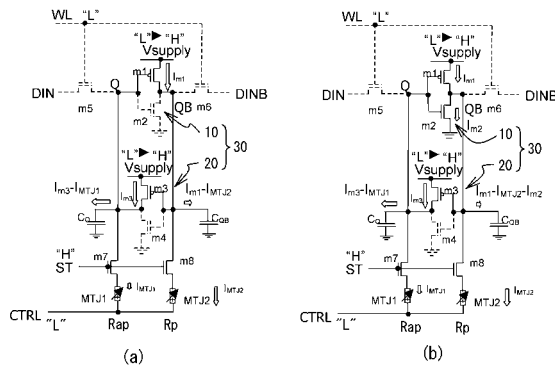
【図8】



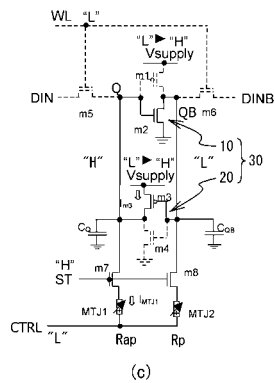
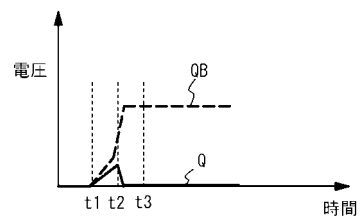
【図7】



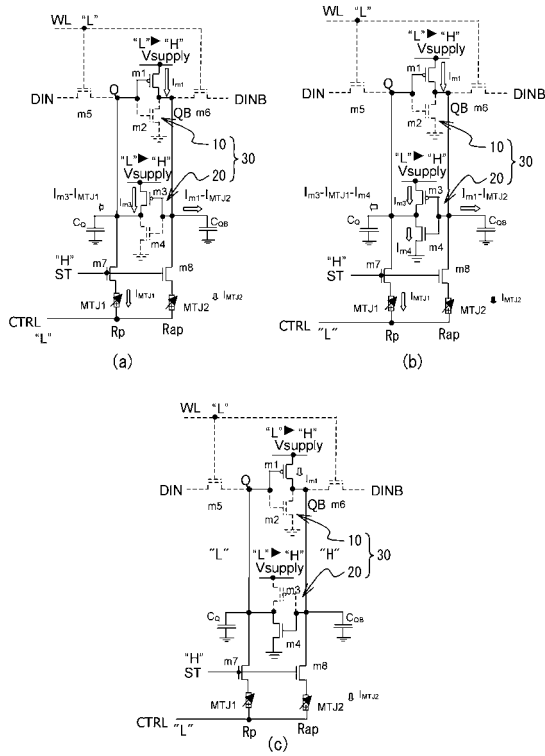
【図9】



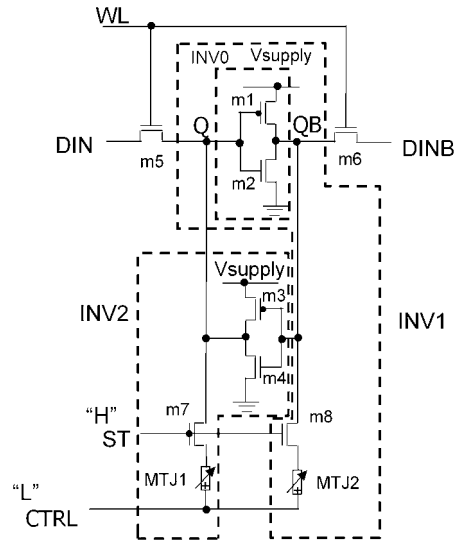
【図10】



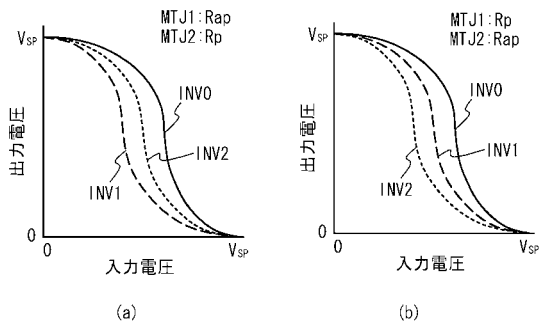
【図 1 1】



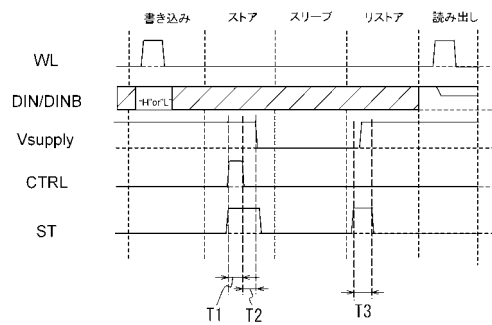
【図 1 2】



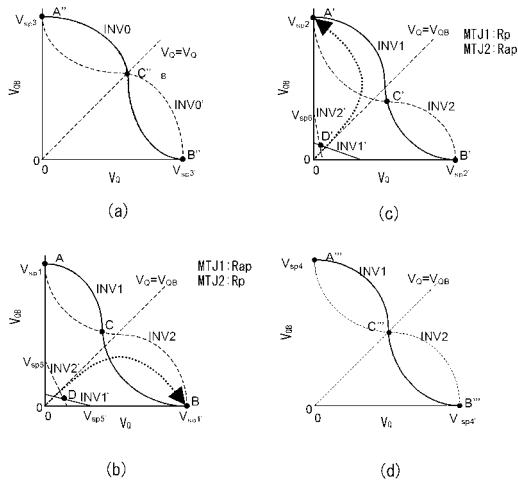
【図 1 3】



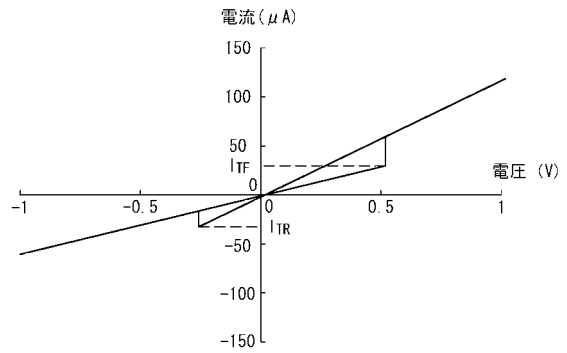
【図 1 5】



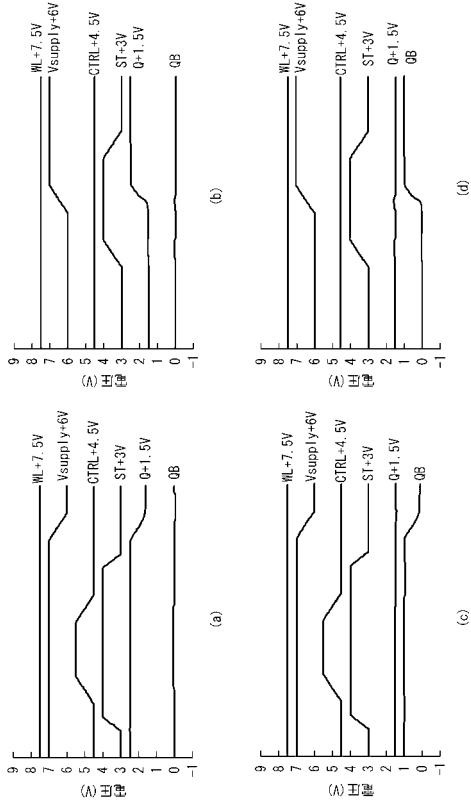
【図 1 4】



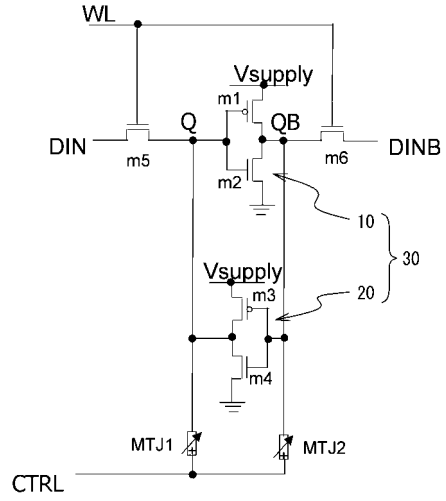
【図 1 6】



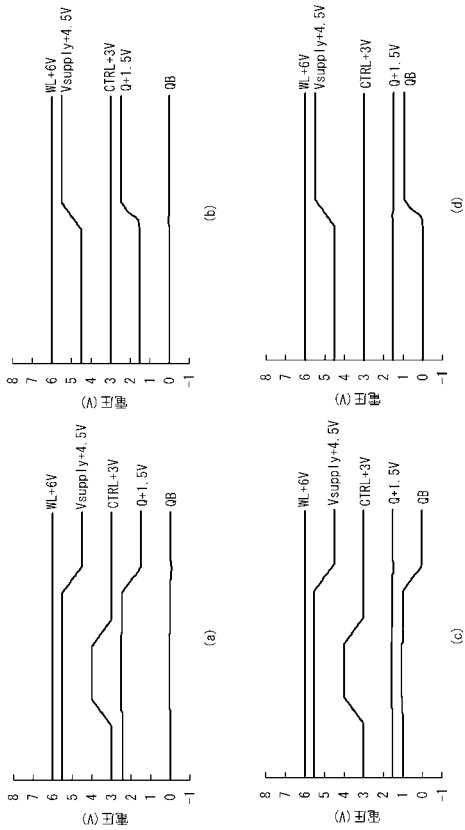
【 図 17 】



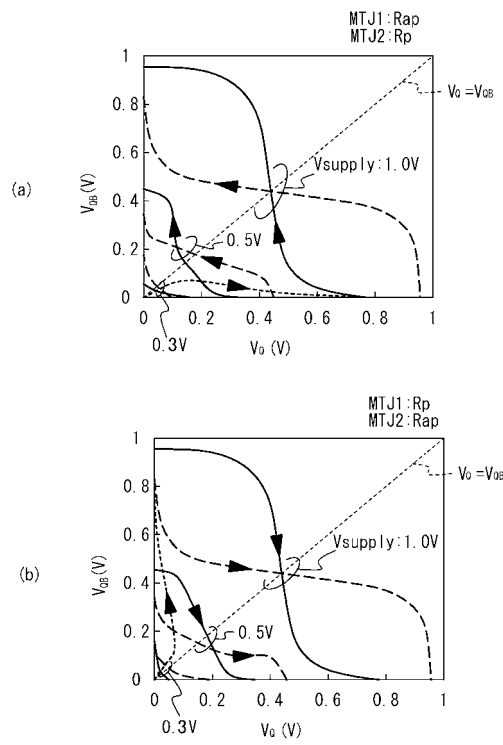
【 図 18 】



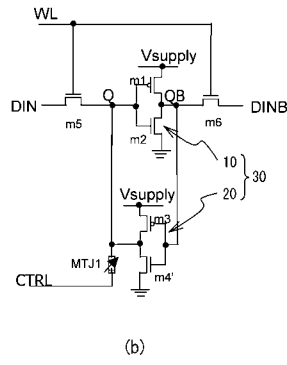
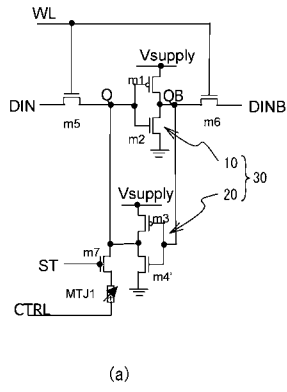
【 図 19 】



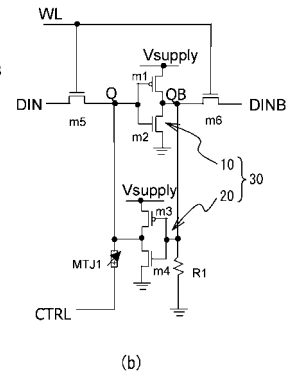
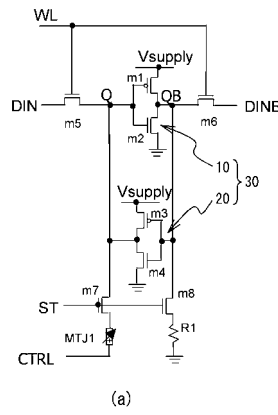
【 図 20 】



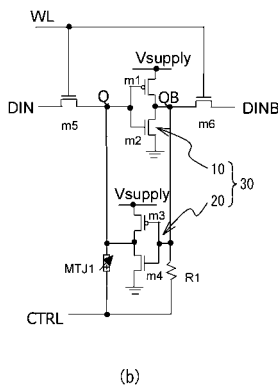
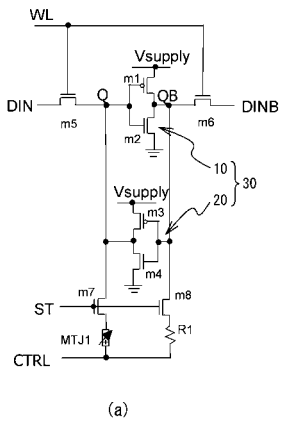
【 2 1 】



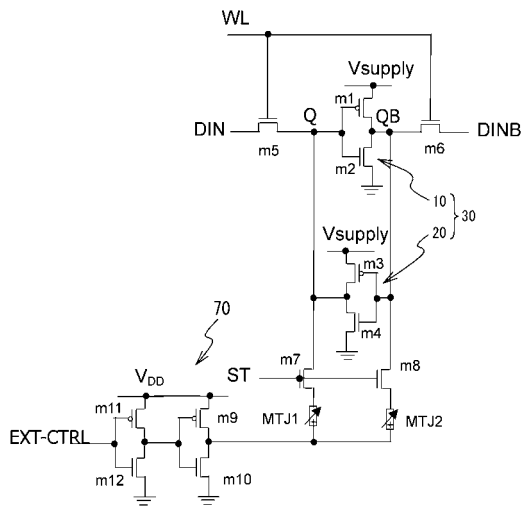
【 2 3 】



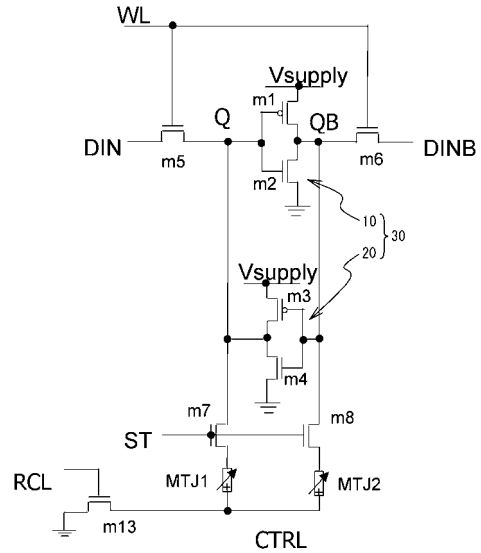
【 2 2 】



【 2 4 】

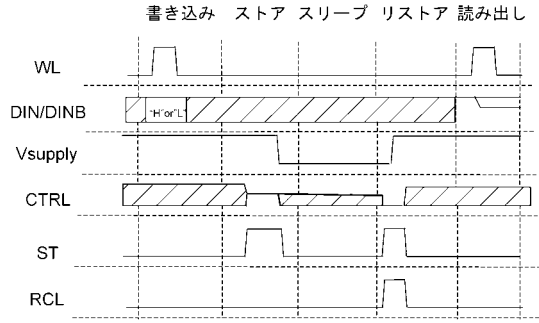


【 2 5 】

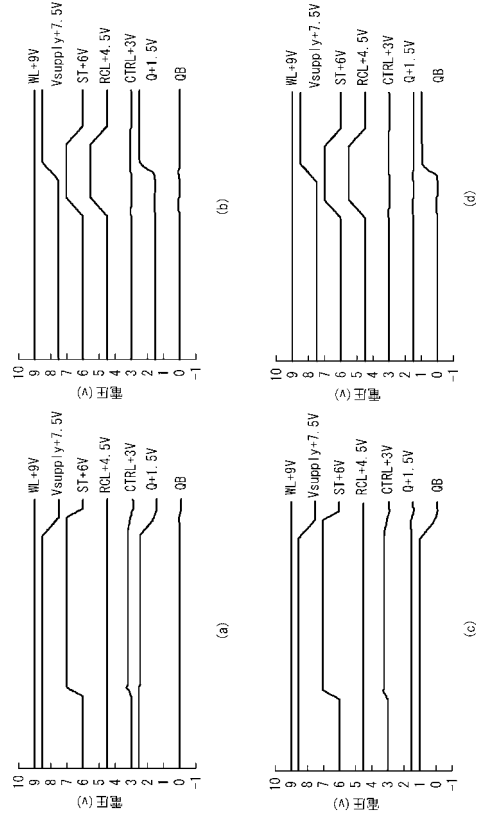




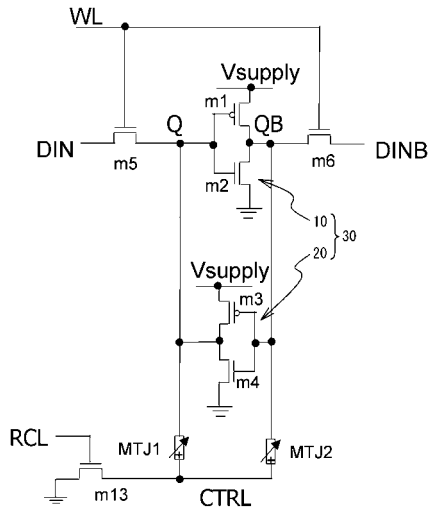
【図26】



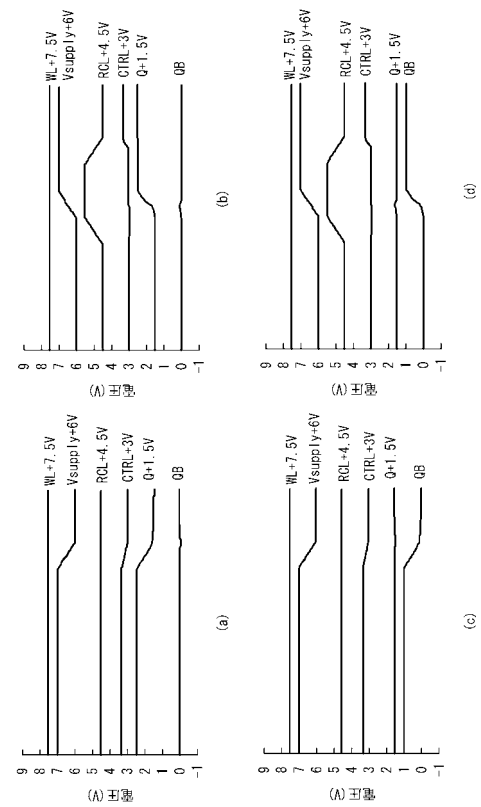
【図27】



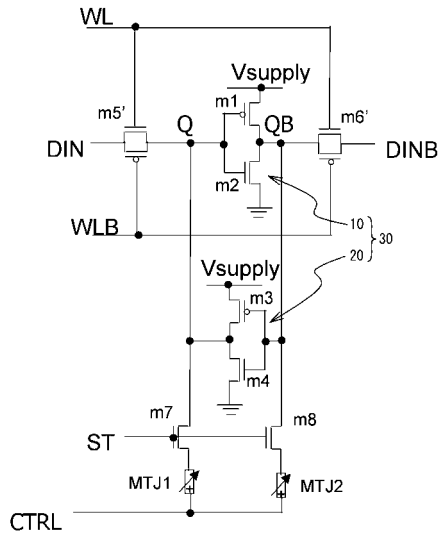
【図28】



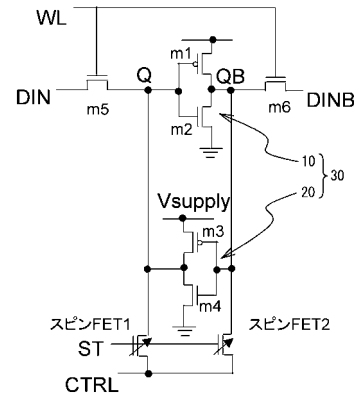
【図29】



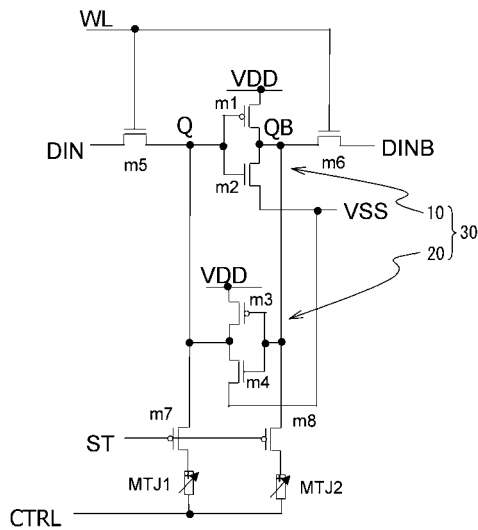
【図30】



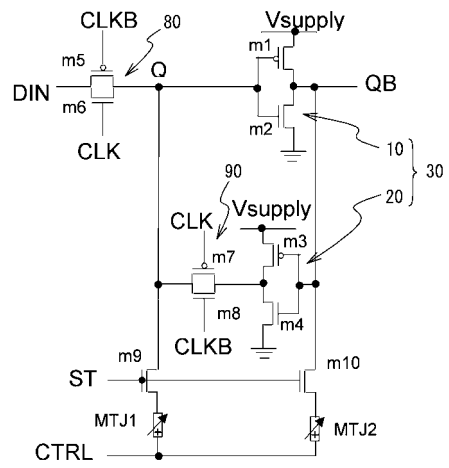
【図31】



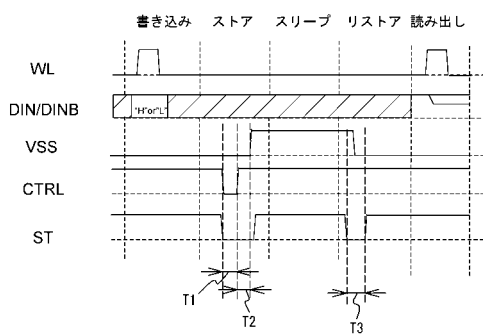
【図32】



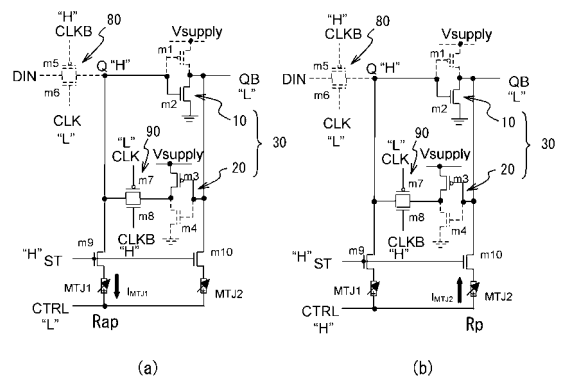
【図34】



【図33】

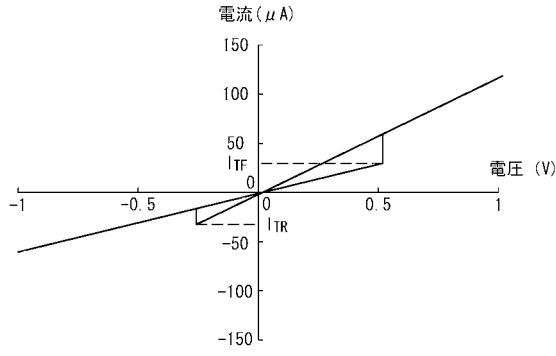


【図35】

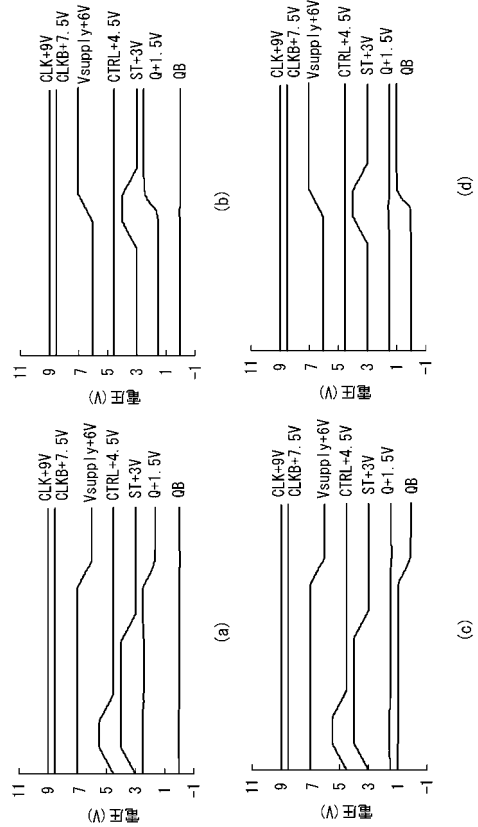




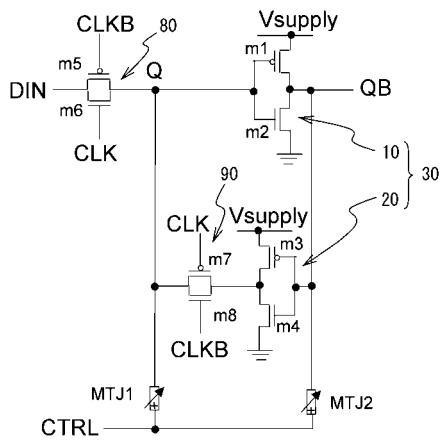
【図43】



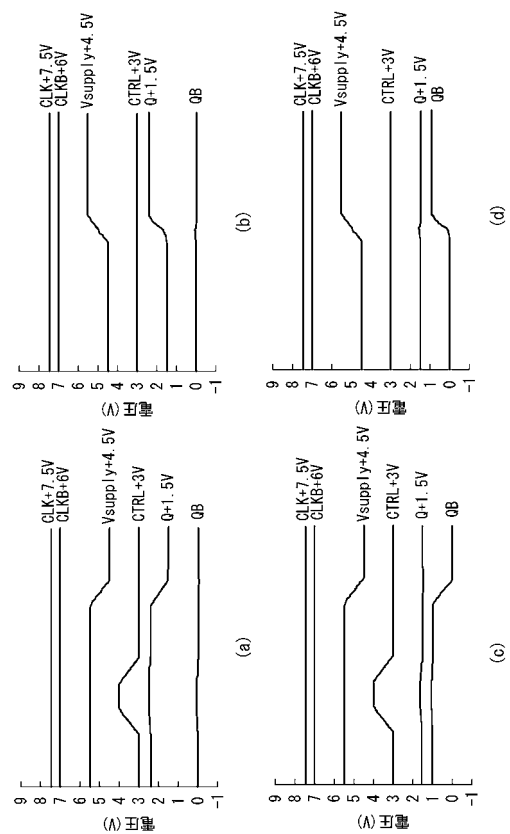
【図44】



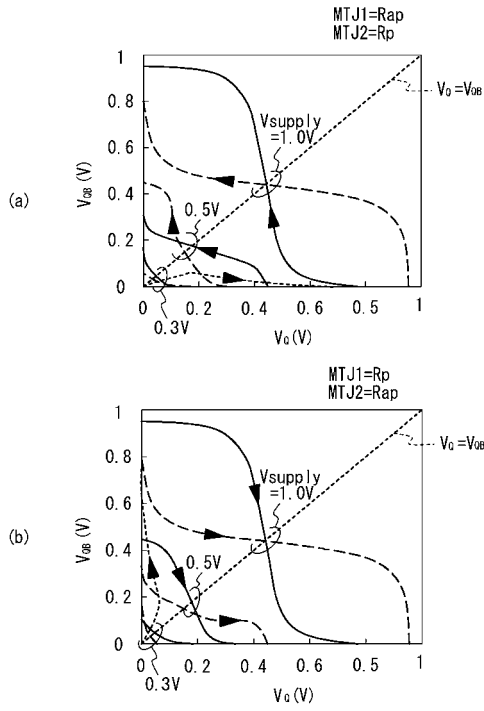
【図45】



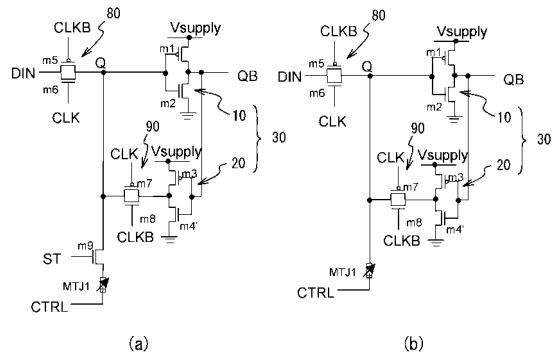
【図46】



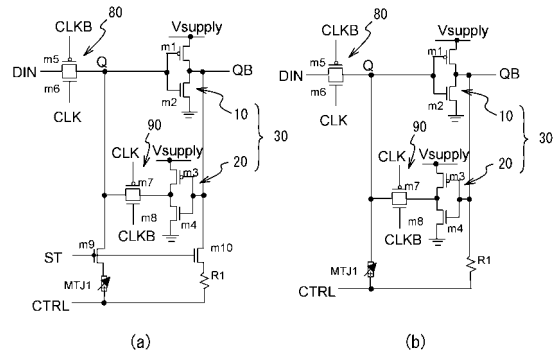
【 図 4 7 】



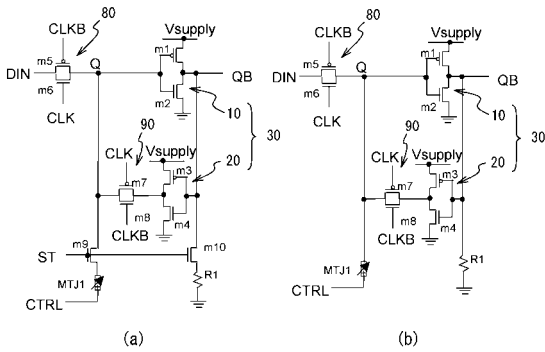
【 図 4 8 】



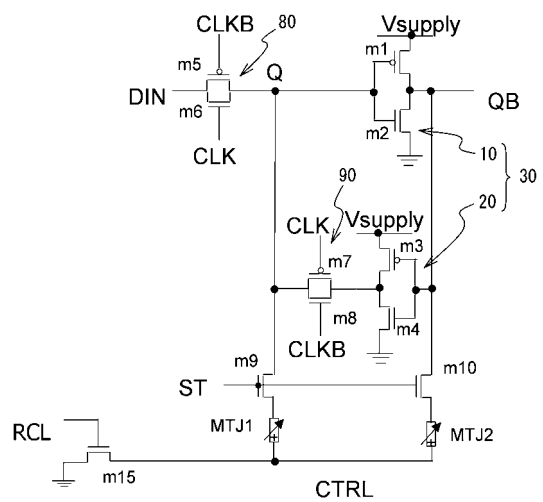
【 図 4 9 】



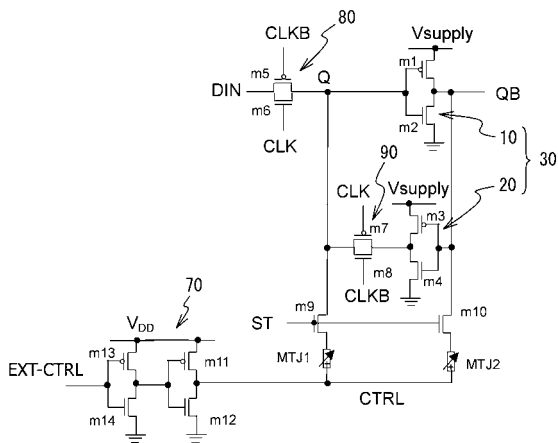
【 図 5 0 】



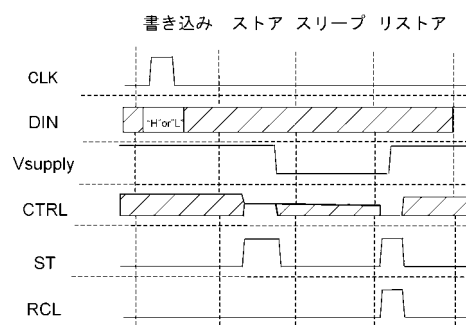
【 図 5 2 】



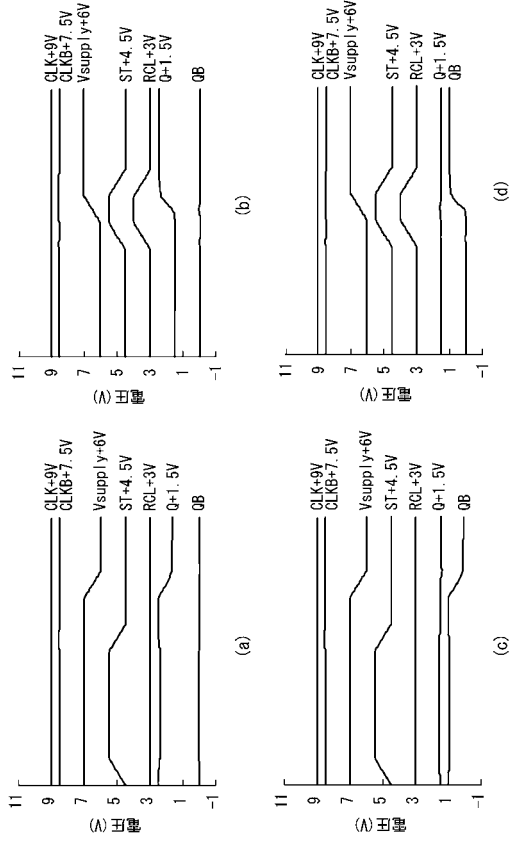
【 図 5 1 】



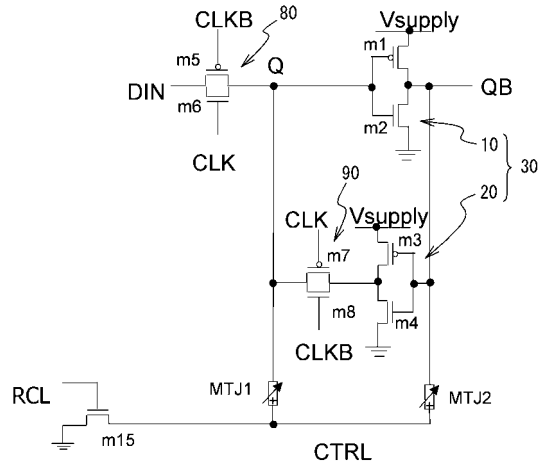
【 図 5 3 】



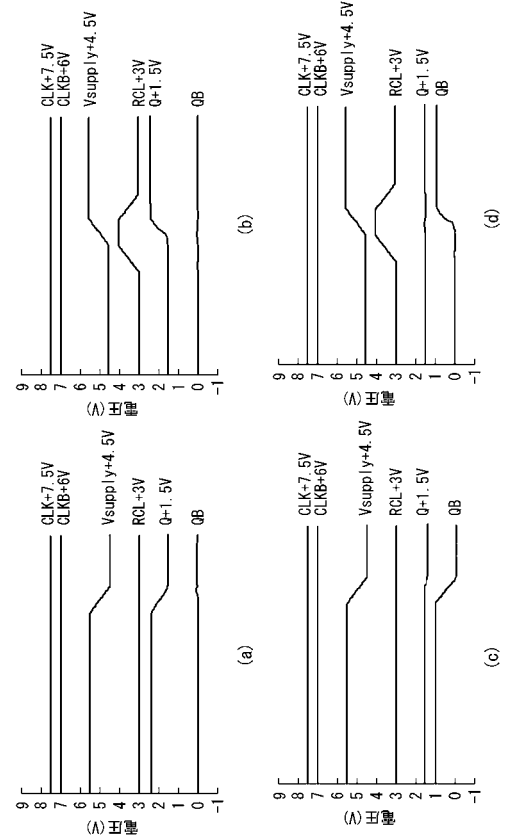
【図 5 4】



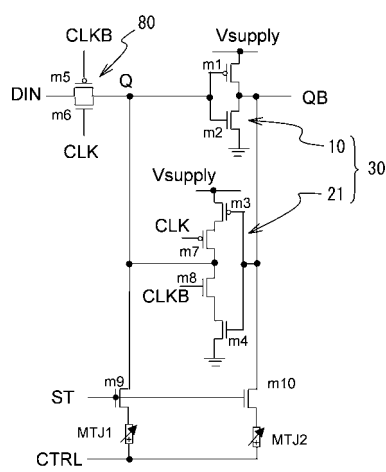
【図 5 5】



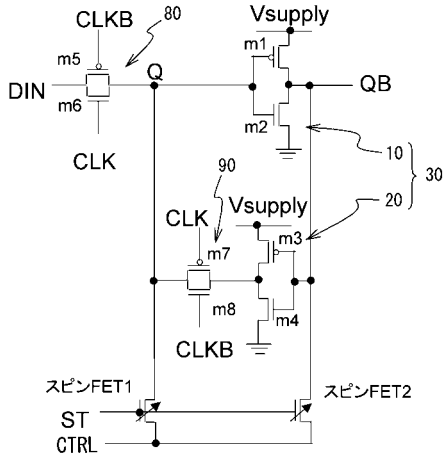
【図 5 6】



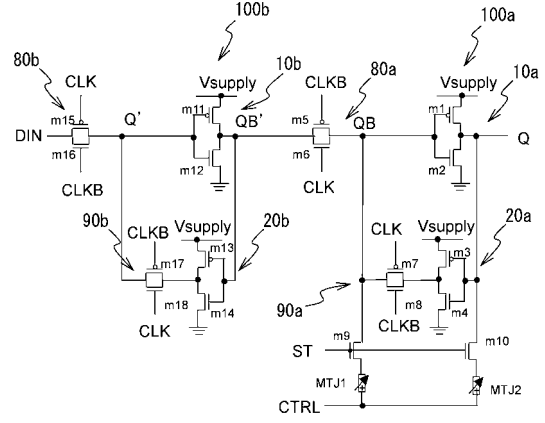
【図 5 7】



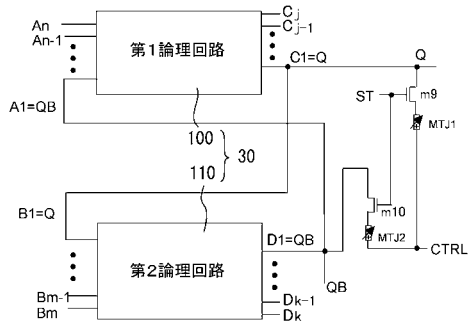
【図58】



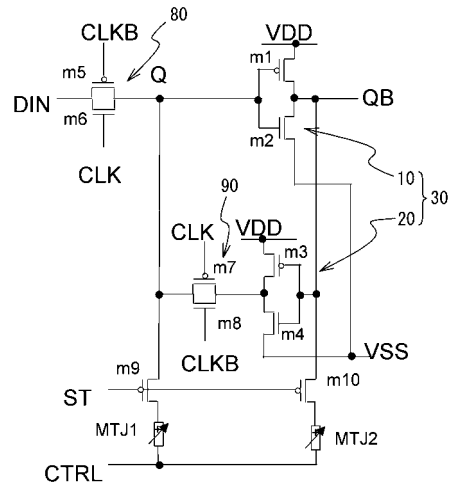
【図59】



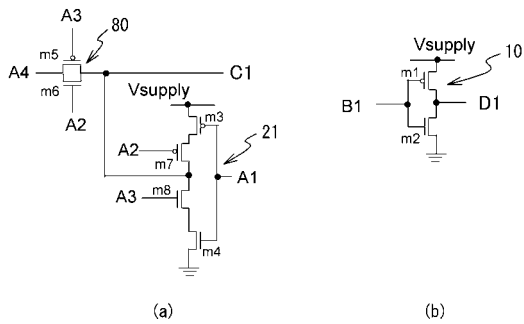
【図60】



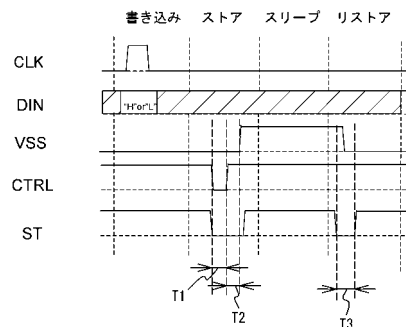
【図62】



【図61】



【図63】



---

フロントページの続き

(56)参考文献 特開2004-103174(JP,A)

特開2008-085770(JP,A)

Keiko Abe、外2名、"Novel Nonvolatile Logic with Three-Dimensionally Stacked Nanoscale Memory Device", Technical Proceedings of the 2005 NSTI Nanotechnology Conference and Trade Show, 2005年 5月12日, Vol.3, p.203-206

(58)調査した分野(Int.Cl., DB名)

G11C 11/15

H03K 3/037

H03K 3/356