

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5234547号
(P5234547)

(45) 発行日 平成25年7月10日(2013.7.10)

(24) 登録日 平成25年4月5日(2013.4.5)

(51) Int.Cl. F I
H03K 19/00 (2006.01) H03K 19/00 Z

請求項の数 13 (全 22 頁)

<p>(21) 出願番号 特願2009-78082(P2009-78082) (22) 出願日 平成21年3月27日(2009.3.27) (65) 公開番号 特開2010-232959(P2010-232959A) (43) 公開日 平成22年10月14日(2010.10.14) 審査請求日 平成23年5月16日(2011.5.16)</p> <p>(出願人による申告)平成20年度、独立行政法人科学技術振興機構、戦略的創造研究推進事業(CREST)、「ハーフメタル強磁性体を用いたスピン機能MOSFETの開発」産業技術力強化法第19条の適用を受ける特許出願</p>	<p>(73) 特許権者 304021417 国立大学法人東京工業大学 東京都目黒区大岡山2丁目12番1号 (74) 代理人 100087480 弁理士 片山 修平 (74) 代理人 100137615 弁理士 横山 照夫 (72) 発明者 菅原 聡 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内 (72) 発明者 山本 修一郎 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内</p>
---	---

最終頁に続く

(54) 【発明の名称】 電子回路

(57) 【特許請求の範囲】

【請求項1】

電界効果トランジスタと、
 一端が前記電界効果トランジスタのソースに接続され、抵抗値を不揮発的に設定可能なノンポーラ型の抵抗変化素子と、
データを記憶する双安定回路と、
 を具備し、
前記電界効果トランジスタのドレインは前記双安定回路内の互いに相補的なノードのうち少なくとも一方と接続し、
前記抵抗変化素子の他端は制御線に接続され、
前記抵抗変化素子は、前記抵抗値に応じ前記データを不揮発的にストアし、ストアされたデータを前記双安定回路にリストアし、
前記電界効果トランジスタは、前記抵抗変化素子を流れる電流が、前記双安定回路にデータをストアする際に前記抵抗変化素子にストアされているデータを消去する際より小さくなるように、前記抵抗変化素子を流れる電流を制御することを特徴とする電子回路。

【請求項2】

前記抵抗変化素子にストアされているデータを消去する際に、前記制御線に、前記ノードのローレベルの電圧より高く、かつ前記双安定回路から前記抵抗変化素子にデータをストアする際に、前記制御線に印加される電圧より低い電圧が印加されることを特徴とする請求項1記載の電子回路。

【請求項 3】

前記双安定回路から前記抵抗変化素子にデータをストアする際に前記制御線に印加される電圧は、前記ノードのハイレベルより高い電圧であることを特徴とする請求項 1 または 2 記載の電子回路。

【請求項 4】

前記電界効果トランジスタは、前記双安定回路から前記抵抗変化素子にデータをストアする際および前記抵抗変化素子から前記双安定回路にデータをリストアする際に導通し、前記双安定回路に入出力線からデータを入出力する際に非導通となることを特徴とする請求項 1 から 3 のいずれか一項記載の電子回路。

【請求項 5】

前記抵抗変化素子から前記双安定回路にデータをリストアする際に前記制御線に前記双安定回路に印加される電源電圧より低い電圧が印加されることを特徴とする請求項 1 から 4 のいずれか一項記載の電子回路。

【請求項 6】

前記双安定回路から前記抵抗変化素子にデータをストアする際に前記電界効果トランジスタのゲートに印加される電圧に応じ、前記抵抗変化素子の前記抵抗値が設定されることを特徴とする請求項 1 から 5 のいずれか一項記載の電子回路。

【請求項 7】

前記ノードは、互いに相補的な第 1 ノードおよび第 2 ノードを含み、
前記抵抗変化素子は、前記第 1 ノードと前記制御線との間に接続された第 1 抵抗変化素子と、前記第 2 ノードと前記制御線との間に接続された第 2 抵抗変化素子とを含むことを特徴とする請求項 1 から 6 のいずれか一項記載の電子回路。

【請求項 8】

前記第 1 抵抗変化素子は、前記第 1 ノードがハイレベルのデータをストアする際、前記第 2 抵抗変化素子より抵抗値が高く設定され、前記第 1 ノードがローレベルのデータをストアする際、前記第 2 抵抗変化素子より抵抗値が低く設定されることを特徴とする請求項 7 記載の電子回路。

【請求項 9】

前記双安定回路内の前記ノードとは相補的な別のノードと、前記制御線と、の間に接続された固定抵抗を具備することを特徴とする請求項 1 から 6 のいずれか一項記載の電子回路。

【請求項 10】

前記抵抗変化素子は、前記ノードがハイレベルのデータをストアする際、前記固定抵抗の抵抗値より高く設定され、前記ノードがローレベルのデータをストアする際、前記固定抵抗の抵抗値より低く設定されることを特徴とする請求項 9 記載の電子回路。

【請求項 11】

前記双安定回路に前記データを書き込むための第 1 スイッチと、
前記第 1 スイッチと相補的に動作し、前記双安定回路のデータを保持する第 2 スイッチとを具備することを特徴とする請求項 1 から 10 のいずれか一項記載の電子回路。

【請求項 12】

前記双安定回路は、1 以上の入力と 1 以上の出力とを有する第 1 回路群と、1 以上の入力と 1 以上の出力とを有する第 2 回路群と、が接続され、

前記ノードは、前記第 1 回路群の出力のうち 1 つと前記第 2 回路群の入力のうち 1 つとが接続されたノード、または、前記第 2 回路群の出力のうち 1 つと前記第 1 回路群の入力のうち 1 つとが接続されたノードであることを特徴とする請求項 1 から 10 のいずれか一項記載の電子回路。

【請求項 13】

前記双安定回路は、インバータである第 1 回路群とインバータである第 2 回路群とがリング状に接続されており、

前記ノードは、前記第 1 回路群と前記第 2 回路群とが接続するノードであることを特徴

10

20

30

40

50

とする請求項 1 から 10 のいずれか一項記載の電子回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子回路に関し、特に電流駆動能力を設定可能な電子回路に関する。

【背景技術】

【0002】

電子機器等に用いられる揮発性の記憶回路として、SRAM (Static Random Access Memory)、ラッチ回路およびフリップフロップ等が知られている。また、電源を遮断してもデータが消失しない不揮発性の記憶回路として、フラッシュメモリ、MRAM (Magnetic Random Access Memory)、FeRAM (Ferroelectric Random Access Memory)、PRAM (Phase-change Random Access Memory) および ReRAM (Resistance Random Access Memory) 等が知られている。これらの記憶回路においては、電源を遮断してもデータが消失しないため、その後電源を復帰すれば、データを読み出すことができる。

10

【0003】

特許文献 1 および 2 には、抵抗変化素子にデータをストアする ReRAM が開示されている。さらに、特許文献 3 には、双安定回路の記憶ノードに抵抗可変素子を接続した記憶回路が開示されている。

20

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】 Applied Physics Letters 93, 033506 (2008)

【非特許文献 2】 IEEE Transaction on Electron Devices, 55, 1185 (2008)

【非特許文献 3】 IEEE IEDM Tech. Dig., Dec.2006, pp. 1-4

【発明の概要】

【発明が解決しようとする課題】

【0005】

揮発性の SRAM、ラッチ回路およびフリップフロップは、高速にデータを書き込み、読み出しすることができる。一方、フラッシュメモリ、MRAM、FeRAM、PRAM および ReRAM 等は、データを書き込み、読み出しする速度が遅い。このように、SRAM は高速であるが、電源を遮断するとデータが消失してしまう。一方、従来の不揮発性メモリは、電源を遮断してもデータは消失しないが、高速動作は難しい。

30

【0006】

SRAM、ラッチ回路およびフリップフロップはデータアクセスのなされていない記憶保持状態（待機状態）においてもリーク電流によって電力消費を生じる。不揮発性の SRAM、ラッチ回路およびフリップフロップが実現できれば、待機時消費電力の削減と、データの書き込み、読み出しの高速動作を両立することができる。

【0007】

しかしながら、非特許文献 3 に係る発明においては、双安定回路と低抵抗素子とが互いに影響してしまう。

40

【0008】

本発明は、上記課題に鑑みなされたものであり、双安定回路と低抵抗素子とが互いに影響することを抑制することが可能な電子回路を提供することを目的とする。または、例えばこのような電子回路を実現するため、電流駆動能力を不揮発的に設定可能な電子回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明は、電界効果トランジスタと、一端が前記電界効果トランジスタのソースに接続

50

され、抵抗値を不揮発的に設定可能なノンポーラ型の抵抗変化素子と、
データを記憶する双安定回路と、を具備し、前記電界効果トランジスタのドレインは前記
双安定回路内の互いに相補的なノードのうち少なくとも一方と接続し、

前記抵抗変化素子の他端は制御線に接続され、前記抵抗変化素子は、前記抵抗値に応じ
前記データを不揮発的にストアし、ストアされたデータを前記双安定回路にリストアし、
前記電界効果トランジスタは、前記抵抗変化素子を流れる電流が、前記双安定回路にデー
タをストアする際に前記抵抗変化素子にストアされているデータを消去する際より小さく
なるように、前記抵抗変化素子を流れる電流を制御する電子回路である。本発明によれば
、電流駆動能力を不揮発的に設定することが可能となる。また、双安定回路に記憶された
データを、抵抗変化素子が不揮発的にストアする。よって、高速動作可能で、かつデータ
を不揮発的にストア可能な電子回路を提供することができる。さらに、電界効果トランジ
スタにより、双安定回路と抵抗変化素子とが互いに影響することを抑制することができる
。さらに、電界効果トランジスタにより、ストアおよびリセットの際の抵抗変化素子を流
れる電流を制御することができる。

10

【0012】

上記構成において、前記電界効果トランジスタは、前記双安定回路から前記抵抗変化素子にデータをストアする際および前記抵抗変化素子から前記双安定回路にデータをリストアする際に導通し、前記双安定回路に入出力線からデータを入出力する際に非導通となる構成とすることができる。この構成によれば、抵抗変化素子が双安定回路へのデータの入出力に影響することを抑制することができる。

20

【0013】

上記構成において、前記双安定回路から前記抵抗変化素子にデータをストアする際に前記制御線に前記ノードのハイレベルの電圧より高い電圧が印加され、前記抵抗変化素子から前記双安定回路にデータをリストアする際に前記制御線に前記双安定回路に印加される電源電圧より低い電圧が印加される構成とすることができる。

【0014】

上記構成において、前記抵抗変化素子にストアされているデータを消去する際に前記制御線に前記ノードのローレベルの電圧より高い電圧が印加される構成とすることができる。

【0015】

上記構成において、前記双安定回路から前記抵抗変化素子にデータをストアする際に前記電界効果トランジスタのゲートに印加される電圧に応じ、前記抵抗変化素子の前記抵抗値が設定される構成とすることができる。

30

【0016】

上記構成において、前記ノードは、互いに相補な第1ノードおよび第2ノードを含み、前記抵抗変化素子は、前記第1ノードと前記制御線との間に接続された第1抵抗変化素子と、前記第2ノードと前記制御線との間に接続された第2抵抗変化素子とを含む構成とすることができる。

【0017】

上記構成において、前記第1抵抗変化素子は、前記第1ノードがハイレベルのデータをストアする際、前記第2抵抗変化素子より抵抗値が高く設定され、前記第1ノードがローレベルのデータをストアする際、前記第2抵抗変化素子より抵抗値が低く設定される構成とすることができる。

40

【0018】

上記構成において、前記双安定回路内の前記ノードとは相補な別のノードと、前記制御線と、の間に接続された固定抵抗を具備する構成とすることができる。

【0019】

上記構成において、前記抵抗変化素子は、前記ノードがハイレベルのデータをストアする際、前記固定抵抗の抵抗値より高く設定され、前記ノードがローレベルのデータをストアする際、前記固定抵抗の抵抗値より低く設定される構成とすることができる。

50

【 0 0 2 0 】

上記構成において、前記双安定回路に前記データを書き込むための第1スイッチと、前記第1スイッチと相補的に動作し、前記双安定回路のデータを保持する第2スイッチとを具備する構成とすることができる。

【 0 0 2 1 】

上記構成において、前記双安定回路は、1以上の入力と1以上の出力とを有する第1回路群と、1以上の入力と1以上の出力とを有する第2回路群と、が接続され、前記ノードは、前記第1回路群の出力のうち1つと前記第2回路群の入力のうち1つとが接続されたノード、または、前記第2回路群の出力のうち1つと前記第1回路群の入力のうち1つとが接続されたノードである構成とすることができる。

10

【 0 0 2 2 】

上記構成において、前記双安定回路は、インバータである第1回路群とインバータである第2回路群とがリング状に接続されており、前記ノードは、前記第1回路群と前記第2回路群とが接続するノードである構成とすることができる。

【 発明の効果 】

【 0 0 2 7 】

本発明によれば、双安定回路へのデータの入出力を高速に行うことができる。また、データを不揮発的にストアすることができる。または、電界効果トランジスタの電流駆動能力を不揮発的に設定することが可能となる。

【 図面の簡単な説明 】

20

【 0 0 2 8 】

【 図 1 】 図 1 は、F E T のソース側に抵抗変化素子が接続された機能 M O S F E T の回路図である。

【 図 2 】 図 2 (a) から図 2 (d) は、抵抗変化素子の特性を説明する図である。

【 図 3 】 図 3 (a) および図 3 (b) は、図 1 の回路構成における電圧 V D に対する電流 I D を示す図である。

【 図 4 】 図 4 は、実施例 1 に係る記憶回路のブロック図であり

【 図 5 】 図 5 は、実施例 2 に係る S R A M メモリセルの回路図である。

【 図 6 】 図 6 は、実施例 2 に係る S R A M メモリセルのタイミングチャート (その 1) である。

30

【 図 7 】 図 7 は、実施例 2 に係る S R A M メモリセルのタイミングチャート (その 2) である。

【 図 8 】 図 8 は、実施例 3 に係る S R A M メモリセルの回路図である。

【 図 9 】 図 9 は、実施例 4 に係るラッチ回路の回路図である。

【 図 1 0 】 図 1 0 は、実施例 5 に係るマスタスレーブ型フリップフロップの回路図である。

【 図 1 1 】 図 1 1 は、実施例 6 に係るフリップフロップの回路図である。

【 図 1 2 】 図 1 2 は、実施例 7 に係る S R ラッチ回路の回路図 (その 1) である。

【 図 1 3 】 図 1 3 は、実施例 7 に係る S R ラッチ回路の回路図 (その 2) である。

【 図 1 4 】 図 1 4 は、実施例 8 に係る回路の回路図である。

40

【 図 1 5 】 図 1 5 は、実施例 9 に係る J K フリップフロップの回路図 (その 1) である。

【 図 1 6 】 図 1 6 は、実施例 9 に係る J K フリップフロップの回路図 (その 2) である。

【 図 1 7 】 図 1 7 は、実施例 1 0 に係る電子装置のブロック図である。

【 図 1 8 】 図 1 8 は、パワードメインのブロック図である。

【 発明を実施するための形態 】

【 0 0 2 9 】

まず、本発明に用いる抵抗変化素子の特性について説明する。図 1 は、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) のソース側に抵抗変化素子が接続された機能 M O S F E T の回路図である。図 1 を参照し、機能 M O S F E T 4 5 は、M O S F E T 等の F E T 4 0 と抵抗変化素子 R e を有している。F E T 4 0 のソース S に抵

50

抗変化素子 R_e の一端が接続されている。FET 40 のドレイン D は第 3 端子 T3 に、ゲート G は第 2 端子 T2 に接続されている。抵抗変化素子 R_e の他端は第 1 端子 T1 に接続されている。

【0030】

FET 40 は、不図示のシリコン基板、ゲート酸化膜、ゲート電極、ソースおよびドレインを有している。n 型 MOSFET の場合は、シリコン基板内の p 型ウエル上にゲート酸化膜を介しゲート電極が設けられている。ゲート電極両側のシリコン基板内に n 型拡散領域であるソースおよびドレインが設けられている。このように、以下 n 型 MOSFET を例に説明するが、MOSFET 20 は p 型 MOSFET でもよい。抵抗変化素子 R_e の特性については後述するが、抵抗変化素子 R_e としては、例えば酸化ニッケル (NiO) 薄膜を用いたノンポーラ型抵抗変化素子を用いることができる。

10

【0031】

第 1 端子 T1 に対し第 3 端子 T3 に加わる電圧を擬似ドレイン - ソース間電圧 V_D 、第 3 端子 T3 から第 1 端子 T1 に流れる電流をドレイン電流 I_D 、第 1 端子 T1 に対し第 2 端子 T2 に加わる電圧を擬似ゲート - ソース間電圧 V_G とする。FET 40 のソース S に対し第 2 端子 T2 に加わる電圧をゲート - ソース間電圧 V_{GS0} とする。FET のソース S に対し基板に加わる電圧を基板電圧 V_{BS0} とする。

【0032】

機能 MOSFET 45 では、抵抗変化素子 R_e により電圧降下がゲート G に負帰還される。このため、抵抗変化素子 R_e の抵抗の状態 (高抵抗または低抵抗) に応じて、FET 40 のゲート - ソース電圧 V_{GS0} および基板電圧 V_{BS0} を変化させることができる。抵抗変化素子 R_e の抵抗値が低い場合、抵抗変化素子 R_e による電圧降下が小さいため、ゲート - ソース電圧 V_{GS0} は大きく基板電圧 V_{BS0} は小さくなる。よって、機能 MOSFET 45 の電流駆動能力が高くなる。一方、抵抗変化素子 R_e の抵抗値が高い場合、抵抗変化素子 R_e による電圧降下が大きいため、ゲート - ソース電圧 V_{GS0} は小さく基板電圧 V_{BS0} は大きくなる。よって、機能 MOSFET 45 の電流駆動能力が低くなる。このように、機能 MOSFET 45 を用いると、抵抗変化素子 R_e の状態に応じ、抵抗変化素子 R_e による負帰還効果と基板バイアス効果により FET 40 の電流駆動能力を変化させることができる。

20

【0033】

次に、抵抗変化素子 R_e の特性について説明する。図 2 (a) は、抵抗変化素子 R_e の特性を説明するための回路図である。図 2 (a) のように、FET 40 のソース S を接地し、ゲート G にゲート電圧 V_{G1} を印加する。ドレイン D には、抵抗変化素子 R_e を介してドレイン電圧 V_{D1} を印加する。抵抗変化素子 R_e には電流 I_{D1} が流れる。FET 40 は、抵抗変化素子 R_e に流れる電流 I_{D1} を制限する機能を有している。

30

【0034】

図 2 (b) は、抵抗変化素子 R_e の抵抗を変化させた場合の電圧 V_{D1} - 電流 I_{D1} 特性を示す図である。ここで、抵抗変化素子 R_e の抵抗値を低くすることをセット、抵抗値を高くすることをリセットという。抵抗変化素子 R_e のセットは、抵抗変化素子 R_e の両端に一定以上の電圧を印加することにより行なわれる。この際、抵抗変化素子 R_e に一定以上の電流 I_{D1} が流れないように、FET 40 のゲート電圧 V_{G1} を印加しておく。図 2 (b) では、ゲート電圧 $V_{G1} = 0.7 \text{ V}$ とし、電圧 V_{D1} を印加することにより、抵抗変化素子 R_e の抵抗値が低くなる。

40

【0035】

一方、抵抗変化素子 R_e のリセットは、抵抗変化素子 R_e を一定の温度以上に保持することにより行なわれる。そこで、抵抗変化素子 R_e に一定以上の電流 I_{D1} を流すことにより、抵抗変化素子 R_e がリセットされる。この際、抵抗変化素子 R_e を流れる電流 I_{D1} が制限されないように、FET 40 のゲート電圧 V_{G1} を印加しておく。図 2 (b) では、ゲート電圧 $V_{G1} = 2 \text{ V}$ とし、電圧 V_{D1} を印加することにより、抵抗変化素子 R_e の抵抗値が高くなる。以上のように、FET 40 のゲート電圧 V_{G1} を制御し、電圧 V_D

50

1を印加することにより、抵抗変化素子 R_e をセットまたはリセットすることができる。

【0036】

図2(c)は、抵抗変化素子 R_e をセットする際の制限された制限電流 I_{comp} に対する、セット後の抵抗値 R_{LRS} を示す図である。制限電流 I_{comp} は、FET40のゲート電圧 V_{G1} により設定される。図2(c)中、抵抗値 R_{HRS} は、リセット後の抵抗値であり、抵抗値 R_{LRS0} は、最も低い抵抗値である。図2(c)のように、抵抗変化素子 R_e は、セットする際に制限された電流 I_{D1} により、セット後の抵抗変化素子 R_e の抵抗値 R_{LRS} を任意の値にすることができる。

【0037】

図2(d)は、制限電流 I_{comp} に対する抵抗変化素子 R_e がリセットされるリセット電流 I_{reset} を示した図である。図2(d)のように、制限電流 I_{comp} とリセット電流 I_{reset} とはほぼ同じ値となる。

【0038】

図3(a)および図3(b)は、図1の回路構成における電圧 V_D に対する電流 I_D を示す図である。図3(a)において、第1象限は、図1のようにFET40のドレインD側に抵抗変化素子 R_e が接続された場合(つまり機能MOSFETとして機能する場合)に対応し、ゲート電圧 V_G を変化させた場合の電圧 V_D -電流 I_D 特性を示している。ゲート電圧 V_G は0Vから1.5Vまで0.3Vステップで印加している。第3象限は、図2(a)のように、FETのソースS側に抵抗変化素子 R_e が接続された場合に対応し、抵抗変化素子 R_e をセットおよびリセットする場合の電圧 V_D -電流 I_D 特性を示している。図3(a)において、実線は、ゲート電圧 $V_G = 1.5V$ でセットした場合を示し、破線は、ゲート電圧 $= 0.7V$ でセットした場合を示している。図3(a)のように、ゲート電圧 $V_G = 1.5V$ でセットした場合、抵抗変化素子 R_e の抵抗値が低いため、第1象限での相互コンダクタンスが大きくなる(つまり、電流駆動能力が大きくなる)ゲート電圧 $V_G = 0.7V$ でセットした場合、第1象限での相互コンダクタンスが小さくなる(つまり、電流駆動能力が小さくなる)。このように、抵抗変化素子 R_e をセットする際の制限電流により、電流駆動能力を変調することができる。

【0039】

図3(b)は、図1のようにFET40のドレインD側に抵抗変化素子 R_e が接続された場合の電圧 V_D -電流 I_D 特性を示している。抵抗変化素子 R_e をセット状態とした場合を実線、抵抗変化素子 R_e をリセット状態とした場合を破線で示している。リセット状態の電流 I_D は50倍に拡大している。ゲート電圧 V_G は0Vから1.5Vまで0.3Vステップで印加している。抵抗変化素子 R_e がリセット状態となった場合、抵抗値が非常に高くなるため、リセット状態での機能MOSFET45の電流駆動能力は非常に小さくなる。

【0040】

機能MOSFET45においては、抵抗値を不揮発的に設定可能な抵抗変化素子 R_e の一端がFET40(電界効果トランジスタ)のソースに接続されている。これにより、抵抗変化素子 R_e の抵抗値により、図3(a)および図3(b)のように、機能MOSFET45電流駆動能力が不揮発的に設定される。言い換えれば、FET40は、抵抗変化素子 R_e を流れる電流を制御することにより抵抗値をバリエブルに調整し、抵抗値によりFET40の電流駆動能力を不揮発的に設定することができる。

【0041】

また、FET40が図3(a)の第1象限のように動作する場合とはソースとドレインとが反転するように、抵抗変化素子 R_e の他端(図1の第1端子 T_1)とFET40のドレイン(図1の第3端子)とに電圧が印加されることにより、抵抗値が不揮発的に設定される。言い換えれば、抵抗変化素子 R_e の抵抗値を設定する際と、FET40が動作する際とは、FET40のソースSとドレインDとの間に印加されるバイアスが逆である。このように、抵抗変化素子 R_e の抵抗値を不揮発的に設定する際と、機能MOSFET45として動作する際とで、ソースとドレインを入れ替えて用いることができる。

10

20

30

40

50

【 0 0 4 2 】

以上のように、機能MOSFET45においては、図3(b)のように、抵抗変化素子Reがセット状態か、リセット状態かによりデータを抵抗変化素子Reにデータを不揮発的にストアすることができる。さらに、図3(a)のように、抵抗変化素子Reのセット状態の抵抗値により、データを抵抗変化素子Reに不揮発的にストアすることができる。

【実施例1】

【 0 0 4 3 】

図4は、実施例1に係る記憶回路のブロック図である。実施例1に係る記憶回路は、第1回路群10、第2回路群20、FET40、抵抗変化素子Reおよび入出力スイッチ38を有している。第1回路群10と第2回路群20はリング状に接続され双安定回路30を構成している。第1回路群10および第2回路群20は、例えばインバータである。第1回路群10と第2回路群20が接続されたノードがそれぞれ記憶ノードQおよびQBである。ノードQとノードQBとは互いに相補的なノードであり、双安定回路30は、ノードQおよびノードQBがそれぞれハイレベルおよびローレベル、または、ノードQおよびノードQBがそれぞれローレベルおよびハイレベルとなることにより安定状態となる。双安定回路30は、安定状態となることにより、データを記憶することができる。

10

【 0 0 4 4 】

抵抗変化素子Reは、相補的なノードQおよびノードQBの少なくとも一方と制御線CTRLとの間に接続され、前述のように、抵抗値が高いか低いか、すなわち抵抗値に応じデータを不揮発的にストアする。また、抵抗変化素子Reに不揮発的に記憶されたデータは双安定回路30にリストア可能である。FET40は、抵抗変化素子ReとノードQおよびノードQBの少なくとも一方との間に接続されている。FET40と抵抗変化素子Reとは、図1と同じ機能MOSFETを形成している。FET40が、図2(b)のように動作することにより抵抗変化素子Reをセットまたはリセットすることができる。また、FET40が、図3(a)の第3象限のように動作することにより抵抗変化素子Reの抵抗値を不揮発的に設定することができる。

20

【 0 0 4 5 】

入出力スイッチ60は入出力線DINとノードQとを遮断または導通させる。入出力スイッチ60が導通することにより、双安定回路30に入出力線DINのデータを書き込むことができる。また、双安定回路30のデータを入出力線DINに読み出すことができる。

30

【 0 0 4 6 】

実施例1によれば、双安定回路30へのデータの書き込みおよび読み出しは抵抗変化素子Reのない回路と同様、高速に書き込みおよび読み出すことができる。双安定回路30に記憶されたデータを、抵抗変化素子Reが不揮発的にストアする。これにより、電源が遮断しても抵抗変化素子Reのデータは消失しない。その後、不揮発的にストアされたデータを双安定回路30にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前に記憶されたデータを読み出し可能となる。さらに、FET40により、双安定回路30と抵抗変化素子Reとが互いに影響することを抑制することができる。なお、FET40、抵抗変化素子Reおよび入出力スイッチ38は、少なくとも1つ設けられていればよい。

40

【実施例2】

【 0 0 4 7 】

実施例2は、SRAMメモリセルに抵抗変化素子を設けた例である。図5は実施例2に係るSRAMメモリセルの回路図である。図5のように、メモリセルは、双安定回路30a、抵抗変化素子Re1およびRe2、FET41および42、入出力FET43および44、を有している。双安定回路30aは、第1回路群10aおよび第2回路群20aがリング状に接続されている。第1回路群10aは、p型MOSFET12とn型MOSFET14とを有するCMOSインバータである。FET12とFET14において、ソースがそれぞれ電源VDDおよびグランドに、ゲートが共通にノードQに、ドレインが共通

50

にノードQBに接続されている。第2回路群20aは、p型MOSFET22とn型MOSFET24とを有するCOSインバータである。FET22とFET24において、ソースがそれぞれ電源VDDおよびグランドに、ゲートが共通にノードQBに、ドレインが共通にノードQに接続されている。

【0048】

ノードQはn型FET43を介しデータ入出力線DINに接続され、ノードQBはn型FET44を介しデータ入出力線DINBに接続されている。FET43および44のゲートはワード線WLに接続されている。ノードQと制御線CTRLとの間にFET41と抵抗変化素子Re1とが接続され、ノードQBと制御線CTRLとの間にFET42と抵抗変化素子Re2とが接続されている。FET41および42のゲートはスイッチ線SRに接続されている。FET41と抵抗変化素子Re1とは機能MOSFET46を構成し、FET42と抵抗変化素子Re2とは機能MOSFET47を構成している。

【0049】

実施例2に係るSRAMメモリセルの動作について説明する。双安定回路30aへのデータの書き込みおよび読み出しは、従来のSRAMと同じように行われる。すなわち、ワード線WLをハイレベルとしFET43および44を導通状態とすることにより、双安定回路30aに入出力線DINおよびDINBのデータが書き込まれる。また、入出力線DINおよびDINBを等電位の浮遊状態としワード線WLをハイレベルとしFET43および44を導通状態とすることにより、双安定回路30aのデータを入出力線DINおよびDINBに読み出すことができる。FET43および44を遮断状態とすることにより、双安定回路30aのデータが保持される。なお、双安定回路30aへのデータの書き込み、読み出し、保持の際、スイッチ線SRはローレベルとし、FET41および42は遮断状態とすることが好ましい。これにより、ノードQおよびQBと制御線CTRL間の電流を抑制し、消費電力を削減することができる。

【0050】

次に、双安定回路30aに記憶されたデータを抵抗変化素子Re1およびRe2に不揮発的にストアする方法を説明する。抵抗変化素子Re1およびRe2の図2(b)から図2(d)のような特性をSPICEシミュレータのパラメータとし、図5の回路の動作を計算した。図6は、計算した電源電圧VDD、ワード線WLの電圧WL、入出力線DINおよびDINBの電圧DINおよびDINB、スイッチ線SRの電圧SR、制御線CTRLの電圧CTRL、ノードQの電圧Q、ノードQBの電圧QB、抵抗変化素子Re1の抵抗値Re1および抵抗変化素子Re2の抵抗値Re2の時間変化を示している。

【0051】

図6を参照し、初期状態において、ワード線WL、入出力線DINおよびDINB、スイッチ線SR、制御線CTRLはローレベル(0V)である。電源VDDはハイレベル(1.2V)である。ノードQがハイレベル(1.2V)、ノードQBがローレベル(0V)である。抵抗値Re1およびRe2はいずれも高抵抗(150k)である。SRAMモードにおいて、入出力線DINにハイレベル(1.2V)が印加された状態で、時間t1にワード線WLにハイレベル(1.2V)を印加する。これにより、ノードQがハイレベル、ノードQBがローレベルとなる。このように、FET41および42が非導通状態であるSRAMモードにおいては、通常のSRAM動作を行なう。

【0052】

セット動作においては、時間t2にスイッチ線SRに0.45Vを印加する。このときの電圧SRは、図2(b)において抵抗変化素子Re1およびRe2がリセットされない程度の電流が流れる電圧とする。また、図2(c)において所望の抵抗値となるように電圧SRを設定する。その後、制御線CTRLに1.8Vを印加する。このときの電圧は、ノードQおよびQBのうちローレベルの電圧と制御線CTRLとの間の抵抗変化素子Re1またはRe2がセットされる電圧となるように設定される。その後、ノードQおよびQBのうちローレベルの方のノード(図6ではノードQB)に接続された抵抗変化素子Re1またはRe2(図6ではRe2)がセットされる。これにより、抵抗変化素子Re1ま

10

20

30

40

50

たは R_{e2} (図6では R_{e2}) の抵抗値が低抵抗 ($32.2k$) となる。その後、スイッチ線 S_R および制御線 $CTRL$ をローレベルとする。

【0053】

時間 t_3 において、電源 V_{DD} を $0V$ としパワーオフする。ノード Q またはノード Q_B は放電され、 $SRAM$ メモリセルに記憶されたデータは消失する。抵抗変化素子 R_{e1} および R_{e2} の抵抗値は、パワーオフしても維持される。このようにして、ストア動作が行なわれる。

【0054】

次に、抵抗変化素子 R_{e1} および R_{e2} に不揮発的にストアされたデータを双安定回路 $30a$ にリストアする方法を説明する。図7は、計算した電源電圧 V_{DD} 、ワード線 WL の電圧 WL 、入出力線 DIN および $DINB$ の電圧 DIN および $DINB$ 、スイッチ線 S_R の電圧 S_R 、制御線 $CTRL$ の電圧 $CTRL$ 、ノード Q の電圧 Q 、ノード Q_B の電圧 Q_B 、抵抗変化素子 R_{e1} の抵抗値 R_{e1} および抵抗変化素子 R_{e2} の抵抗値 R_{e2} の時間変化を示している。

【0055】

図7を参照し、図6のパワーオフの状態、リストア動作が行なわれる。初期状態においては、ノード Q および Q_B とともにローレベルであり、抵抗変化素子 R_{e1} は高抵抗 ($150k$)、抵抗変化素子 R_{e2} は低抵抗 ($32.2k$) である。時間 t_4 から t_5 の間において、電源 V_{DD} をハイレベル ($1.2V$) とする。時間 t_4 から時間 t_5 の間において、スイッチ線 S_R をスパイク状にハイレベルとする。ノード Q および Q_B の電圧は、電源電圧 V_{DD} の上昇に伴い上昇しようとする。しかし、抵抗変化素子 R_{e2} の抵抗値が小さいため、ノード Q_B の電荷がノード Q より多く制御線 $CTRL$ に放電する。よって、ノード Q_B の電圧はノード Q より低くなる。このように、ノード Q とノード Q_B との間の電圧にアンバランスが生じると、双安定回路 $30a$ は、ノード Q がハイレベル、ノード Q_B がローレベルになるように安定する。以上のように、抵抗変化素子 R_{e1} および R_{e2} に不揮発的に記憶されていたデータを双安定回路 $30a$ にリストアすることができる。なお、スイッチ線 S_R の電圧 S_R は、時間 t_4 から t_5 の間に所望の電圧となるようにパルス電圧と印加してもよい。

【0056】

次に、抵抗変化素子 R_{e1} および R_{e2} のデータを消去するリセット動作について説明する。時間 t_6 において、スイッチ線 S_R に $1.2V$ 、制御線 $CTRL$ に $1.2V$ を印加する。スイッチ線 S_R の電圧 S_R は、図2(b)のゲート電圧 V_G のように、抵抗変化素子 R_{e1} および R_{e2} にリセットに十分な電流が流れるように設定される。また、制御線 $CTRL$ の電圧は、図2(b)のドレイン電圧 V_D のように、抵抗変化素子 R_{e1} および R_{e2} にリセットに十分な電圧が印加されるように設定される。これにより、抵抗変化素子 R_{e1} および R_{e2} は、リセットされ、高抵抗 ($150k$) となる。時間 t_7 において、スイッチ線 S_R および制御線 $CTRL$ にローレベル ($0V$) を印加する。以上により、データのリストア動作が完了する。なお、リセット動作は、ストア動作の前に行なってもよい。

【0057】

$SRAM$ モードにおいて、入出力線 $DINB$ にハイレベル ($1.2V$) が印加された状態で、時間 t_8 にワード線 WL にハイレベル ($1.2V$) を印加する。これにより、ノード Q がローレベル、ノード Q_B がハイレベルとなる。以上により、双安定回路 $30a$ に新しいデータを書き込むことができる。

【0058】

実施例2によれば、ノード Q (第1ノード) と制御線 $CTRL$ との間に抵抗変化素子 R_{e1} (第1抵抗変化素子) が接続され、ノード Q_B (第2ノード) と制御線 $CTRL$ との間に抵抗変化素子 R_{e2} (第2抵抗変化素子) が接続されている。このように、2つの抵抗変化素子 R_{e1} および R_{e2} を用い、双安定回路 $30a$ のデータを不揮発的にストアすることができる。

10

20

30

40

50

【0059】

また、図6のように、抵抗変化素子R_{e1}は、ノードQがハイレベルのデータをストアする際、抵抗変化素子R_{e2}より抵抗値が高く設定される。ノードQがローレベルのデータをストアする際、抵抗変化素子R_{e2}より抵抗値が低く設定される。これにより、リストアの際に、抵抗変化素子R_{e1}の抵抗値が抵抗変化素子R_{e2}より高い場合は、ノードQをハイレベルに、抵抗変化素子R_{e1}の抵抗値が抵抗変化素子R_{e2}より低い場合は、ノードQをローレベルにすることができる。

【0060】

さらに、図6のように、ストアする際に、ノードQまたはQ_Bのレベルに応じ（例えば、ハイレベルかローレベル）、抵抗変化素子R_{e1}またはR_{e2}の抵抗値が異なるように（例えば、150k または32.2k）セットされる電圧（例えば1.8V）が制御線CTRLに印加される。例えば、制御線CTRLにノードQまたはQ_Bがハイレベルの電圧より高い電圧が印加される。これにより、ノードQおよびQ_Bより制御線CTRLが高い電圧となり、図3の第3象限のように、ノードQおよびノードQ_Bのレベルに応じ、抵抗変化素子R_{e1}またはR_{e2}をセット状態とすることができる。よって、抵抗変化素子R_{e1}およびR_{e2}に双安定回路30aのデータをストアすることができる。

【0061】

さらに、図7のように、リストアする際に、抵抗変化素子R_{e1}またはR_{e2}の抵抗値（例えば、150k または32.2k）に応じ、ノードQまたはQ_Bのレベル（例えば、ハイレベルかローレベル）が設定されるような電圧（例えば1.2V）が制御線CTRLに印加される。例えば、制御線CTRLに双安定回路30aに印加される電源電圧V_{DD}より低い電圧が印加される。これにより、図3の第1象限のように、抵抗変化素子R_{e1}およびR_{e2}の抵抗値により機能MOSFET46および47の電流駆動能力が異なる。この状態で、ノードQおよびQ_Bから制御線CTRLに異なった量の電荷を放電することができる。よって、抵抗変化素子R_{e1}およびR_{e2}の抵抗値に応じ、双安定回路30aにデータをリストアすることができる。

【0062】

さらに、図7のように、リセットする際に、抵抗変化素子R_{e1}およびR_{e2}がセットされないがリセットされる電圧（例えば、1.2V）が制御線CTRLに印加される。例えば、制御線CTRLにノードQまたはQ_Bのローレベルの電圧より高いが、ストア動作の際に印加される電圧より低い電圧が印加される。これにより、ノードQおよびQ_Bのうちローレベルの方より制御線CTRLが高い電圧となり、図3の第3象限のように、抵抗変化素子R_{e1}またはR_{e2}をリセット状態とすることができる。よって、抵抗変化素子R_{e1}およびR_{e2}をリセットすることができる。

【0063】

さらに、図6および図7のように、FET41および42は、それぞれノードQおよびQ_Bと抵抗変化素子R_{e1}およびR_{e2}との間に接続され、ストア、リストアおよびリセットする際に導通し、双安定回路30aにデータを入出力する際に非導通となるスイッチとして機能する。これにより、ストア、リストアおよびリセット動作の際はノードQおよびQ_Bと抵抗変化素子R_{e1}およびR_{e2}とが接続される。一方、双安定回路30aにデータを入出力する際は、抵抗変化素子R_{e1}およびR_{e2}が、SRAM動作（双安定回路30aへのデータの入出力動作）に影響することを抑制することができる。

【0064】

さらに、FET41および42は、抵抗変化素子R_{e1}およびR_{e2}に流れる電流を制限する電流制限回路として機能する。FET41および42は、ストア動作の際、リセット動作の際より大きく電流を制限する。例えば図6のストア動作の際の電圧S_Rは0.45Vであり、図7のリセット動作の際の電圧S_Rは1.2Vである。このように、FET41および42により、ストアおよびリセットの際の抵抗変化素子R_{e1}およびR_{e2}を流れる電流を制御することができる。これにより、図2(b)のように、抵抗変化素子R_{e1}およびR_{e2}のセットおよびリセットを行なうことができる。

【 0 0 6 5 】

さらに、図 3 (a) のように抵抗変化素子 R e 1 および R e 2 にデータをストアする際に F E T 4 1 および 4 2 のゲートに印加される電圧 S R に応じ、抵抗変化素子 R e 1 および R e 2 の抵抗値が設定される。このように、電圧 S R をにより、抵抗変化素子 R e 1 および R e 2 がセットされる際の抵抗値を変更することができる。

【 0 0 6 6 】

実施例 2 では、抵抗変化素子 R e 1 および R e 2 を、セット状態とするか、リセット状態とするかで、双安定回路 3 0 a のデータを抵抗変化素子 R e 1 および R e 2 にストアしていたが、図 3 (a) のように、抵抗変化素子 R e 1 および R e 2 のセット状態の抵抗値の違いにより双安定回路 3 0 a のデータをストアしてもよい。

10

【 実施例 3 】

【 0 0 6 7 】

実施例 3 は、抵抗変化素子を 1 つ用いる例である。図 8 は、実施例 3 に係るメモリセルの回路図である。図 8 を参照し、ノード Q B と制御線 C T R L との間に、図 5 の抵抗変化素子 R e 2 の代わりに抵抗 R 2 が接続されている。抵抗 R 2 は固定抵抗であり、抵抗変化素子 R e 1 の高抵抗値と低抵抗値との間の抵抗値を有している。その他の構成は実施例 2 の図 5 と同じであり説明を省略する。ノード Q がハイレベル、ノード Q B がローレベルの場合、ストア動作において、抵抗変化素子 R e 1 の抵抗は高抵抗となる。抵抗 R 2 の抵抗値が抵抗変化素子 R e 1 の抵抗値より低いため、リストアの際、ノード Q はハイレベル、ノード Q B はローレベルとなる。ノード Q がローレベル、ノード Q B がハイレベルの場合、ストア動作において、抵抗変化素子 R e 1 の抵抗は低抵抗となる。抵抗 R 2 の抵抗値が抵抗変化素子 R e 1 の抵抗値より高いため、リストアの際、ノード Q はローレベル、ノード Q B はハイレベルとなる。以上のように、ノード Q およびノード Q B のいずれか一方と制御線 C T R L との間に抵抗変化素子が接続され、ノード Q およびノード Q B のいずれか一方と制御線 C T R L との間に固定抵抗が接続されている場合も、実施例 2 の図 6 および図 7 と同様の動作を行なうことができる。

20

【 0 0 6 8 】

実施例 3 のように、双安定回路 3 0 a 内のノード Q とは相補的な別のノード Q B と、制御線 C T R L との間に抵抗変化素子の代わりに固定抵抗 R 2 を接続してもよい。このような構成においても、ノード Q がハイレベルのデータをストアする際、抵抗変化素子 R e 1 の抵抗値を固定抵抗 R 2 の抵抗値より高く設定し、ノード Q がローレベルのデータをストアする際、固定抵抗 R 2 の抵抗値より低く設定する。これにより、実施例 2 と同様に、抵抗変化素子 R e 1 にストアされたデータを双安定回路 3 0 a にリストアすることができる。また、F E T 4 1 により、双安定回路 3 0 a と抵抗変化素子 R e 1 とが互いに影響することを抑制することができる。

30

【 実施例 4 】

【 0 0 6 9 】

実施例 4 は、D ラッチ回路の例である。図 9 は、実施例 4 に係る D ラッチ回路の回路図である。実施例 2 の図 5 のワード線 W L および入出力 F E T 4 3 および 4 4 が設けられていない。ノード Q と入出力線 D I N との間にパスゲート 5 0 が接続されている。また、ノード Q と第 2 回路群 2 0 a との間にパスゲート 5 2 が接続されている。パスゲート 5 0 および 5 2 は、各々 p 型 M O S F E T 5 3 と n 型 M O S F E T 5 4 とを有している。F E T 5 3 および 5 4 のソースとドレイン同士が接続されている。パスゲート 5 0 の F E T 5 3 とパスゲート 5 2 の F E T 5 4 とのゲートにはクロック補信号 C L K B が入力する。パスゲート 5 0 の F E T 5 4 とパスゲート 5 2 の F E T 5 3 とのゲートにはクロック信号 C L K が入力する。クロック信号 C L K としてハイレベルが入力すると、パスゲート 5 0 の F E T 5 3 と 5 4 とは共に導通し、パスゲート 5 0 は導通する。一方、クロック信号 C L K としてローレベルが入力すると、パスゲート 5 2 の F E T 5 3 と 5 4 とは共に非導通となり、パスゲート 5 0 は非導通となる。

40

【 0 0 7 0 】

50

このような構成により、クロック信号CLKがハイレベルのとき、パスゲート50は導通し、パスゲート52は遮断状態となる。これにより、入出力線DINのデータが双安定回路30aに書き込まれる。クロック信号CLKがローレベルのとき、パスゲート50は遮断状態となり、パスゲート52は導通する。これにより、双安定回路30aがデータを保持する。双安定回路30aに記憶されたデータはノードQまたはQBからデータを出力することができる。このように、パスゲート50は、双安定回路30aにデータを書き込むための第1スイッチとして機能する。また、パスゲート52は、パスゲート50と相補的に動作し、双安定回路30aのデータを保持する第2スイッチとして機能する。その他の構成は、実施例2の図5と同じであり説明を省略する。実施例4においても、実施例2の図6および図7と同様の動作を行なうことにより、双安定回路30aのデータを不揮発的に抵抗変化素子Re1およびRe2にストアすることができる。また、抵抗変化素子Re1およびRe2にストアされたデータを双安定回路30aにリストアすることができる。また、FET41および42により、双安定回路30aと抵抗変化素子Re1およびRe2とが互いに影響することを抑制することができる。

【実施例5】

【0071】

実施例5はDラッチ回路が複数接続されたマスタスレーブ型フリップフロップ回路の例である。図10は実施例5に係るラッチ回路の回路図である。図5のDラッチ回路100にさらにDラッチ回路102が接続されている。Dラッチ回路102のノードQBがラッチ回路100のパスゲート50に入力する。Dラッチ回路100と102とでは、パスゲートに入力するクロック信号CLKおよびクロック補信号CLKBが逆になっている。このように、マスタスレーブ型フリップフロップの後段のDラッチ回路102に抵抗変化素子Re1およびRe2を設け、データを不揮発的にストアすることができる。また、データをリストアすることができる。抵抗変化素子Re1およびRe2へのデータのストア、リストア時においては、Dラッチ回路100のパスゲート50は遮断状態である。このため、Dラッチ回路102の動作はDラッチ回路100におけるデータのストアおよびリストアに影響を及ぼさない。

【実施例6】

【0072】

実施例6は、論理回路を用いて双安定回路を構成する例である。図11は、実施例6に係るフリップフロップの回路図である。図11を参照に、双安定回路30bは、論理回路である第1回路群10bと第2回路群20bとが接続され構成されている。第1回路群10bは、1以上の入力A1~Anと1以上の出力(図11では1つの出力を図示している)とを有している。第2回路群20bは、1以上の入力B1~Bmと1以上の出力(図11では1つの出力を図示している)とを有している。第1回路群10bの出力と第2回路群20bの入力B1はノードQに接続されている。第2回路群20bの出力と第1回路群10bの入力A1はノードQBに接続されている。ノードQは、FET41および抵抗変化素子Re1を介し制御線CTRLに接続され、ノードQBは、FET42および抵抗変化素子Re2を介し制御線CTRLに接続されている。

【0073】

双安定回路30bのデータを抵抗変化素子Re1およびRe2にストアする際には記憶すべき相補的なデータがそれぞれ第1回路群10bと第2回路群20bからノードQおよびノードQBに出力される。データを抵抗変化素子Re1およびRe2から双安定回路30bにリストアする際は、第1回路群10bの入力A2~An(すなわちノードQBに接続された入力A1以外の入力)には第1回路群10bがノードQにノードQBの論理反転を出力するような信号が入力される。第2回路群20bの入力B2~Bm(すなわちノードQに接続された入力B1以外の入力)には第2回路群20bがノードQBにノードQ1の論理反転を出力するような信号が入力されている。

【0074】

実施例6においては、双安定回路30bが、1以上の入力と1以上の出力とを有する第

10

20

30

40

50

1回路群10bと、1以上の入力と1以上の出力とを有する第2回路群20bと、が接続されて構成されている。この場合においても、第1回路群10bの出力のうち1つと第2回路群20bの入力のうち1つとが接続されたノードQと、第2回路群20bの出力のうち1つと第1回路群10bの入力のうち1つとが接続されたノードQBと、の少なくとも一方と制御線CTRLとの間に抵抗変化素子Re1およびRe2を接続する。そして、実施例2の図6および図7と同様の動作を行なう。これにより、双安定回路30bのデータを不揮発的に抵抗変化素子Re1およびRe2にストアすることができる。また、抵抗変化素子Re1およびRe2にストアされたデータを双安定回路30bにリストアすることができる。また、FET41および42により、双安定回路30bと抵抗変化素子Re1およびRe2とが互いに影響することを抑制することができる。

10

【実施例7】

【0075】

実施例7は、実施例6の具体例としてSRラッチ回路の例である。図12は、実施例7に係るSRラッチ回路の回路図である。実施例6の図11における第1回路群10bをNAND回路90、第2回路群20bをNAND回路90とする。第1回路群10bおよび第2回路群20bは双安定回路30bを構成する。第1回路群10bのNAND回路90にはS(セット)と第2回路群20bの出力が入力する。第2回路群20bのNAND回路90にはR(リセット)と第1回路群10bの出力が入力する。第1回路群10bのNAND回路90の出力がノードQ、第2回路群20bのNAND回路90の出力がノードQBに接続されている。ノードQは、FET41および抵抗変化素子Re1を介し制御線CTRLに接続され、ノードQBは、FET42および抵抗変化素子Re2を介し制御線CTRLに接続されている。

20

【0076】

図13は、実施例7に係るSRラッチ回路をFETで構成した回路図である。第1回路群10bおよび第2回路群20bをpMOSFET70およびnMOSFET72で構成することができる。実施例7においても、双安定回路30bのデータを抵抗変化素子Re1およびRe2に不揮発的にストアし、抵抗変化素子Re1およびRe2のデータを双安定回路30bにリストアすることができる。また、FET41および42により、双安定回路30bと抵抗変化素子Re1およびRe2とが互いに影響することを抑制することができる。

30

【実施例8】

【0077】

実施例8は、論理回路を用いて双安定回路を構成する別の例である。図14を参照に、双安定回路30cは論理回路31を有している。論理回路31は、内部に第1回路群および第2回路群を有している。論理回路31は、2以上の入力C1~Cnと2以上の出力(図14では2つの出力を図示している)を有している。論理回路31の2つの出力は互いに相補であり、それぞれノードQおよびQBに接続されている。また、2つの出力は、論理回路31の入力のいずれか(図14では、C1とC2)に接続される。ノードQは、FET41および抵抗変化素子Re1を介し制御線CTRLに接続され、ノードQBは、FET42および抵抗変化素子Re2を介し制御線CTRLに接続されている。

40

【0078】

実施例8のように、より一般的な回路を用いても、実施例2の図6および図7と同様の動作を行なうことにより、双安定回路30cのデータを抵抗変化素子Re1およびRe2に不揮発的にストアし、抵抗変化素子Re1およびRe2のデータを双安定回路30cにリストアすることができる。また、FET41および42により、双安定回路30cと抵抗変化素子Re1およびRe2とが互いに影響することを抑制することができる。

【実施例9】

【0079】

実施例9は、実施例8の具体例としてJKフリップフロップの例である。図15は、実施例9に係るJKフリップフロップの回路図である。実施例8の図14の論理回路31

50

を8個のNAND回路90で実現している。ノードQに出力するNAND回路90が第1回路群10c、ノードQBに出力するNAND回路90が第2回路群20cに相当する。ノードQは、FET41および抵抗変化素子Re1を介し制御線CTRLに接続され、ノードQBは、FET42および抵抗変化素子Re2を介し制御線CTRLに接続されている。

【0080】

図16は、実施例9に係るJKフリップフロップをFETで構成した回路図である。論理回路31をpMOSFET70およびnMOSFET72で構成することができる。ノードQは、FET41および抵抗変化素子Re1を介し制御線CTRLに接続され、ノードQBは、FET42および抵抗変化素子Re2を介し制御線CTRLに接続されている。実施例9においても、双安定回路30cのデータを抵抗変化素子Re1およびRe2に不揮発的にストアし、抵抗変化素子Re1およびRe2のデータを双安定回路30cにリストアすることができる。また、FET41および42により、双安定回路30cと抵抗変化素子Re1およびRe2とが互いに影響することを抑制することができる。

10

【0081】

非特許文献3によれば、記憶ノードに抵抗変化素子が直接接続されている。このため、SRAMやラッチ回路動作時に記憶ノードから抵抗変化素子に流れ出る電流によりSRAM等動作時の消費電流が増大する。一方、実施例1~9によれば、通常のSRAM等動作時に、FET41および42を遮断状態とすることにより、抵抗変化素子Re1およびRe2を流れる漏洩電流パスを遮断し、待機消費電力を抑制することができる。

20

【0082】

また、非特許文献3によれば、双安定回路から抵抗変化素子に流れ込む電流により、双安定回路からデータを読み出す際にノイズマージンが劣化する。一方、実施例1~9によれば、双安定回路30aと抵抗変化素子Re1およびRe2とをFET41および42により切り離せるため、ノイズマージンの劣化を抑制できる。

【0083】

さらに、リストア動作には、双安定回路30aの第1回路群10aと第2回路群20aの特性のばらつきが影響する。この影響を抑制するためには、リストア動作時のノードQとノードQBとの電位差を大きくすることが好ましい。このため、抵抗変化素子Re1およびRe2の少なくともセット時の抵抗を低くすることが好ましい。しかしながら、非特許文献3においては、抵抗変化素子のセット時の抵抗の低抵抗化と、前述の待機消費電力抑制およびノイズマージンの劣化の抑制と、のトレードオフとなる。一方、実施例1~9によれば、通常のSRAMやラッチ回路動作時にFET41および42を遮断状態とすることで、双安定回路30aと抵抗変化素子Re1およびRe2とを切り離せる。よって、セット時の抵抗が低抵抗な抵抗変化素子を用いることが可能となる。

30

【0084】

実施例2から実施例9において、第1回路群および第2回路群としてCMOSFETを用いる例を示したが、抵抗負荷やDモード負荷を用いて第1回路群および第2回路群を構成してもよい。FET41および42としてn型FETの例を示したがp型FETでもよい。

40

【実施例10】

【0085】

実施例10は、実施例1~9を用いた電子装置の例である。図17は、実施例10に係る電子装置のブロック図である。電子装置は、マイクロプロセッサ110、不揮発性メインメモリ132および外部メモリ134を有している。不揮発性メインメモリ132は、例えばMRAMで構成されている。外部メモリ134は例えばハードデスクドライブ(HDD)である。マイクロプロセッサ110、不揮発性メインメモリ132および外部メモリ134は、バスにより接続されている。

【0086】

マイクロプロセッサ110は、パワーマネージメントユニット112、不揮発性SAR

50

M 1 1 4 およびパワードメイン 1 1 6 を有している。不揮発性 S R A M 1 1 4 は例えば実施例 2 または 3 に係る不揮発性メモリである。パワードメインは、例えば実施例 4 ~ 8 の不揮発性フリップフロップ 1 1 8 を有している。不揮発性 S R A M 1 1 4 およびパワードメイン 1 1 6 は、スリープトランジスタ 1 2 0 を有している。パワーマネジメントユニット 1 1 2 は、揮発性 S R A M 1 1 4 およびパワードメイン 1 1 6 のスリープトランジスタ 1 2 0 を遮断することにより、揮発性 S R A M 1 1 4 およびパワードメイン 1 1 6 に供給される電源を遮断することができる。

【 0 0 8 7 】

図 1 8 は、パワードメイン 1 1 6 のブロック図である。図 1 8 のように、パワードメイン 1 1 6 は、論理回路 1 2 2、不揮発性レジスタ 1 2 4 を有している。不揮発性レジスタ 1 2 4 は、例えば実施例 4 の不揮発性 D フリップフロップ 1 2 6 および A N D 回路 1 2 8 を有している。A N D 回路 1 2 8 は、レジスタコントローラ 1 3 1 のラッチ駆動信号（ラッチ E N）、クロック C L K およびパワーマネジメントユニット 1 1 2 の信号の A N D を不揮発性 D フリップフロップ 1 2 6 にクロック C L K として出力する。レジスタコントローラ 1 3 1 には、アドレスバスおよび入力信号が入力する。論理回路 1 2 2 には外部信号入力が入力する。O R 回路 1 3 0 は、論理回路 1 2 2 の出力とパワーマネジメントユニット 1 1 2 の出力を O R し、外部出力信号として出力する。スリープトランジスタ 1 2 0 はパワードメイン 1 1 6 への電力供給をオンオフする。

【 0 0 8 8 】

図 1 8 において、パワーマネジメントユニット 1 1 2 がパワードメイン 1 1 6 の電源を遮断する際は、パワーマネジメントユニット 1 1 2 は、A N D 回路 1 2 8 にローを出力することにより、相補性確保のため不揮発性 D フリップフロップ 1 2 6 へのクロック入力信号（A N D 回路 1 2 8 の出力に相当）を止めてクロックゲーティング状態にする。パワーマネジメントユニット 1 1 2 は、不揮発性 D フリップフロップ 1 2 6 のスイッチ線 S R および制御線 C T R L を制御し、図 6 のように、不揮発性 D フリップフロップ 1 2 6 内の双安定回路のデータを抵抗変化素子にストアする。また、O R 回路 1 3 0 にハイを出力することにより、論理回路 1 2 2 からの外部出力信号の出力をハイに固定する。さらに、スリープトランジスタ 1 2 0 のゲートにハイを出力することにより、パワードメイン 1 1 6 への電源供給を停止する。

【 0 0 8 9 】

パワーマネジメントユニット 1 1 2 がパワードメイン 1 1 6 の電源を復旧する際は、パワーマネジメントユニット 1 1 2 は、不揮発性 D フリップフロップ 1 2 6 のスイッチ線 S R および制御線 C T R L を制御し、スリープトランジスタ 1 2 0 のゲートにローを出力して、図 7 のように、不揮発性 D フリップフロップ 1 2 6 内の抵抗変化素子のデータを双安定回路にリストアする。さらに、O R 回路 1 3 0 にローを出力する。パワーマネジメントユニット 1 1 2 は、A N D 回路 1 2 8 にハイを出力することにより、クロックゲーティングを解除する。以上のように、パワーマネジメントユニット 1 1 2 は、パワードメイン 1 1 6 の電源の遮断、復旧を行なうことができる。

【 0 0 9 0 】

実施例 1 0 によれば、パワーマネジメントユニット 1 1 2 が、揮発性 S R A M 1 1 4 およびパワードメイン 1 1 6 を電源から完全に切り離すことにより、スタンバイ時の消費電力を劇的に削減することができる。さらに、マイクロプロセッサ 1 1 0 内の S R A M、ラッチ回路およびフリップフロップを、実施例 1 から実施例 9 の回路で構成することにより、電源遮断時においても、電源遮断直前のデータを不揮発的に記憶することができる。よって、マイクロプロセッサ 1 1 0 の稼動時に電源を遮断したとしても、電源再投入時は電源を遮断した直前の状態からマイクロプロセッサを稼動させることができる。

【 0 0 9 1 】

以上、発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

10

20

30

40

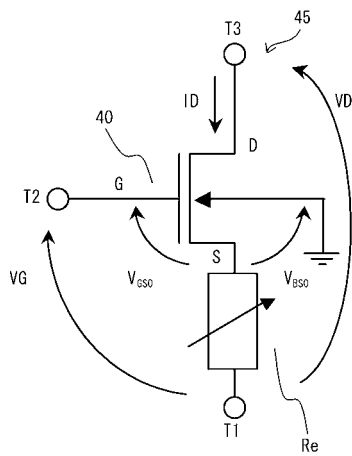
50

【符号の説明】

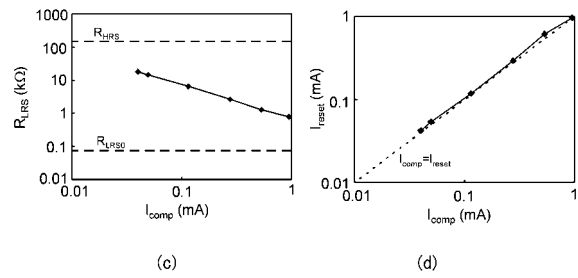
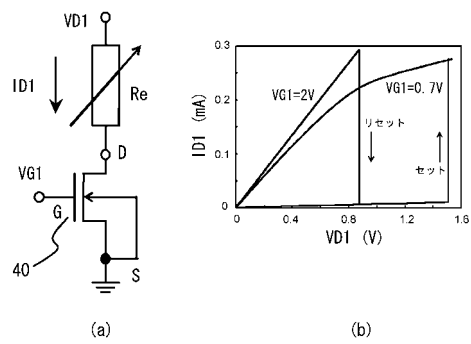
【0092】

- 10 第1回路群
- 20 第2回路群
- 30 双安定回路
- 41、42 FET
- 50、52 パスゲート
- Q、QB ノード
- Re1、Re2 抵抗変化素子
- CTRL 制御線
- DIN、DINB 入出力線

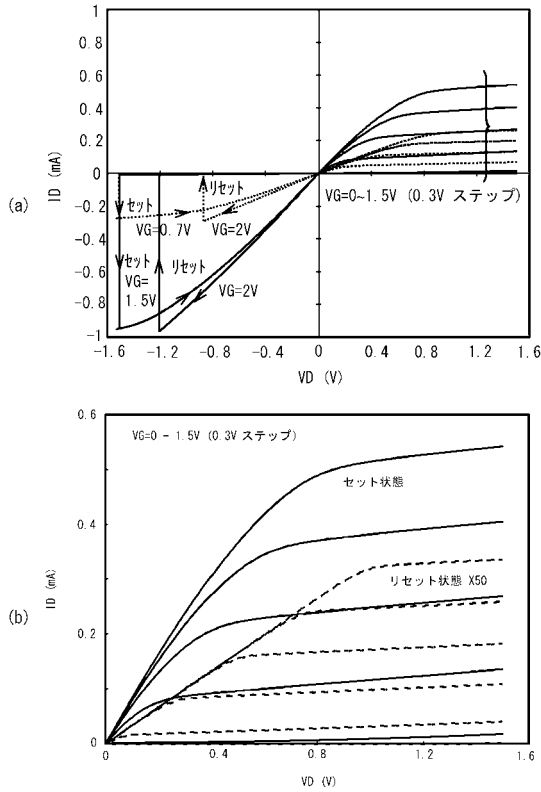
【図1】



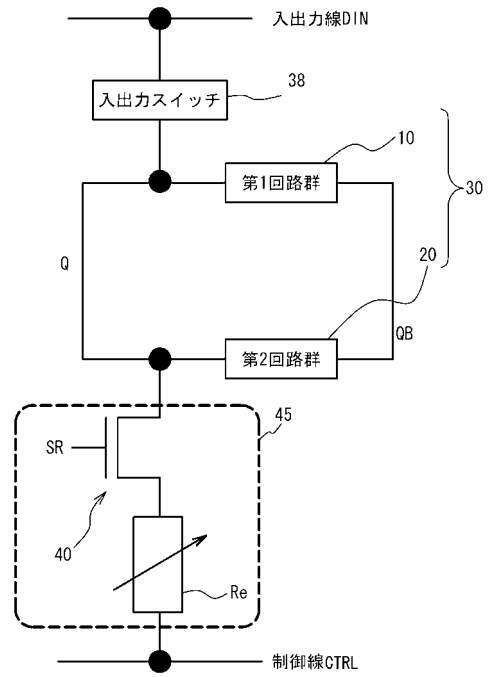
【図2】



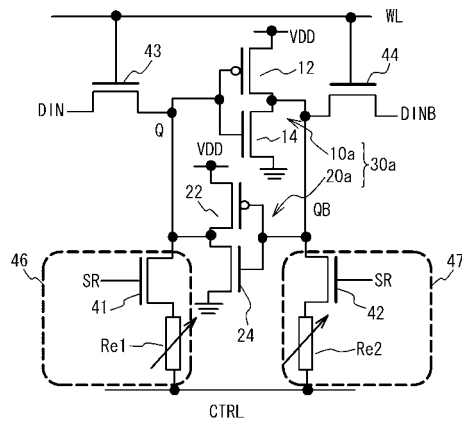
【図3】



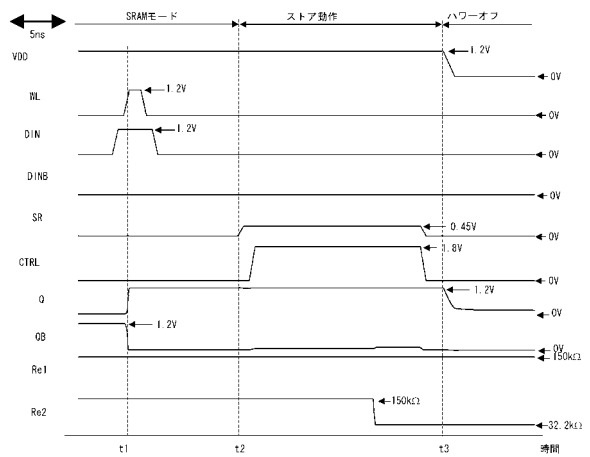
【図4】



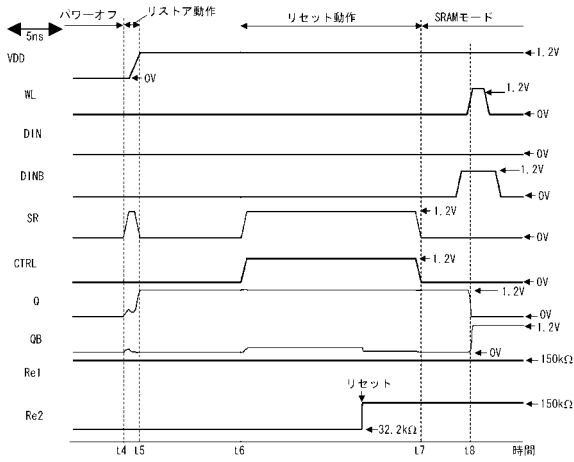
【図5】



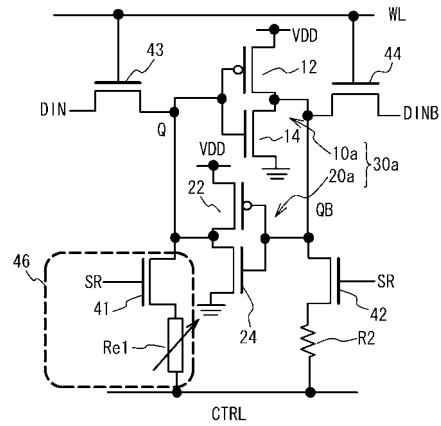
【図6】



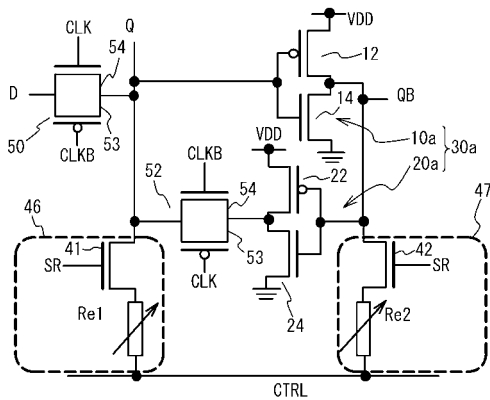
【図7】



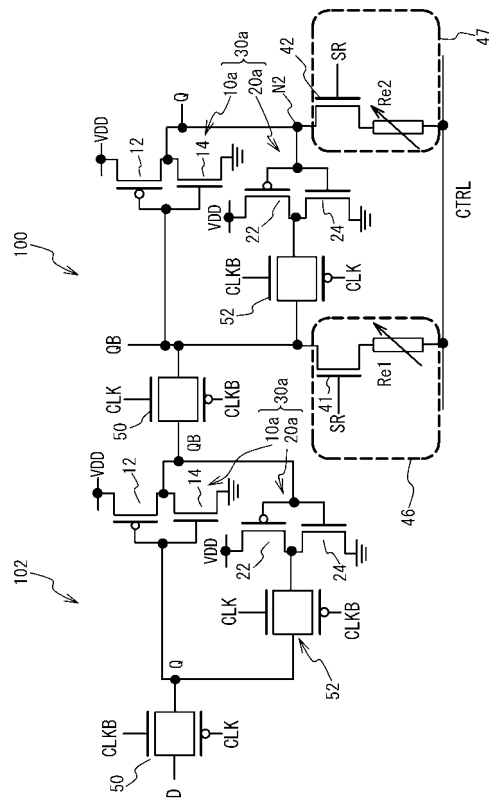
【図8】



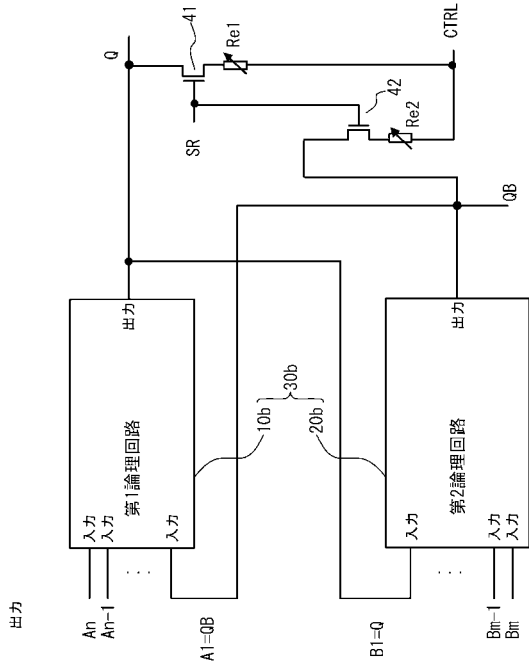
【図9】



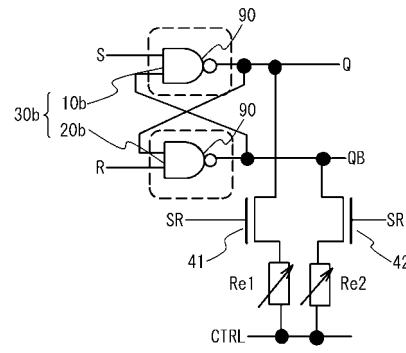
【図10】



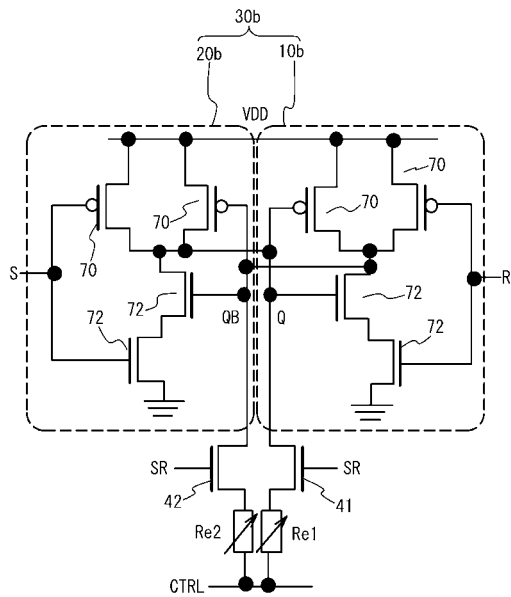
【図11】



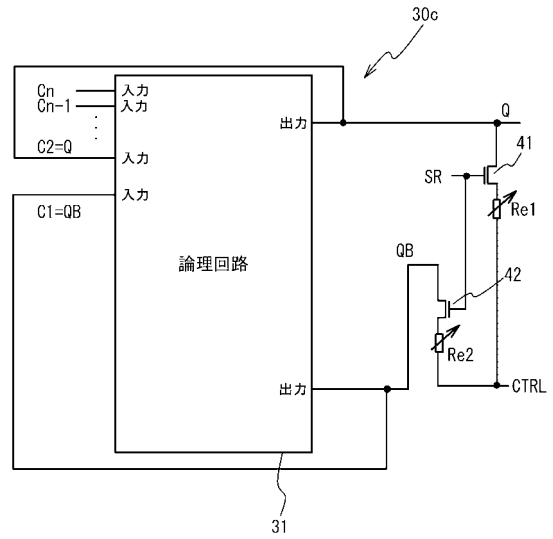
【図12】



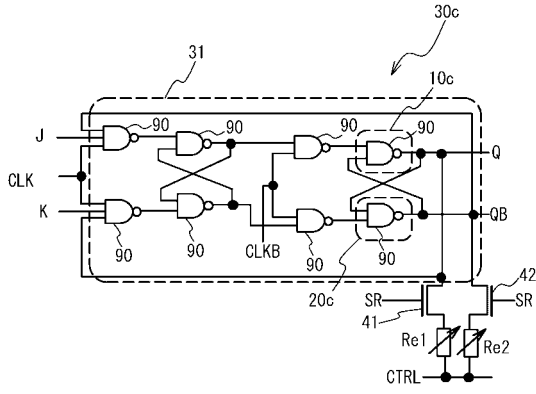
【図13】



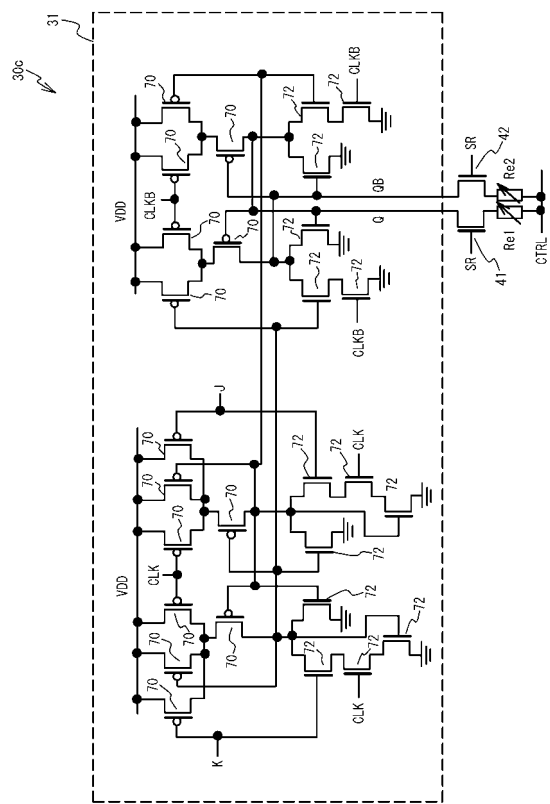
【図14】



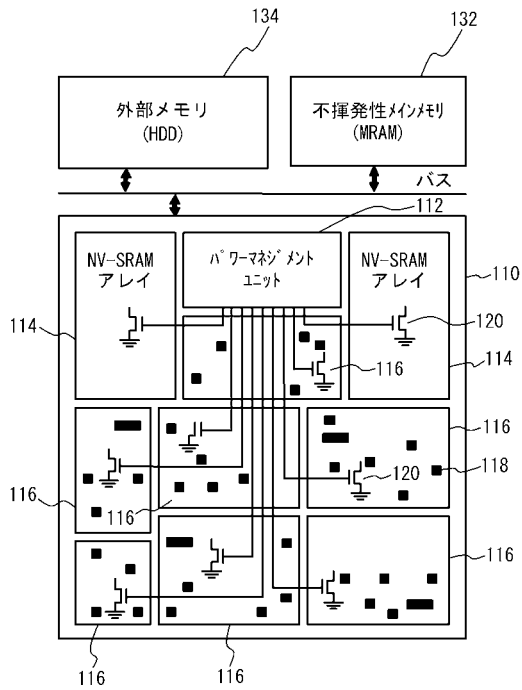
【図15】



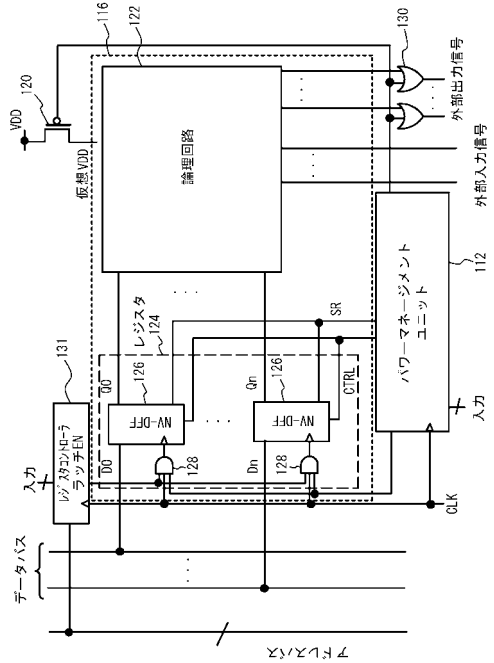
【図16】



【図17】



【図18】



フロントページの続き

(72)発明者 周藤 悠介

神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内

審査官 宮島 郁美

(56)参考文献 特開2009-059884(JP,A)

国際公開第2009/028298(WO,A1)

国際公開第2004/040582(WO,A1)

特開2002-216482(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096