

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第5312715号
(P5312715)

(45) 発行日 平成25年10月9日(2013.10.9)

(24) 登録日 平成25年7月12日(2013.7.12)

(51) Int.Cl.	F I		
G 1 1 C 11/412 (2006.01)	G 1 1 C 11/40	3 0 1	
G 1 1 C 11/41 (2006.01)	G 1 1 C 11/40		Z
G 1 1 C 11/15 (2006.01)	G 1 1 C 11/15	1 1 0	

請求項の数 13 (全 17 頁)

(21) 出願番号 特願2013-521330 (P2013-521330)	(73) 特許権者 503360115 独立行政法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(86) (22) 出願日 平成25年2月19日(2013.2.19)	
(86) 国際出願番号 PCT/JP2013/054052	(74) 代理人 100087480 弁理士 片山 修平
審査請求日 平成25年5月15日(2013.5.15)	(72) 発明者 周藤 悠介 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
(31) 優先権主張番号 特願2012-114989 (P2012-114989)	(72) 発明者 山本 修一郎 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
(32) 優先日 平成24年5月18日(2012.5.18)	(72) 発明者 菅原 聡 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
(33) 優先権主張国 日本国(JP)	
特許法第30条第2項適用 日本応用物理学会誌第51巻(平成24年3月30日)日本応用物理学会発行第40212-1~3ページに発表	
早期審査対象出願	

最終頁に続く

(54) 【発明の名称】 双安定回路と不揮発性素子とを備える記憶回路

(57) 【特許請求の範囲】

【請求項1】

データを記憶する双安定回路と、
前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、
前記双安定回路からデータの読み出しまたは書き込みを行なわない期間が所定期間より長い場合、前記双安定回路に記憶されたデータを不揮発的にストアするとともに前記双安定回路の電源を遮断し、前記データの読み出しまたは書き込みを行なわない期間が前記所定期間より短い場合、前記双安定回路に記憶されたデータの不揮発的なストアを行なわず前記双安定回路の電源電圧を前記双安定回路からデータの読み出しまたは書き込む期間の電圧より低くする制御部と、
を具備することを特徴とする記憶回路。

【請求項2】

前記制御部は、前記双安定回路からデータの読み出しまたは書き込みを行なわない期間が所定期間より長いか短いか判定し、
前記双安定回路からデータの読み出しまたは書き込みを行なわない期間が所定期間より長いと判定した場合、前記双安定回路に記憶されたデータを不揮発的にストアするとともに前記双安定回路の電源を遮断し、
前記データの読み出しまたは書き込みを行なわない期間が前記所定期間より短いと判定した場合、前記双安定回路に記憶されたデータの不揮発的なストアを行なわず前記双安定

回路の電源電圧を前記双安定回路からデータの読み出しまたは書き込む期間の電圧より低くすることを特徴とする請求項 1 記載の記憶回路。

【請求項 3】

前記所定期間は、前記所定期間の間前記双安定回路の電源電圧を低くした場合の消費電力が前記不揮発性素子にデータをストアおよびリストアする際の消費電力と同じになるような期間以上の長さであることを特徴とする請求項 1 または 2 記載の記憶回路。

【請求項 4】

前記不揮発性素子にデータをストアするためのエネルギーから、前記不揮発性素子にデータをストアする期間前記双安定回路の電源電圧を低くした場合のエネルギーを、引いたエネルギーを E_{store}^{SC} 、

前記不揮発性素子からデータをリストアするためのエネルギーから、前記不揮発性素子からデータをリストアする期間前記双安定回路の電源電圧を低くした場合のエネルギーを、引いたエネルギーを $E_{restore}^{SC}$ 、

前記双安定回路の電源電圧を低くした場合の消費電流を I_{LS}^{NV} 、

前記双安定回路の電源を遮断した場合の消費電流を I_{L}^{SD} 、

前記双安定回路の電源電圧を低くした場合の電源電圧を V_{sleep} とした場合、

前記所定期間は $(E_{store}^{SC} + E_{restore}^{SC}) / ((I_{LS}^{NV} - I_{L}^{SD}) \times V_{sleep})$ 以上であることを特徴とする請求項 1 から 3 のいずれか一項記載の記憶回路。

【請求項 5】

前記不揮発性素子は、一端が前記双安定回路内のノードに他端が制御線に接続されていることを特徴とする請求項 1 から 4 のいずれか一項記載の記憶回路。

【請求項 6】

前記不揮発性素子は、前記一端と前記他端との間に流れる電流により前記双安定回路に記憶されたデータを不揮発的にストアすることを特徴とする請求項 5 記載の記憶回路。

【請求項 7】

前記双安定回路は、相補的な第 1 ノードおよび第 2 ノードを含み、

前記不揮発性素子は、一端が前記第 1 ノードに他端が前記制御線に接続された第 1 不揮発性素子と、一端が前記第 2 ノードに他端が前記制御線との間に接続された第 2 不揮発性素子と、を含むことを特徴とする請求項 5 または 6 記載の記憶回路。

【請求項 8】

ソースおよびドレインが前記ノードと前記制御線との間に前記不揮発性素子と直列に接続された MOSFET と、

前記双安定回路がデータを記憶している期間の前記制御線の電圧を、前記不揮発性素子に前記双安定回路に記憶されたデータを不揮発的にストアする期間に前記制御線に印加される最も低い電圧より、高くする制御部と、

を具備することを特徴とする請求項 1 から 7 のいずれか一項記載の記憶回路。

【請求項 9】

前記制御部は、前記双安定回路がデータを記憶している期間の前記制御線の電圧を、前記双安定回路の電源を遮断している期間の前記制御線の電圧より高くすることを特徴とする請求項 8 記載の記憶回路。

【請求項 10】

前記不揮発性素子は、強磁性トンネル接合素子であることを特徴とする請求項 1 から 9 のいずれか一項記載の記憶回路。

【請求項 11】

データを記憶する双安定回路と、

一端が前記双安定回路内のノードに他端が制御線に接続され、前記一端と前記他端との間を流れる電流により抵抗値が変更されることにより前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、

10

20

30

40

50

ソースおよびドレインが前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたFETと、

前記不揮発性素子に不揮発的にストアされたデータを前記双安定回路にリストアする期間において前記FETのゲートに印加される電圧を、前記双安定回路にデータを揮発的に書き込みおよび読み出しする期間に前記双安定回路に印加される電源電圧より、低くする制御部と、

を具備することを特徴とする記憶回路。

【請求項12】

前記制御部は、前記不揮発性素子に前記双安定回路に記憶されたデータを不揮発的にストアする期間において前記ゲートに印加される電圧を、前記電源電圧より低くすることを特徴とする請求項11記載の記憶回路。

10

【請求項13】

前記制御部は、前記不揮発性素子に前記双安定回路に記憶されたデータを不揮発的にストアする期間に前記制御線に印加される最も高い電圧を、前記電源電圧より低くすることを特徴とする請求項11または12記載の記憶回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶回路に関し、例えば双安定回路と不揮発性素子とを備える記憶回路に関する。

20

【背景技術】

【0002】

SRAM(Static Random Access Memory)の双安定回路に記憶されているデータを強磁性トンネル接合素子(MTJ)に不揮発的にストアし、双安定回路の電源を遮断する。その後、双安定回路の電源投入時にMTJから双安定回路にデータをリストアする記憶装置が知られている(例えば特許文献1)。この記憶装置を、マイクロプロセッサ、システムオンチップ、マイクロコントローラ、FPGA(Field Programmable Gate Array)またはCMOS(Complementary Metal Oxide Semiconductor)ロジック等に用いることにより、消費電力を削減することができる。

【先行技術文献】

30

【特許文献】

【0003】

【特許文献1】国際公開2009/028298号

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1の記憶回路においては、双安定回路のデータをMTJに不揮発的にストアできることから、双安定回路の電源を遮断することができる。これにより、待機時の消費電力を大幅に抑制できる。しかしながら、電源が投入されている期間は、通常のSRAMに比べると消費電力が大きくなる。

40

【0005】

本発明は、上記課題に鑑みなされたものであり、消費電力を削減することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、前記双安定回路からデータの読み出しまたは書き込みを行なわない期間が所定期間より長い場合、前記双安定回路に記憶されたデータを不揮発的にストアするとともに前記双安定回路の電源を遮断し、前記データの読み出しまたは書き込みを行なわない期間

50

が前記所定期間より短い場合、前記双安定回路に記憶されたデータの揮発的なストアを行わず前記双安定回路の電源電圧を前記双安定回路からデータの読み出しまたは書き込む期間の電圧より低くする制御部と、を具備することを特徴とする記憶回路である。本発明によれば、消費電力を削減することができる。

【0007】

上記構成において、前記制御部は、前記双安定回路からデータの読み出しまたは書き込みを行わない期間が所定期間より長いか短いか判定し、前記双安定回路からデータの読み出しまたは書き込みを行わない期間が所定期間より長いと判定した場合、前記双安定回路に記憶されたデータを揮発的にストアするとともに前記双安定回路の電源を遮断し、前記データの読み出しまたは書き込みを行わない期間が前記所定期間より短いと判定した場合、前記双安定回路に記憶されたデータの揮発的なストアを行わず前記双安定回路の電源電圧を前記双安定回路からデータの読み出しまたは書き込む期間の電圧より低くする構成とすることができる。

10

【0008】

上記構成において、前記所定期間は、前記所定期間の間前記双安定回路の電源電圧を低くした場合の消費電力が前記揮発性素子にデータをストアおよびリストアする際の消費電力と同じになるような期間以上の長さである構成とすることができる。

【0009】

上記構成において、前記揮発性素子にデータをストアするためのエネルギーから、前記揮発性素子にデータをストアする期間前記双安定回路の電源電圧を低くした場合のエネルギーを、引いたエネルギーを E_{store}^{SC} 、前記揮発性素子からデータをリストアするためのエネルギーから、前記揮発性素子からデータをリストアする期間前記双安定回路の電源電圧を低くした場合のエネルギーを、引いたエネルギーを E_{restor}^{SC} 、前記双安定回路の電源電圧を低くした場合の消費電流を I_{LS}^{NV} 、前記双安定回路の電源を遮断した場合の消費電流を I_{L}^{SD} 、前記双安定回路の電源電圧を低くした場合の電源電圧を V_{sleep} とした場合、前記所定期間は $(E_{store}^{SC} + E_{restor}^{SC}) / ((I_{LS}^{NV} - I_{L}^{SD}) \times V_{sleep})$ 以上である構成とすることができる。

20

【0010】

上記構成において、前記揮発性素子は、一端が前記双安定回路内のノードに他端が制御線に接続されている構成とすることができる。

30

【0011】

上記構成において、前記揮発性素子は、前記一端と前記他端との間に流れる電流により前記双安定回路に記憶されたデータを揮発的にストアする構成とすることができる。

【0012】

上記構成において、前記双安定回路は、相補的な第1ノードおよび第2ノードを含み、前記揮発性素子は、一端が前記第1ノードに他端が前記制御線に接続された第1揮発性素子と、一端が前記第2ノードに他端が前記制御線との間に接続された第2揮発性素子と、を含む構成とすることができる。

【0013】

上記構成において、ソースおよびドレインが前記ノードと前記制御線との間に前記揮発性素子と直列に接続されたMOSFETと、前記双安定回路がデータを記憶している期間の前記制御線の電圧を、前記揮発性素子に前記双安定回路に記憶されたデータを揮発的にストアする期間に前記制御線に印加される最も低い電圧より、高くする制御部と、を具備する構成とすることができる。

40

【0014】

上記構成において、前記制御部は、前記双安定回路がデータを記憶している期間の前記制御線の電圧を、前記双安定回路の電源を遮断している期間の前記制御線の電圧より高くする構成とすることができる。

【0015】

50

上記構成において、前記不揮発性素子は、強磁性トンネル接合素子である構成とすることができる。

【0016】

本発明は、データを記憶する双安定回路と、一端が前記双安定回路内のノードに他端が制御線に接続され、前記一端と前記他端との間を流れる電流により抵抗値が変更されることにより前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、ソースおよびドレインが前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたFETと、前記不揮発性素子に不揮発的にストアされたデータを前記双安定回路にリストアする期間において前記FETのゲートに印加される電圧を、前記双安定回路にデータを揮発的に書き込みおよび読み出しする期間に前記双安定回路に印加される電源電圧より、低くする制御部と、を具備することを特徴とする記憶回路である。本発明によれば、消費電力を削減することができる。

10

【0017】

上記構成において、前記制御部は、前記不揮発性素子に前記双安定回路に記憶されたデータを不揮発的にストアする期間において前記ゲートに印加される電圧を、前記電源電圧より低くする構成とすることができる。

【0018】

上記構成において、前記制御部は、前記不揮発性素子に前記双安定回路に記憶されたデータを不揮発的にストアする期間に前記制御線に印加される最も高い電圧を、前記電源電圧より低くする構成とすることができる。

20

【発明の効果】

【0019】

本発明によれば、消費電力を削減することができる。

【図面の簡単な説明】

【0020】

【図1】図1(a)および図1(c)は、強磁性トンネル接合素子の一例を示す図である。図1(b)は、強磁性トンネル接合素子40の電流-電圧特性を示す図である。

【図2】図2は、記憶セルの回路図である。

【図3】図3は、記憶セルの制御を示すタイミングチャートである。

30

【図4】図4(a)および図4(b)は、記憶セルの別の例を示す回路図である。

【図5】図5(a)および図5(b)は、実施例1に係る記憶回路および記憶セルを示すブロック図である。

【図6】図6は、電源および制御線の電圧を示すタイミングチャートである。

【図7】図7は、電源に対する記憶セルのリーク電流のシミュレーション結果を示す図である。

【図8】図8は、実施例1に係る記憶回路において、シャットダウンとスリープ状態の消費電流を比較した模式図である。

【図9】図9は、実施例1に係る記憶回路と6T-SRAMとの消費電流を比較した模式図である。

40

【図10】図10は、制御部の制御を示すフローチャートである。

【図11】図11は、ストア期間における制御線CTRLおよびスイッチ線SRの電圧および強磁性トンネル接合素子MTJ1およびMTJ2を流れる電流I1およびI2をシミュレーションしたタイミングチャートである。

【図12】図12(a)および図12(b)は、それぞれストア期間の双安定回路の特性をシミュレーションした図である。

【図13】図13は、リストア期間における電源Vsupplyおよびスイッチ線SRの電圧および強磁性トンネル接合素子MTJ1およびMTJ2を流れる電流I1およびI2をシミュレーションしたタイミングチャートである。

【図14】図14(a)から図14(c)は、それぞれリストア期間のノードQおよびQ

50

Bにおける電位の変化をシミュレーションした図である。

【発明を実施するための形態】

【0021】

まず、不揮発性素子として強磁性トンネル接合素子について説明する。図1(a)は、強磁性トンネル接合素子の一例を示す図である。強磁性トンネル接合素子40は、強磁性電極フリー層42と、強磁性電極ピン層46と、強磁性電極フリー層42と強磁性電極ピン層46との間に設けられたトンネル絶縁膜44とを有する。強磁性電極フリー層42および強磁性電極ピン層46は、強磁性金属、ハーフメタル強磁性体または強磁性半導体からなる。強磁性電極フリー層42は、磁化方向を変更することができる。一方、強磁性電極ピン層46は、磁化方向が固定されている。強磁性電極フリー層42と強磁性電極ピン層46との磁化方向が平行な状態を平行磁化、反平行な場合を反平行磁化という。

10

【0022】

図1(b)は、強磁性トンネル接合素子40の電流-電圧特性を示す図である。図1(a)のように、強磁性電極ピン層46に対し強磁性電極フリー層42に印加される電圧Vおよび強磁性電極フリー層42から強磁性電極ピン層46に流れる電流Iで定義する。このときの強磁性トンネル接合素子40のシンボルを図1(c)のように定義する。図1(b)を参照に、平行磁化状態の強磁性トンネル接合素子40の抵抗 R_p は、反平行磁化状態の強磁性トンネル接合素子40の抵抗 R_{ap} より小さくなる。一般に、 R_p と R_{ap} は強磁性トンネル接合に印加される電圧の関数であるが、以下では近似的に抵抗値が一定の抵抗として取り扱う。 R_p と R_{ap} が一定抵抗でない場合でも以下の議論は同様に成り立つ。

20

【0023】

反平行磁化状態において、強磁性トンネル接合素子40に印加される電圧Vが大きくなると、電流Iは抵抗 R_{ap} の逆数の傾きで大きくなる(図1(b)のA)。電流Iが閾値電流 I_{TF} を越えると、強磁性電極ピン層46から強磁性電極フリー層42に注入される強磁性電極ピン層46の多数スピンの電子により、強磁性電極フリー層42の磁化が反転し、平行磁化状態となる(図1(b)のB)。これにより、強磁性トンネル接合素子40の抵抗は R_p となる。一方、平行磁化状態で負の電流Iが流れ(図1(b)のC)、閾値電流 I_{TR} を負に越えると、強磁性電極フリー層42から強磁性電極ピン層46に注入される電子のうち、強磁性電極フリー層42の少数スピンの電子は強磁性電極ピン層46によって反射される。これにより、強磁性電極フリー層42の磁化が反転し、反平行磁化状態となる(図1(b)のD)。

30

【0024】

このように、スピン偏極した電荷の注入により磁化方向を変更させる強磁性電極フリー層42の磁化方向を反転させる方法をスピン注入磁化反転法という。スピン注入磁化反転法は、磁界を発生させ磁化方向を変更する方法に比べ、磁化方向の変更に要する消費電力を削減できる可能性がある。また、磁場を発生させ磁化方向を変更する方法に比べると、漏洩磁場の問題がないことから、選択セル以外のセルに誤書き込みや誤消去を発生するディスタープの影響を受け難く、高密度集積化に向いている。

【0025】

次に、双安定回路と強磁性トンネル接合素子とを有する記憶セルの例について説明する。図2は、記憶セルの回路図である。図2に示すように、記憶セル100は、第1インバータ回路10、第2インバータ回路20、強磁性トンネル接合素子MTJ1およびMTJ2を有している。第1インバータ回路10と第2インバータ回路20はリング状に接続され双安定回路30を構成している。第1インバータ回路10は、nMOSFET(Metal Oxide Semiconductor Field Effect Transistor)m2およびpMOSFETm1を有している。第2インバータ回路20は、nMOSFETm4およびpMOSFETm3を有している。

40

【0026】

第1インバータ回路10と第2インバータ回路20が接続されたノードがそれぞれノー

50

ドQ、QBである。ノードQとノードQBとは互いに相補ノードであり、双安定回路30は、ノードQおよびノードQBがそれぞれハイレベルおよびローレベル、または、ノードQおよびノードQBがそれぞれローレベルおよびハイレベルとなることにより安定状態となる。双安定回路30は、安定状態となることにより、データを記憶することができる。

【0027】

ノードQおよびQBは、それぞれMOSFETm5およびm6を介し入出力線DおよびDBに接続されている。MOSFETm5およびm6のゲートはワード線WLに接続されている。MOSFETm1からm6により6MOSFET型のSRAMが形成される。

【0028】

ノードQと制御線CTRLとの間にFETm7と強磁性トンネル接合素子MTJ1とが接続され、ノードQBと制御線CTRLとの間にFETm8と強磁性トンネル接合素子MTJ2とが接続されている。FETm7およびm8のソースおよびドレインの一方は、ノードQおよびQBに、ソースおよびドレインの他方は強磁性トンネル接合素子MTJ1およびMTJ2にそれぞれ接続されている。また、FETm7およびm8のゲートはスイッチ線SRに接続されている。なお、FETm7およびm8は、それぞれ、強磁性トンネル接合素子MTJ1およびMTJ2と制御線CTRLとの間に接続されていてもよい。すなわち、FETm7およびm8のソースおよびドレインがノードQおよびQBと制御線CTRLとの間に強磁性トンネル接合素子MTJ1およびMTJ2に対し直列に接続されていればよい。また、FETm7およびm8は、設けられていなくてもよい。

【0029】

双安定回路30へのデータの書き込みおよび読み出しは、従来のSRAMと同じように行なわれる。すなわち、ワード線WLをハイレベルとしFETm5およびm6を導通状態とすることにより、双安定回路30に入出力線DおよびDBのデータが書き込まれる。また、入出力線DおよびDBを等電位の浮遊状態としワード線WLをハイレベルとしFETm5およびm6を導通状態とすることにより、双安定回路30のデータを入出力線DおよびDBに読み出すことができる。FETm5およびm6を遮断状態とすることにより、双安定回路30のデータが保持される。なお、双安定回路30へのデータの書き込み、読み出し、および保持の際、スイッチ線SRはローレベルとし、FETm7およびm8は遮断状態とすることが好ましい。これにより、ノードQおよびQBと制御線CTRL間の電流を抑制し、消費電力を削減することができる。

【0030】

図3は、記憶セルの制御を示すタイミングチャートである。なお、ハッチ領域はハイレベルかローレベルか定かではないことを示す。図3を参照し、電源電圧Vsupplyが供給され、制御線CTRLおよびスイッチ線SRはローレベルである。双安定回路30へのデータの書き込みは、ワード線WLをハイレベル、入出力線D、DBをハイレベルまたはローレベルとすることにより行なわれる。双安定回路30から強磁性トンネル接合素子MTJ1およびMTJ2へのデータのストアは、期間T1においてスイッチ線SRおよび制御線CTRLをハイレベルとし、期間T2において、スイッチ線SRをハイレベルとし制御線CTRLをローレベルとすることにより行なわれる。

【0031】

ノードQおよびQBがそれぞれハイレベルおよびローレベルのとき、強磁性トンネル接合素子MTJ1およびMTJ2はそれぞれ高抵抗および低抵抗となる。ノードQおよびQBがそれぞれローレベルおよびハイレベルのとき、強磁性トンネル接合素子MTJ1およびMTJ2はそれぞれ低抵抗および高抵抗となる。このように、双安定回路30のデータが強磁性トンネル接合素子MTJ1およびMTJ2にストアされる。

【0032】

その後、電源電圧Vsupplyを0Vとすることにより、記憶セルはシャットダウン状態となる。このとき、記憶セルに電流が流れないため、消費電力を抑制することができる。強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータのリストアは、期間T3において制御線CTRLをローレベルとしスイッチ線SRをハイレベ

10

20

30

40

50

ルとした状態で電源電圧 V_{supply} を $0V$ から立ち上げることにより行なわれる。

【0033】

強磁性トンネル接合素子 $MTJ1$ および $MTJ2$ がそれぞれ高抵抗および低抵抗のとき、ノード Q および QB はそれぞれハイレベルおよびローレベルとなる。強磁性トンネル接合素子 $MTJ1$ および $MTJ2$ がそれぞれ低抵抗および高抵抗のとき、ノード Q および QB はそれぞれローレベルおよびハイレベルとなる。このように、強磁性トンネル接合素子 $MTJ1$ および $MTJ2$ に不揮発的に記憶されているデータが双安定回路にリストアされる。

【0034】

双安定回路 30 からのデータの読み出しは、ワード線 WL をハイレベルとすることにより行なわれる。

10

【0035】

図 4 (a) および図 4 (b) は、記憶セルの別の例を示す回路図である。図 4 (a) に示すように、強磁性トンネル接合素子 $MTJ2$ の代わりに抵抗 $R1$ を用いることができる。図 4 (b) に示すように、ノード QB と制御線 $CTRL$ との間は接続されていない。図 4 (a) および図 4 (b) のように、強磁性トンネル接合素子は、ノード Q および QB の一方と制御線 $CTRL$ との間にのみ接続してもよい。なお、 $FETm7$ は、それぞれ、強磁性トンネル接合素子 $MTJ1$ と制御線 $CTRL$ との間に接続されていてもよい。また、 $FETm7$ は、設けられていなくてもよい。以下の実施例においては、図 2 において示した記憶セル 100 を例に説明するが図 4 (a) および図 4 (b) において示した記憶セルを用いてもよい。また、不揮発性素子として、強磁性トンネル接合素子を例に説明するが、抵抗変化素子、相変化素子または強誘電体素子等の他の不揮発性素子を用いてもよい。

20

【実施例 1】

【0036】

図 5 (a) および図 5 (b) は、実施例 1 に係る記憶回路および記憶セルを示すブロック図である。図 5 (a) を参照し、記憶回路 103 は、メモリ領域 77、列デコーダ 71、列ドライバ 72、行デコーダ 73、行ドライバ 74 および制御部 85 を備えている。メモリ領域 77 には、複数の記憶セル 75 がマトリックス状に配置されている。列デコーダ 71 および行デコーダ 73 は、アドレス信号から列および行を選択する。列ドライバ 72 は、選択された列の入出力線 D 、 DB および制御線 $CTRL$ に電圧等を印加する。行ドライバ 74 は、選択された行のワード線 WL 、スイッチ線 SR および制御線 $CTRL$ に電圧等を印加する。制御部 85 は、列デコーダ 71、列ドライバ 72、行デコーダ 73、行ドライバ 74 を介し、記憶セル 75 の入出力線 D 、 DB 、ワード線 WL 、スイッチ線 SR および制御線 $CTRL$ に電圧等を印加する。なお、列ドライバ 72 が制御線に電圧を印加する際は、制御線は記憶セルごとに接続されている。図 5 (b) に示すように、記憶セル 75 は、例えば図 2 の記憶セル 100 と同様である。

30

【0037】

なお、行ドライバ 74 が制御線 $CTRL$ に電圧を印加する場合、例えば、行に配列された記憶セル 75 毎に制御線 $CTRL$ が接続される。列ドライバ 72 が制御線 $CTRL$ に電圧を印加する場合、例えば、列に配列された記憶セル 75 に共通に制御線 $CTRL$ が接続される。

40

【0038】

図 6 は、電源および制御線の電圧を示すタイミングチャートである。図 6 を参照し、双安定回路 30 にデータが保持されている期間にはスリープ期間と通常期間とがある。通常期間は、双安定回路 30 のデータを揮発的に書き換える期間である。スリープ期間は、双安定回路 30 のデータを保持するのみであり、データの書き換えを行わない期間である。スリープ期間においては、通常期間に対し、双安定回路 30 に供給される電源の電圧 V_{supply} を、データを保持できる程度に低くする。例えば、通常期間の V_{supply} を $1.1V$ 、およびスリープ期間の V_{supply} を $0.9V$ とする。これにより、消費電力を抑制できる。

50

【 0 0 3 9 】

スリープ期間および通常期間の制御線 C T R L の電圧を 0 V (ローレベルの電圧) とすると、M O S F E T m 7 および m 8 のリーク電流により、消費電力が大きくなる。そこで、制御線 C T R L の電圧を 0 V より大きくする。これにより、M O S F E T m 7 および m 8 のリーク電流を小さくでき、消費電力を抑制できる。

【 0 0 4 0 】

ストア期間においては、制御線 C T R L の電圧を 0 V とし、その後 1 . 1 V とする。シャットダウン期間においては、電源電圧 V s u p p l y および制御線 C T R L とを 0 V とする。

【 0 0 4 1 】

図 7 は、電源に対する記憶セルのリーク電流のシミュレーション結果を示す図である。点線は図 5 (b) において、M O S F E T m 7、m 8、強磁性トンネル結合素子 M T J 1 および M T J 2 を設けない 6 T - S R A M (6 T - S R A M) セルのリーク電流を示している。破線は、制御線 C T R L の電圧を 0 V とした場合のリーク電流、実線は、制御線 C T R L の電圧を 0 . 1 V とした場合のリーク電流を示している。図 7 のように、制御線 C T R L の電圧を制御することにより、記憶セルの消費電力を抑制できる。

【 0 0 4 2 】

図 8 は、実施例 1 に係る記憶回路において、シャットダウンとスリープ状態の消費電流を比較した模式図である。図 9 は、実施例 1 に係る記憶回路と 6 T - S R A M との消費電流を比較した模式図である。図 8 の実線は、記憶回路 1 0 3 における各期間の消費電流を示している。図 8 の破線は、記憶セル 7 5 のシャットダウンを行わずにスリープ状態とした場合の消費電流を示している。図 9 において、実線は、記憶回路 1 0 3 における各期間の消費電流を示している。破線は、6 T - S R A M セルを用いた記憶回路の消費電流を示している。点線は、6 T - S R A M セルを用いた記憶回路の通常期間の消費電流を示している。

【 0 0 4 3 】

スリープ期間の長さを $s_{l e e p}$ 、6 T - S R A M の電流 $I_{L S}^V$ 、実施例 1 の電流 $I_{L S}^{N V}$ とする。通常期間の長さを $a_{c t}$ 、6 T - S R A M の電流 I_{L}^V 、実施例 1 の電流 $I_{L}^{N V}$ とする。ストア期間の長さを s_{t} 、電流を $I_{M T J}$ とする。シャットダウン期間の長さを s_{D} 、電流を $I_{L}^{S D}$ とする。リストア期間の長さを $r_{e t}$ 、電流 $I_{R u s h}$ とする。スリープ期間と通常期間との合計の長さを $e_{x e}$ とする。スリープ期間からリストア期間までの長さを $c_{y c}$ とする。

【 0 0 4 4 】

図 9 に示すように、スリープ期間および通常期間においては、M O S F E T m 7 および m 8 にリーク電流が流れるため、実施例 1 の記憶回路 1 0 3 の消費電流が 6 T - S R A M より大きい。ストア期間およびリストア期間においては、強磁性トンネル接合素子 M T J 1 および M T J 2 に電流を流すため、実施例 1 の消費電流が大きくなる。シャットダウン期間においては、実施例 1 の記憶回路 1 0 3 は、わずかにリーク電流が流れるものの消費電流は十分に小さくなる。6 T - S R A M においては、シャットダウンできないためストア期間、シャットダウン期間およびリストア期間はスリープ期間となる。

【 0 0 4 5 】

図 1 0 は、制御部の制御を示すフローチャートである。図 1 0 を参照し、双安定回路 3 0 からデータの読み出しまたは書き込みを行わない非アクセス期間がある場合の制御を示している。制御部 8 5 は、非アクセス期間を取得する (ステップ S 1 0)。非アクセス期間は、例えば記憶回路 1 0 3 を制御する C P U (Central Processing Unit) 等から取得する。制御部 8 5 は、非アクセス期間が所定期間 T 0 より長いかが判定する (ステップ S 1 2)。Y e s の場合、制御部 8 5 は、双安定回路 3 0 のデータを強磁性トンネル接合素子 M T J 1 および M T J 2 にストアする (ステップ S 1 4)。その後、制御部 8 5 は、電源電圧 V s u p p l y を遮断することにより、シャットダウンする (ステップ S 1 6)。制御部 8 5 は、リストアするか判定する (ステップ S 1 8)。例えば、非アクセス期間が

10

20

30

40

50

経過した場合、またはCPU等から記憶セル75へのアクセスの信号を取得した場合、制御部85は、リストアすると判定する。Yesの場合、制御部85は、強磁性トンネル接合素子MTJ1およびMTJ2にストアされているデータを双安定回路30にリストアする(ステップS20)。その後、終了する。Noの場合、ステップS18に戻る。

【0046】

ステップS12において、Noの場合、制御部85は、双安定回路30の電源電圧Vsupplyを低くし、記憶セル75をスリープ状態とする(ステップS22)。制御部85は、双安定回路30を通常状態に戻すか判定する(ステップS18)。例えば、非アクセス期間が経過した場合、またはCPU等から記憶セル75へのアクセスの信号を取得した場合、制御部85は、通常状態に戻すと判断する(ステップS24)。Yesの場合、制御部85は、双安定回路30の電源電圧Vsupplyを通常状態とし、記憶セル75を通常状態とする(ステップS26)。その後、終了する。Noの場合、ステップS24に戻る。

10

【0047】

実施例1によれば、ステップS14および16のように、非アクセス期間が所定期間T0より長い場合、制御部85は、双安定回路30に記憶されたデータを不揮発的にストアするとともに双安定回路30の電源を遮断する。ステップS22のように、非アクセス期間が所定期間T0より短い場合、双安定回路30に記憶されたデータの不揮発的なストアを行わず、双安定回路30の電源電圧Vsupplyを双安定回路30からデータの読み出しまたは書き込む際の電圧より低くする。すなわち記憶セル75をスリープ状態とする。図8に示すように、ストア期間およびリストア期間においては消費電流が増大する。よって、非アクセス期間が短い場合は、シャットダウンせずスリープ状態とする方が全体の消費電力を抑制できる。一方、非アクセス期間が長い場合は、シャットダウンした方が全体の消費電力を抑制できる。よって、実施例1においては、消費電力を抑制できる。

20

【0048】

所定期間T0として自己比較ブレークイーン期間(BET^{SC})を用いることができる。BET^{SC}は、非アクセス期間にシャットダウンとする場合とスリープとする場合との消費電力が等しくなるようなシャットダウン期間である。例えば、BET^{SC}は、所定期間T0をスリープ状態とした場合の消費電力が、強磁性トンネル接合素子MTJ1およびMTJ2にデータをストアおよびリストアする期間の消費電力と所定期間の間シャットダウンする場合のリーク電流で消費する消費電力との和と、同じになるような期間である。記憶回路103の消費電力を抑制するためには、所定期間T0をBET^{SC}と同じ長さまたはBET^{SC}以上の長さとするのが好ましい。

30

【0049】

なお、シャットダウン期間のリーク電流は、例えば双安定回路30の電源をオフしても、電源電圧が完全に0Vとならないために流れる電流である。その他、シャットダウン期間に流れる電流を含む。例えば、電源電圧Vsupplyと電源との間にスリープトランジスタを設け、スリープトランジスタをオフすることで、シャットダウン期間の電源電圧Vsupplyを0Vとする。スリープトランジスタにわずかなリーク電流が存在すると、記憶セルにもリーク電流が流れる。このため、シャットダウン期間におけるリーク電流を完全にゼロとすることはできない場合がある。

40

【0050】

シャットダウン期間のリーク電流による消費電力が無視できる場合は、BET^{SC}を、所定期間T0をスリープ状態とした場合の消費電力が、強磁性トンネル接合素子MTJ1およびMTJ2にデータをストアおよびリストアする期間の消費電力と同じになるような期間とすることもできる。

【0051】

図8において、領域50は、ストアする場合の電流とスリープ状態の電流の差である。領域52は、リストアする場合の電流とスリープ状態の電流の差である。領域50に相当するエネルギー(強磁性トンネル接合素子にデータをストアするためのエネルギーからス

50

ストア期間記憶セル75をスリープ状態とした場合のエネルギーを引いたエネルギー)を E_{store}^{SC} 、領域52に相当するエネルギー(強磁性トンネル接合素子からデータをリストアするためのエネルギーからストア期間記憶セル75をスリープ状態とした場合のエネルギーを引いたエネルギー)を $E_{restore}^{SC}$ とする。スリープ期間の消費電流を I_{LS}^{NV} 、シャットダウン期間の消費電流を I_L^{SD} 、スリープ期間の電源電圧を V_{sleep} とする。このとき、期間 BET^{SC} は、数式1で表すことができる。

【数1】

$$BET^{SC} = \frac{E_{store}^{SC} + E_{restore}^{SC}}{(I_{LS}^V - I_L^{SD})V_{sleep}}$$

10

【0052】

図9において、ストアに必要なエネルギーから6T-SRAMのスリープ状態での対応する期間のエネルギーを引いたエネルギーを E_{store} 、リストアに必要なエネルギーから6T-SRAMのスリープ状態での対応する期間のエネルギーを引いたエネルギーを $E_{restore}$ とする。スリープ期間のデューティ比 $r_{sleep} = (t_{sleep} / t_{exe})$ とする。 $r_{LS}^V = (I_{LS}^{NV} - I_L^V) / (I_{LS}^V - I_L^{SD})$ 、 $r_{LS}^V = (I_{LS}^{NV} - I_{LS}^V) / (I_{LS}^V - I_L^{SD})$ とする。このとき、6T-SRAMと比較したブレークオープン期間 BET は数式2で表すことができる。

【数2】

$$BET = \frac{E_{store} + E_{restore}}{(I_{LS}^V - I_L^{SD})V_{sleep}} + \eta_{LS}^{NV} r_{sleep} \tau_{exe} + \eta_L^{NV} \frac{V_{DD}}{V_{sleep}} (1 - r_{sleep}) \tau_{exe}$$

20

【0053】

このように、実施例1に係る記憶回路と6T-SRAMと消費電力を比較した場合、期間 BET 以上にすれば、6T-SRAMに対して省電力効果が得られる。

【0054】

実施例1においては、双安定回路30と制御線CTRLとの間に強磁性トンネル接合素子MTJ1およびMTJ2が接続された場合を例に説明したが、強磁性トンネル接合素子等の不揮発性素子にデータを不揮発的にストアできれば、他の回路構成でもよい。例えば、図4(a)および図4(b)のように、強磁性トンネル接合素子が、双安定回路30内の1つのノードQまたはQBと制御線CTRLとの間に1つ設けられていてもよい。

30

【0055】

強磁性トンネル接合素子のように、両端の間に流れる電流により双安定回路30に記憶されたデータを不揮発的にストアする不揮発性素子の場合、ストア期間の消費電流が大きくなる。よって、非アクセス期間と所定期間との比較により、シャットダウンするか否かを判定することが好ましい。

【0056】

図7のように、制御部85は、双安定回路30がデータを記憶している期間(スリープ期間および通常期間)の制御線CTRLの電圧を、不揮発性素子に双安定回路30に記憶されたデータを不揮発的にストアする期間(ストア期間)に制御線CTRLに印加される最も低い電圧より、高くする。これにより、記憶セル75の消費電力を抑制できる。

40

【0057】

また、図7のように、制御部85は、双安定回路30がデータを記憶している間の制御線CTRLの電圧を、双安定回路30の電源を遮断している期間(シャットダウン期間)の制御線CTRLの電圧より高くする。これにより、記憶セルの消費電力を抑制できる。

【実施例2】

【0058】

実施例2における記憶回路の構成は、実施例1の図5と同じであり説明を省略する。図

50

11は、ストア期間における制御線CTRLおよびスイッチ線SRの電圧および強磁性トンネル接合素子MTJ1およびMTJ2を流れる電流I1およびI2をシミュレーションしたタイミングチャートである。なお、強磁性トンネル接合素子MTJ1を低抵抗から高抵抗に、強磁性トンネル接合素子MTJ2を高抵抗から低抵抗に変化させる場合についてシミュレーションしている。点線は、制御線CTRLおよびスイッチ線SRの電圧が1.1V(VDD)のとき、破線は、制御線CTRLのおよびスイッチ線SRの電圧がそれぞれ1.1Vおよび0.7Vのとき、実線は、制御線CTRLのおよびスイッチ線SRの電圧がそれぞれ0.4Vおよび0.7Vのときを示している。

【0059】

電流I1およびI2は、双安定回路30から制御線CTRLへの電流を正としている、電流Icは、強磁性トンネル接合素子の抵抗が変化する電流を示している。すなわち電流I1およびI2の絶対値が、電流Icより大きい電流であれば、強磁性トンネル接合素子の抵抗が変化する。

【0060】

制御線CTRLが0Vのとき、スイッチ線SRの電圧を0.7Vとし、MOSFETm7およびm8を流れる電流I1を低くしても電流I1の絶対値がIcより大きければ強磁性トンネル接合素子MTJ1は低抵抗から高抵抗に変化する。制御線CTRLに正電圧を印加するとき、スイッチ線SRの電圧を0.7Vとし、MOSFETm7およびm8を流れる電流I2の絶対値を低くしてもI2の絶対値がIcの絶対値より大きければ強磁性トンネル接合素子MTJ2は高抵抗から低抵抗に変化する。さらに、制御線CTRLの電圧を0.4Vとしても強磁性トンネル接合素子MTJ2は高抵抗から低抵抗に変化する。このように、スイッチ線SRおよび制御線CTRLの電圧を低くすることにより、消費電力を抑制し、かつストアを行なうことができる。

【0061】

なお、電流I2の絶対値が電流I1より大きいのは、MOSFETm8のソースはノードQBと接続するのに対し、MOSFETm7のソースは抵抗(強磁性トンネル接合素子)を介し制御線CTRLに接続するためである。

【0062】

図12(a)および図12(b)は、それぞれストア期間の双安定回路の特性をシミュレーションした図である。図12(a)および図12(b)は、ストア期間に強磁性トンネル接合素子に電流が流れている際のノードQに対するノードQBの電圧を示している。矢印はシミュレーションの際の走査の方向である。図12(a)を参照に、強磁性トンネル接合素子MTJ1を低抵抗から高抵抗に変更する際(図11において制御線が0Vのとき)、スイッチ線SRの電圧が1.1V、0.85Vおよび0.7Vのときをそれぞれ点線、破線および実線で示している。図12(a)のように、スイッチ線SRの電圧が低くなるに従い、双安定回路30のノイズマージンが増大している。

【0063】

図12(b)を参照し、強磁性トンネル接合素子MTJ2高抵抗から低抵抗に変更する際(図11において制御線が正電圧のとき)、スイッチ線SRおよび制御線CTRLの電圧が1.1Vおよび0.65V、0.85Vおよび0.5V、並びに0.7Vおよび0.4Vのときをそれぞれ実線、破線および点線で示している。図12(b)のように、スイッチ線SRおよび制御線CTRLの電圧が低くなるに従い、双安定回路30のノイズマージンが増大している。

【実施例3】

【0064】

実施例3における記憶回路の構成は、実施例1の図5(a)および図5(b)と同じであり説明を省略する。図13は、リストア期間における電源電圧Vsupplyおよびスイッチ線SRの電圧および強磁性トンネル接合素子MTJ1およびMTJ2を流れる電流I1およびI2をシミュレーションしたタイミングチャートである。なお、強磁性トンネル接合素子MTJ1を高抵抗、強磁性トンネル接合素子MTJ2を低抵抗とした場合につ

10

20

30

40

50

いてシミュレーションしている。点線は、スイッチ線SRの電圧が1.1V(VDD)のとき、実線は、スイッチ線SRの電圧が0.7Vのときを示している。電源電圧Vsupplyが立ち上がる際に、実線は点線に比べ電流I1およびI2ともに小さい。よって、消費電力を抑制することができる。

【0065】

図14(a)から図14(c)は、それぞれリストア期間のノードQおよびQBにおける電位の変化をシミュレーションした図である。強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ高抵抗および低抵抗であり、スイッチ線SRの電圧が1.1V、0.85Vおよび0.7Vのときを示している。図14(a)から図14(c)は、リストア期間の電源電圧Vsupplyをランプ上昇させた場合の電源電圧の上昇レートをそれぞれ0.011V/n秒、0.11V/n秒および1.1V/n秒とする場合に対応する。いずれの上昇レートにおいてもスイッチ線SRの電圧が0.7Vにおいては、ノードQBの電圧が高くなりノードQの電圧VQがハイレベルにリストアされている。このように、スイッチ線SRの電圧が小さい方が安定に双安定回路30にデータがリストアされている。

10

【0066】

実施例2および3よれば、制御部85は、不揮発性素子に双安定回路30に記憶されたデータを不揮発的にストアする期間(ストア期間)または不揮発性素子に不揮発的にストアされたデータを双安定回路30にリストアする期間(リストア期間)のMOSFETm7およびm8のゲートに印加される電圧を、双安定回路30にデータを揮発的に書き込みおよび読み出しする期間(通常期間)に双安定回路30に印加される電源電圧Vsupplyより、低くする。これにより、消費電力を削減し、かつ双安定回路30を安定に保つことができる。さらに、電源電圧の上昇レートを早くしても双安定回路30を安定に保つことができる。

20

【0067】

実施例3のように、制御部85は、ストア期間に制御線CTRLに印加される最も高い電圧を、電源電圧Vsupplyより低くする。これにより、消費電力を削減し、かつ双安定回路30を安定に保つことができる。

【0068】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

30

【符号の説明】

【0069】

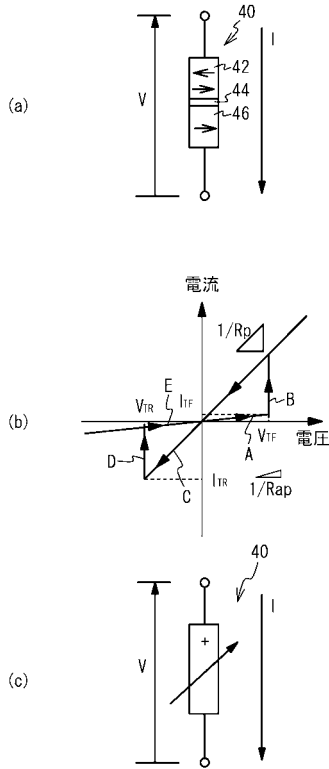
10、20	インバータ
30	双安定回路
85	制御部
MTJ1、MTJ2	強磁性トンネル接合素子

【要約】

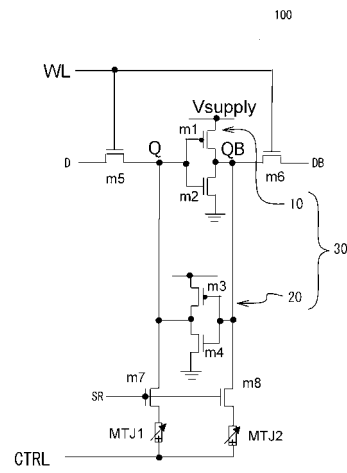
データを記憶する双安定回路30と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子MTJ1、MTJ2と、前記双安定回路からデータの読み出しまたは書き込みを行なわない期間が所定期間より長い場合、前記双安定回路に記憶されたデータを不揮発的にストアするとともに前記双安定回路の電源を遮断し、前記データの読み出しまたは書き込みを行なわない期間が前記所定期間より短い場合、前記双安定回路に記憶されたデータの不揮発的なストアを行なわず前記双安定回路の電源電圧を前記双安定回路からデータの読み出しまたは書き込む期間の電圧より低くする制御部と、を具備する記憶回路。

40

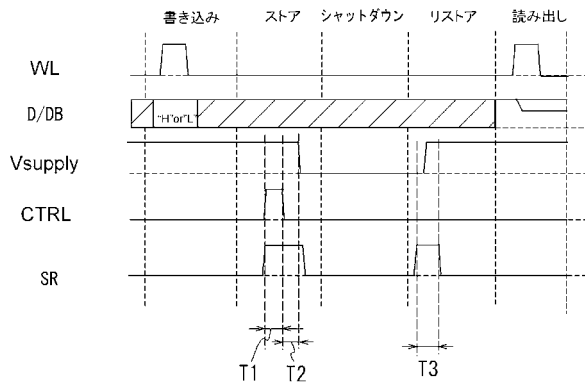
【図1】



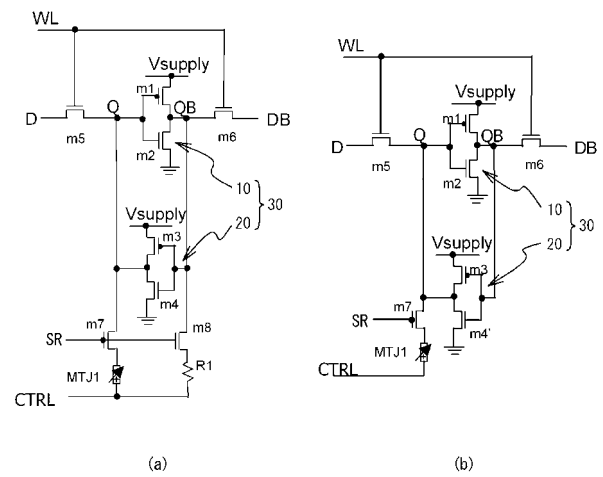
【図2】



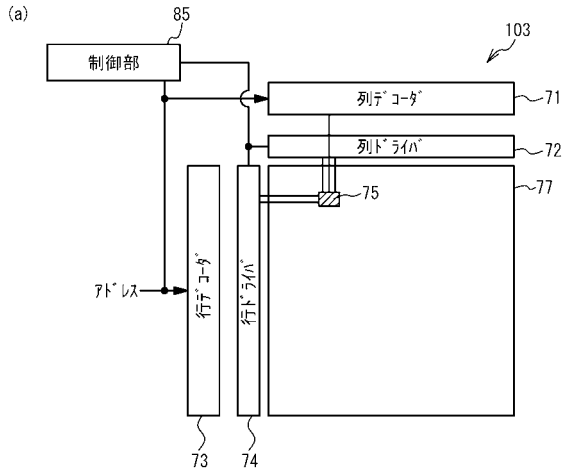
【図3】



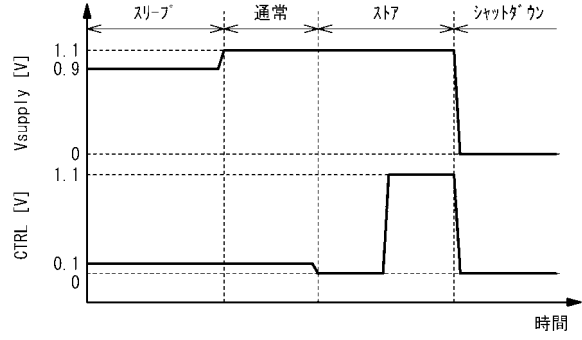
【図4】



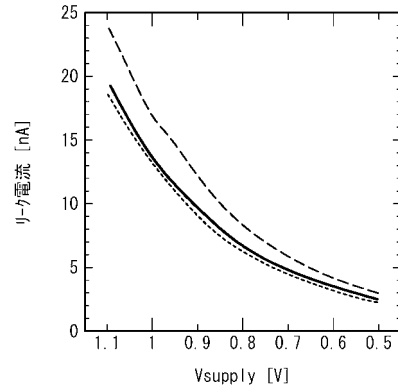
【図5】



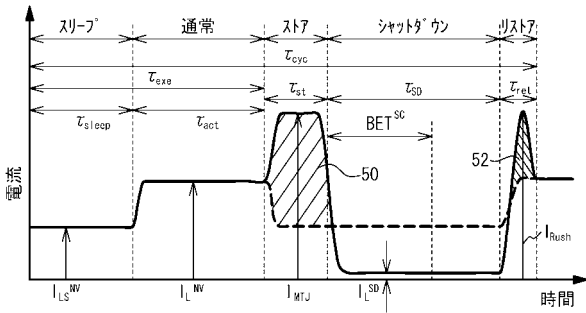
【図6】



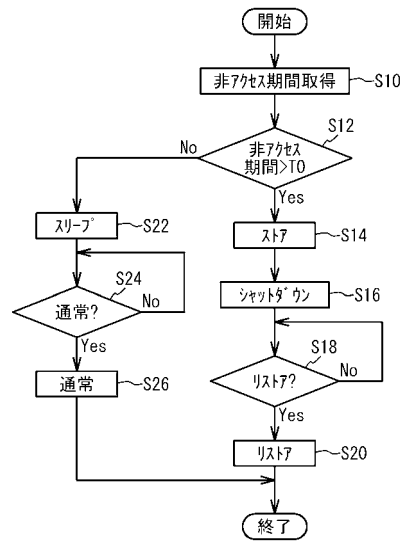
【図7】



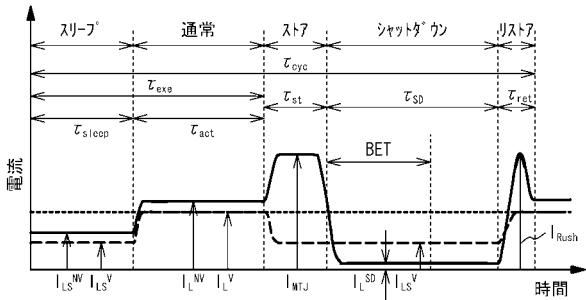
【図8】



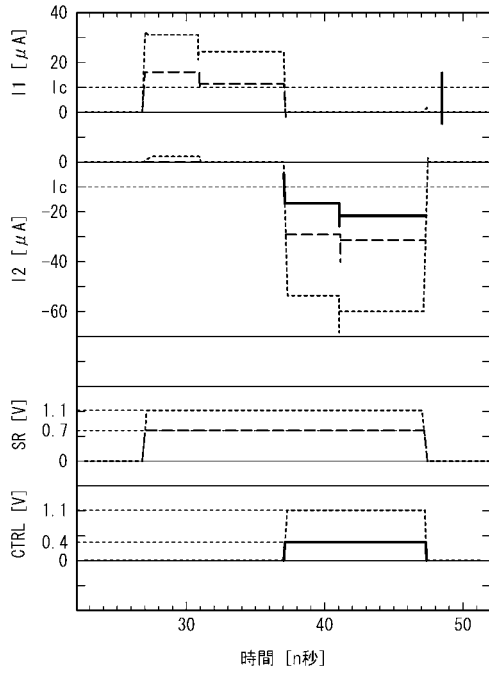
【図10】



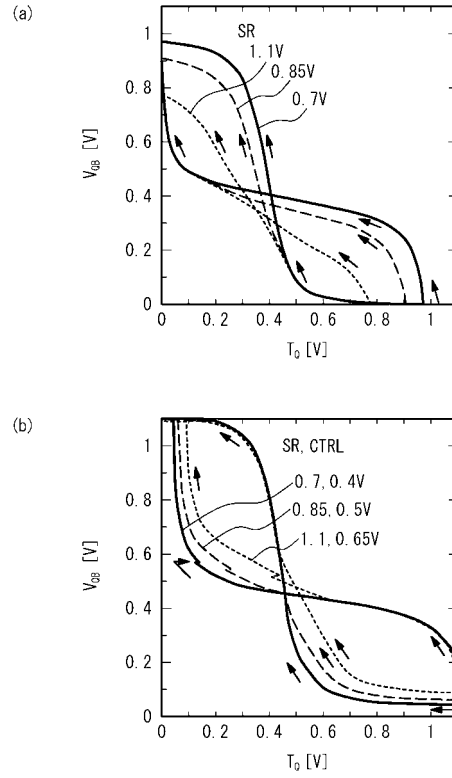
【図9】



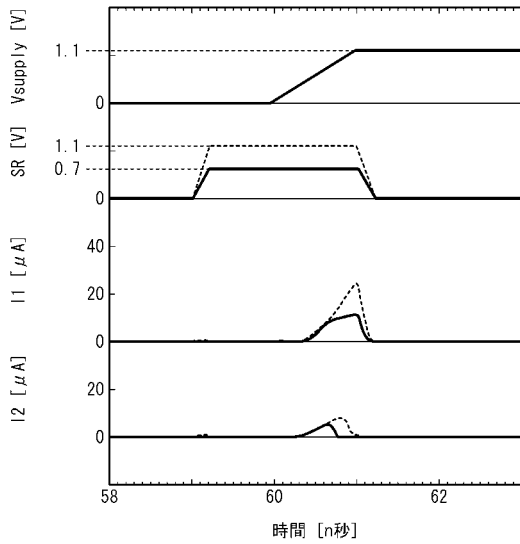
【図 1 1】



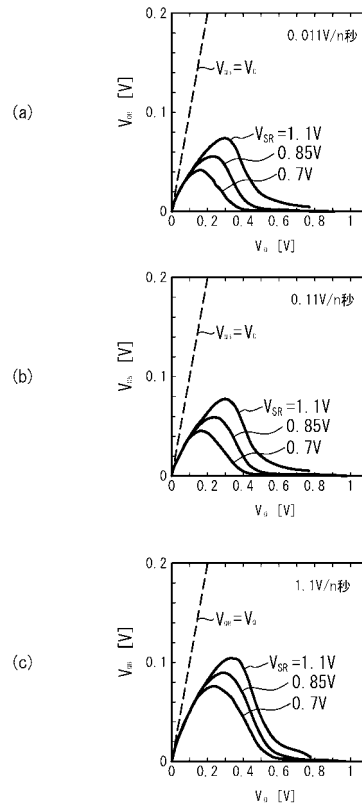
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

審査官 堀 拓也

- (56)参考文献 特開2010-232959(JP,A)
国際公開第2009/028298(WO,A1)
国際公開第2004/040582(WO,A1)
特開2011-187114(JP,A)
藤田忍,安部恵子,野村久美子,與田博明,ノーマリオフプロセッサ実現に向けた不揮発メモリの課題と展望,電子情報通信学会技術研究報告,日本,一般社団法人電子情報通信学会,2012年1月12日,111(388),27-31
Yusuke Shuto,Shuuichirou Yamamoto,and Satoshi Sugahara,Evaluation and Control of Break-Even Time of Nonvolatile Static Random Access Memory Based on Spin-Transistor Architecture with Spin-Transfer-Torque Magnetic Tunnel Junction,Japanese Journal of Applied Physics,日本,公益社団法人応用物理学会,2012年3月30日,51巻,040212-1-040212-3

(58)調査した分野(Int.Cl.,DB名)

G11C 11/412
G11C 11/15
G11C 11/41