

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-165656
(P2015-165656A)

(43) 公開日 平成27年9月17日(2015.9.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 4 L 12/28 (2006.01)	HO 4 L 12/28 2 0 0 Z	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 F	5 K 0 3 3
HO 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2015-20892 (P2015-20892)
 (22) 出願日 平成27年2月5日(2015.2.5)
 (31) 優先権主張番号 特願2014-20896 (P2014-20896)
 (32) 優先日 平成26年2月6日(2014.2.6)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 505195384
 国立大学法人奈良女子大学
 奈良県奈良市北魚屋東町
 (74) 代理人 100121441
 弁理士 西村 電平
 (74) 代理人 100154704
 弁理士 齊藤 真大
 (72) 発明者 松本 尚
 奈良県奈良市北魚屋東町 国立大学法人奈良女子大学内
 Fターム(参考) 5F038 BE04 BE07 CA10 DF03 DF04
 DF05 DF11 DF17 EZ20
 5K033 BA01 BA05 CB06 CB17 DA02
 DB16 DB18

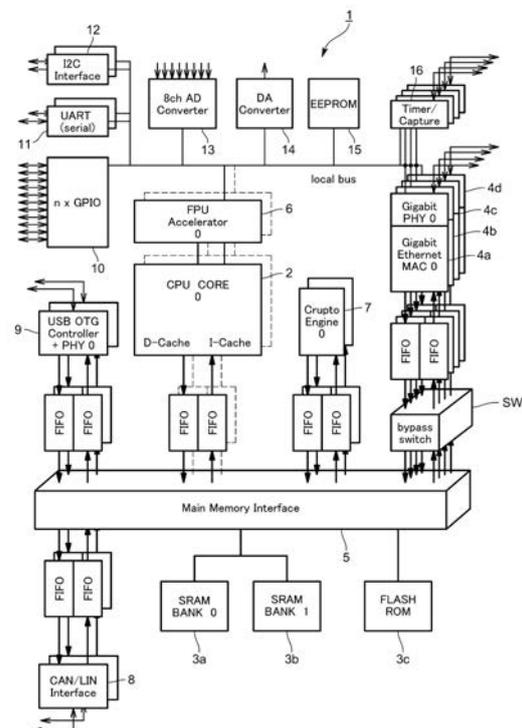
(54) 【発明の名称】 L S Iチップ及びネットワークシステム

(57) 【要約】

【課題】複数の外部機器が接続されてイーサネット（登録商標）通信を行うL S Iチップであって、拡張性の高いL S Iチップを提供する。

【解決手段】CPU 2と、メモリ3 a ~ 3 cと、互いに異なる機能を有する複数の周辺回路と、それらを接続するメモリインターフェイスと、外部との入出力を可能にする複数の接続ピンとを備えており、複数の周辺回路の機能を選択して複数の接続ピンに割り当て可能に構成されたL S Iチップ1であって、複数の周辺回路が、複数のイーサネット送受信部4 a ~ 4 dを含んでいる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

1 又は複数の CPU と、1 又は複数のメモリと、互いに異なる機能を有する複数の周辺回路と、それらを接続するメモリインターフェイスと、外部との入出力を可能にする複数の接続ピンとを備えており、前記複数の周辺回路の機能を選択して前記複数の接続ピンに割り当て可能に構成された L S I チップであって、

前記複数の周辺回路が、複数のイーサネット送受信部を含んでいる L S I チップ。

【請求項 2】

前記複数のイーサネット送受信部及び前記メモリインターフェイスの間に設けられ、前記複数のイーサネット送受信部のうち1つのイーサネット送受信部を前記メモリインターフェイスに接続するスイッチ機構と備え、

前記 CPU が、前記スイッチ機構を制御して、前記メモリインターフェイスに接続される前記イーサネット送受信部を切り替える請求項 1 記載の L S I チップ。

【請求項 3】

前記 CPU が、前記複数のイーサネット送受信部により送受信されるデータの優先度により前記スイッチ機構を切り替えるものである請求項 2 記載の L S I チップ。

【請求項 4】

前記イーサネット送受信部が 4 つ以上設けられている請求項 1 乃至 3 の何れかに記載の L S I チップ。

【請求項 5】

請求項 1 乃至 4 の何れかに記載の L S I チップを複数備え、
複数の L S I チップのイーサネット送受信部を互いに接続して構成されるネットワークシステム。

【請求項 6】

前記 L S I チップが、当該 L S I チップに接続される外部周辺機器の制御機能を有している請求項 5 記載のネットワークシステム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、L S I チップに関し、特に、生活環境の向上のための情報処理及び通信 (Life Computing and Communication) を統合した L S I (以下、Life Computing and Communication Processor (L C C P) という。) に関するものである。また、本発明は、前記 L C C P を複数組み合わせ使用したネットワークシステム構築方法 (Life Computing and Communication Architecture (L C C A) という。) に関するものである。

【背景技術】**【0002】**

近年の外部ピンの機能を製造後に設定可能な L S I チップに、非特許文献 1 に示すように、メモリ (記憶回路)、CPU (演算処理回路)、S I O (シリアルインタフェース回路)、G P I O (汎用入出力回路)、イーサネットインタフェース回路、U S B インタフェース回路及びピン機能の切り換えを含む内部制御回路が搭載されたものがある。

【0003】

しかしながら、従来のこのような L S I チップでは、ネットワークに加わる場合であっても、ネットワーク機器に接続することを前提に製造されているため、イーサネット送受信部が 1 つしか設けられていない。このため、高機能なネットワークシステム、特に、生活環境の向上のための情報処理及び通信を統合したネットワークシステム (L C C A) に用いる場合には、複数の L S I チップを直接接続することができず、ネットワーク機器を介在させる必要があり、システムが複雑になってコストが増大してしまうという問題がある。

【先行技術文献】**【非特許文献】**

10

20

30

40

50

【 0 0 0 4 】

【非特許文献1】NXPセミコンダクターズジャパン株式会社、LCP175x / 6x ユーザーマニュアル、インターネット (URL : http://www.nxp.com/documents/user_manual/UM10360.pdf)

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

そこで本発明は、上記問題点を解決すべくなされたものであり、複数の外部周辺機器との接続が可能であり、かつイーサネット通信を行うLSIチップであって、生活環境の向上のための情報処理及び通信を統合するLSI(LCCP)に利用すべく、システムの拡張性が高く高機能かつ汎用性のあるLSIチップを提供することをその主たる課題とするものである。

10

【 課題を解決するための手段 】

【 0 0 0 6 】

すなわち本発明に係るLSIチップは、1又は複数のCPUと、1又は複数のメモリと、互いに異なる機能を有する複数の周辺回路と、それらを接続するメモリインターフェイスと、外部との入出力を可能にする複数の接続ピンとを備えており、製造後に使用者によって前記複数の周辺回路の機能を選択して、前記複数の接続ピンに割り当て可能に構成されたLSIチップであって、前記複数の周辺回路に、複数のイーサネット送受信部を含んでいることを特徴とする。

20

【 0 0 0 7 】

このようなLSIチップであれば、複数のイーサネット送受信部を有しているので、複雑なネットワークシステムに用いる場合であっても、自分自身でイーサネットパケットを中継できるため、ネットワークの中継用の機器を使用する必要がなく、システムの構成を簡略化することができる。また、複数のイーサネット送受信部と同一LSI上にCPUを有しているので、そのLSIチップが行う通信中継機能に拡張性を持たせることができ、生活環境の向上のための情報処理及び通信を統合するLSI(LCCP)に利用することが容易となる。

【 0 0 0 8 】

前記複数のイーサネット送受信部間を選択的にバイパスするスイッチ機構が設けられていることが望ましい。これならば、複数のイーサネット送受信部により送受信されるデータに応じてバイパス転送先のイーサネット送受信部を切り替えることにより、メモリに格納する手間を省いてデータパケットを転送することができる。これにより、LSIチップのパケット中継能力を高速化することができ、生活環境の向上のための情報処理及び通信を統合する用途に利用することが容易となる。

30

【 0 0 0 9 】

前記複数のイーサネット送受信部及び前記メモリインターフェイスの間に設けられ、前記複数のイーサネット送受信部のうち1つのイーサネット送受信部を前記メモリインターフェイスに接続するスイッチ機構と備え、データパケットをバイパスするスイッチ機構で転送しない場合には、スイッチ機構はデータをそのままメモリインターフェイスに転送する。各イーサネット送受信部は、内部のダイレクトメモリアクセス機能により、メモリインターフェイスを介して、メモリ上に格納されたデータパケットを入出力し、外部に対してイーサネットのパケットとして入出力する。これならば、前記CPUがデータパケットをイーサネット送受信部に転送する手間がなく、高速に通信を行うことができる。

40

【 0 0 1 0 】

前記複数のイーサネット送受信部に含まれるダイレクトメモリアクセス機能は、送受信されるデータの優先度によりデータパケットの格納場所を仕分けできるものであることが望ましい。特に、送信時は、優先度の高い領域に格納されたデータパケットから優先的にダイレクトメモリアクセス機能がデータパケットを転送し、外部に送出する。これならば、データの優先度に応じてデータを処理することができる。したがって、複雑なネットワ

50

ークシステム、特に、生活環境の向上のための情報処理及び通信を統合するネットワークシステム（L C C A）に適用することが容易となる。

【0011】

L S Iチップの具体的な実施の態様としては、前記イーサネット送受信部が4つ以上設けられていることが望ましい。これならば、L S Iチップを格子状に互いに接続することができ、これにより、スケーラブルにシステムの拡張が可能となる。

【0012】

また、本発明のネットワークシステムは、上記のL S Iチップを複数備え、複数のL S Iチップのイーサネット送受信部を互いに接続して構成されることを特徴とする。

このようなネットワークシステムであれば、スケーラブルにシステムの拡張が可能となる。また、1つのイーサネット送受信部が故障等により送受信不可となっても、その他のイーサネット送受信部を介して迂回する通信路を確立することができる。これにより、複雑なネットワークシステム、特に、生活環境の向上のための情報処理と通信とを統合したネットワークシステム（L C C A）に適用することが容易となる。

【発明の効果】

【0013】

このように構成した本発明によれば、複数の外部機器が接続されてイーサネット通信を行うL S Iチップであって、生活環境の向上のための情報処理及び通信を結合したL S I（L C C P）に利用すべく、拡張性の高いL S Iチップを提供することができる。

従来のイーサネット用のネットワーク機器（スイッチングハブやルーター等）は多数の構成部品から成り、それ自体が家電製品のネットワーク機能を代替したり、パソコンやホームサーバの機能を代替したりは出来なかった。本発明のL S Iチップ（L C C P）によれば、複数の同一チップを相互接続するだけでこれらのことが可能な高機能かつ汎用のネットワークを構成することが可能となる。

【図面の簡単な説明】

【0014】

【図1】本実施形態におけるL S Iチップ（L C C P）の構成を示す模式図。

【図2】複数のL S Iチップ（L C C P）を用いたネットワークシステム（L C C A）を示す模式図。

【発明を実施するための形態】

【0015】

以下に本発明に係るL S Iチップの一実施形態について図面を参照して説明する。

【0016】

本実施形態のL S Iチップ1は、生活環境の向上のための情報処理及び通信（Life Computing and Communication）を結合するL S Iチップ（以下、Life Computing and Communication Processor（L C C P）という。）である。

【0017】

このL C C P 1は、1又は複数のC P Uと、1又は複数のメモリと、互いに異なる機能を有する複数の周辺回路と、それらを接続するメモリインターフェイスと、外部との入出力を可能にする複数の接続ピンとを備えており、製造後においてユーザにより複数の周辺回路の機能を選択して、複数の接続ピンに割り当て可能に構成されたL S Iチップである。つまり、このL C C Pは、チップに設けられた接続ピンの数よりも、チップに内蔵された機能の方が多く、必要な機能だけを前記接続ピンに割り当てて、外部とのデータの送受信を行うことができるように構成されたものである。

【0018】

具体的なL C C P 1の構成は、図1に示すように、1又は複数のC P U 2と、1又は複数のメモリ3 a、3 b、3 c（2つのS R A Mと1つのF L A S H R O M）と、複数のイーサネット送受信部4 a～4 dと、それらを接続するメモリインターフェイス5とを備えたシステムL S Iである。なお、イーサネットの伝送速度としては、10 M b p s、100 M b p s、1 G b p s、10 G b p s等が考えられる。

10

20

30

40

50

【0019】

その他、本実施形態のLCCP1は、FPUアクセラレータ6、暗号処理装置(Crypto Engine)7、CAN/LIN通信用インターフェイス8、USB OTGコントローラ9、汎用入出力ピン(GPIO)10、非同期シリアル通信(UART)用インターフェイス11、I2C通信用インターフェイス12、ADコンバータ13、DAコンバータ14、EEPROM15、タイマ回路16等の、周辺回路、メモリ及び接続ピンを備えている。

【0020】

本実施形態では、CPU2、汎用入出力ピン(GPIO)10、非同期シリアル通信(UART)用インターフェイス11、I2C通信用インターフェイス12、ADコンバータ13、DAコンバータ14、EEPROM15、タイマ回路16及び複数のイーサネット送受信部4a~4d内の制御回路は、ローカルバス(local bus)によって接続されている。

10

【0021】

また、CPU2、複数のメモリ3a、3b、3c、複数のイーサネット送受信部4a~4d、暗号処理装置(Crypto Engine)7、CAN/LIN通信用インターフェイス8、USB OTGコントローラ9等は、メモリインターフェイス5に接続されている。さらに、CPU2には、FPUアクセラレータ6が接続されている。なお、FPUをCPUに一体化したものであっても良い。

20

【0022】

各イーサネット送受信部4a~4dは、物理層(PHY)及び論理層(MAC)を有するものである。また、複数のイーサネット送受信部4a~4dは、積層されて描画されているが、これは表示上の便法であり、半導体基板上に積層して設けられていることを意味するものではない。

【0023】

しかして本実施形態では、複数のイーサネット送受信部4a~4d及びメモリインターフェイス5の間に送受信部間のデータ転送をバイパスするためのスイッチ機構SWが設けられている。

【0024】

このスイッチ機構SWは、単一の半導体スイッチ素子から構成されており、複数のイーサネット送受信部4a~4dの各イーサネット送受信部からの出力を、メモリインターフェイス5又は他のイーサネット送受信部の入力に接続するものである。また、このスイッチ機構SWは、通常はメモリインターフェイスからの出力をイーサネット送受信部の入力に、イーサネット送受信部からの出力をメモリインターフェイスの入力に接続するように機能する。これにより、イーサネット送受信部が、ダイレクトメモリアクセス機能により、データパケットをメモリとの間で入出力することを妨げない。

30

【0025】

このスイッチ機構SWは、受信パケットのデータ内容により制御される。具体的に複数のイーサネット送受信部4a~4dのうちの任意のイーサネット送受信部において受信されたパケットの内容が、他のイーサネット送受信部からの送信による転送を必要とし、転送に使用する送受信部が他に転送すべきデータパケットを有していない場合に限り、スイッチ機構SWを制御して、メモリにパケットを転送することなく、中継すべきイーサネット送受信部に転送する。転送に使用するイーサネット送受信部の決定は、パケットを受信したイーサネット送受信部に内蔵されるテーブル表を宛先イーサネットアドレスで引くことによって得られる。スイッチ機構が存在する場合には、そのためのテーブル表を含むハードウェアがイーサネット送受信部に含まれる。テーブル表の内容は前もってCPUによって設定されている。

40

【0026】

スイッチ機構SWを介して転送にしようとしたイーサネット送受信部が運悪くパケット送出中等であり、すぐに使用可能でない場合は、ダイレクトメモリアクセス機能によ

50

ってメモリ上の領域に転送して、CPUに対して受信完了の割り込みを発生させる。この転送において、転送時間短縮のため、転送が必要なパケットと他のパケットで転送領域を別に用意する。また、優先度ごとにパケットを処理するために、転送領域をパケットの優先度ごとに用意する。CPUは受信割り込みで起動したプログラムにより、転送用領域に格納されたパケットの内、最も優先度の高いパケットから中継すべきイーサネット送受信部の送信用メモリ領域に優先度別に転送する。便宜上、転送という言葉を使用しているが、実装によってはポインタをセットし直すことで済むケースが多い。

【0027】

スイッチ機構SWを介して転送した場合は、CPUが予め設定したテーブル表によって中継すべきイーサネット送受信部が決定し、スイッチ機構SWを介さない場合にはCPUがプログラムにより中継すべきイーサネット送受信部を決定している。よって、故障等によって使用できないイーサネット送受信部が発生したとしても、テーブル表の書換えやプログラムの振る舞い変更によって対応可能である。つまり、本構成を持つLSIを結合して作られるシステムは運用時に動的にイーサネットパケットの中継経路を変更することが可能である。

10

【0028】

複数のイーサネット送受信部4a~4dは、メモリインターフェイス5のデータ転送バンド幅が十分に広いため、最大4つの送信と4つの受信を同時に行うことが可能である。もちろん、メモリへの読み書きは一度に一つしか行えないが、そのための軽微な待ち合わせは随所に挿入されたFIFOメモリ回路で行われる。

20

【0029】

次に、このように構成したLCCP1を用いたネットワークシステムについて説明する。

【0030】

このネットワークシステム100は、生活環境の向上のための情報処理と通信を統合するネットワークシステム(LCCA)であり、図2に示すように、複数のLCCP1を互いに接続することにより構成されている。なお、接続トポロジとしては、1箇所の送受信部の故障又は1つのLCCP1の故障などで使えなくなった経路が発生しても任意の迂回通信経路が確保可能な接続形態であれば良い。

【0031】

具体的には、複数のLCCP1のイーサネット送受信部4a~4dを互いに接続して構成されている。本実施形態のLCCP1は、4つのイーサネット送受信部(ポート)4a~4dを有しており、複数のLCCP1が格子状に接続されている。このように接続することで、各ノード(LCCP1)が各種入出力インターフェイスを持ったLSIチップであるため、様々な周辺機器、センサ、制御機器を、各ノードのイーサネット送受信部(ポート)以外の接続ポートに接続したシステムが構築可能である。これらのインターフェイスはRS232CやLINのような低速かつ簡易なシリアル通信方式に基づくもので十分であり、接続される機器側にはイーサネット回路や無線LAN回路はなくてもLCCP1経由でインターネット接続およびネットワークからの制御が可能となり、TCP/IPプロトコルスタックのような複雑な通信プロトコルを機器側で実現する必要もなくなる。このため、機器側のハードウェアおよびソフトウェアが大幅に簡略化可能になる。そして、各ノード(LCCP1)は、当該ノードに接続された周辺機器、センサ、制御機器を制御する機能を有している。これにより、各ノードに接続される外部周辺機器のネットワーク関連の制御機能をLCCP1上に持たせることができ、外部周辺機器側はネットワーク関連の制御や機能から解放される。

30

40

【0032】

図2では、LCCAをホームネットワークに適用した場合を示しており、1つのLCCP1は、例えば寝室に設けられた機器に対応して設けられ、エアコン及びリモコン等が接続されて、当該エアコンを制御し、リモコンはLCCAへの入力デバイスとして機能する。LCCP1とエアコンおよびリモコンとの接続はLCCP1に内蔵された低速のシリア

50

ル通信インターフェイスで実現される。なお、リモコンは過去のエアコンの操作方法との同一性が保証されなくていいのであれば、不要である。LCCP1を経由してエアコンはインターネットに接続されているため、携帯電話や携帯端末等によってエアコンの操作が可能である。また、1つのLCCP1は、例えば台所に設けられた機器に対応して設けられ、冷蔵庫及び電子レンジ等が接続されて、当該冷蔵庫及び電子レンジ等を制御する。1つのLCCP1は、例えば書斎に設けられた機器に対応して設けられ、ディスプレイ、キーボード等のパソコン周辺機器及び無線LAN親機等が接続されて、当該パソコン周辺機器及び無線LAN親機等を制御する。LCCP1の内蔵CPUとメモリが従来のパソコン本体の代わりになるため、パソコン本体を別個に用意してLCCAに接続する必要がない。パソコンで従来実施されていたアプリケーションの実現に1個のLCCP内蔵メモリではメモリ容量が不足したとしても、1家庭内には多数のLCCP1によって高機能ネットワークが張り巡らされるため、複数のLCCP上のメモリを足し合わせて使うことによって、メモリを多用するアプリケーションプログラムに対処する。なお、LCCP1のCPUやメモリは分散オペレーティングシステムによって管理され、効率良く利用される。また、LCCP1のCPUによって実行されるアプリケーションプログラムや周辺機器の制御プログラムは適切な認証の下でインターネットからダウンロードして実行される。1つのLCCP1は、例えばリビングに設けられた機器に対応して設けられ、テレビ及びDVDレコーダ等が接続されて、当該テレビ及びDVDレコーダ等を制御する。

10

【0033】

<本実施形態の効果>

20

このように構成した本実施形態に係るLSIチップ(LCCP)1によれば、複数のイーサネット送受信部4a~4dを有しており、メモリインターフェイス5を接続するイーサネット送受信部4a~4dをCPUにより設定される経路情報によって使い分けているので、故障時にCPUが経路情報を書き直すことにより、故障して通信不能になった経路を迂回して通信を行うことが可能になる。これにより、LCCP1に耐故障性や高可用性といった機能を持たせることができる。

従来のイーサネット用のネットワーク機器(スイッチングハブやルーター等)は多数の構成部品から成り、それ自体が家電製品のネットワーク機能を代替したり、パソコンやホームサーバの機能を代替したりは出来なかった。LSIチップ(LCCP)1によれば、複数の同一チップを相互接続するだけでこれらのことが可能な高機能ネットワークを構成

30

することが可能となる。LCCAを車載ネットワークに採用する場合は、一番望ましい実施形態は車載制御用マイコン(ECU)をすべてLCCPの内蔵CPUによって置き換えて、LCCP間の相互接続によってフラットなネットワークを構成する方法である。人命等に関わらないアプリケーションや機器制御であれば、故障時に他のLCCPのCPUによって代替実行させればよい。人命に関わりリアルタイム性が要求されるような機器制御においては、複数のLCCPのCPUによって、同一制御プログラムを冗長に多重実行して、制御出力が多数決される仕組みを導入して耐故障性を実現する。なお、低速シリアルラインによる制御線であれば、単純かつ故障率の低いハードウェアによって多数決機構を構成可能である。車の構成部品においてはECUの故障率が他部品よりも高いことが知られており、LCCA/LCCPによるECU/CPUの耐故障性の実現は夢の自動運転自動車への一歩である。ECUのすべてをLCCPの内蔵CPUによって置き換える前段階として、従来の車載ネットワークであるLINやCANのインターフェイスを内蔵したLCCPチップを製造し、選択的にこれらのインターフェイスを使用すれば、従来の車載ネットワークとこれらのインターフェイスによって接続を保ちつつ段階的にECUを置き換えて行くことが可能である。

40

【0034】

なお、本発明は前記実施形態に限られるものではない。

【0035】

例えば、前記実施形態では、複数のイーサネット送受信部4a~4dが多層構造状に図

50

示されているが、これは図面表記上の便法であり、物理的には、少なくとも1つのイーサネット送受信部がその他のイーサネット送受信部に対して平面的に隣接して配置されていても、平面的に離れて配置されていても良い。

【0036】

また、前記実施形態では、4つのイーサネット送受信部を有するものであったが、5つ以上のイーサネット送受信部を有するものであっても良い。例えば、複数のLCCPを格子状に接続した場合において、LCCPと外部装置とをイーサネット接続する場合には、5つ目のイーサネット送受信部が必要となる。また、例えば複数のLCCPを格子状に接続した場合において、LCCPを情報コンセントとして用いて、2ポート用意するのであれば、計6つのイーサネット送受信部が必要となる。さらにそれ以上のイーサネット送受信部を持たせて、巨大なネットワークを構築できるようにしても良い。

10

【0037】

また、前記実施形態では、LSIチップ1がスイッチ機構SWを有するものであったが、スイッチ機構SWを有せずに、CPU2がプログラムによりスイッチ機構としての機能を代替するように構成したものであっても良い。これならば、物理的な構成としてスイッチ機構を設ける必要が無い場合、LSIチップ1の設計を簡略化することができる。

【0038】

複数のLSIチップを用いたネットワークシステムとしては、ホームネットワークの他に、公共施設等のインフラ、自治体又は街等の広域に及ぶネットワークに適用することもできるし、ファクトリーオートメーション（工場自動化）のネットワークシステムに適用することもできるし、自動車やロボット等のネットワークシステムに適用することもできる。

20

【0039】

その他、本発明は前記実施形態に限られず、その趣旨を逸脱しない範囲で種々の変形が可能である。

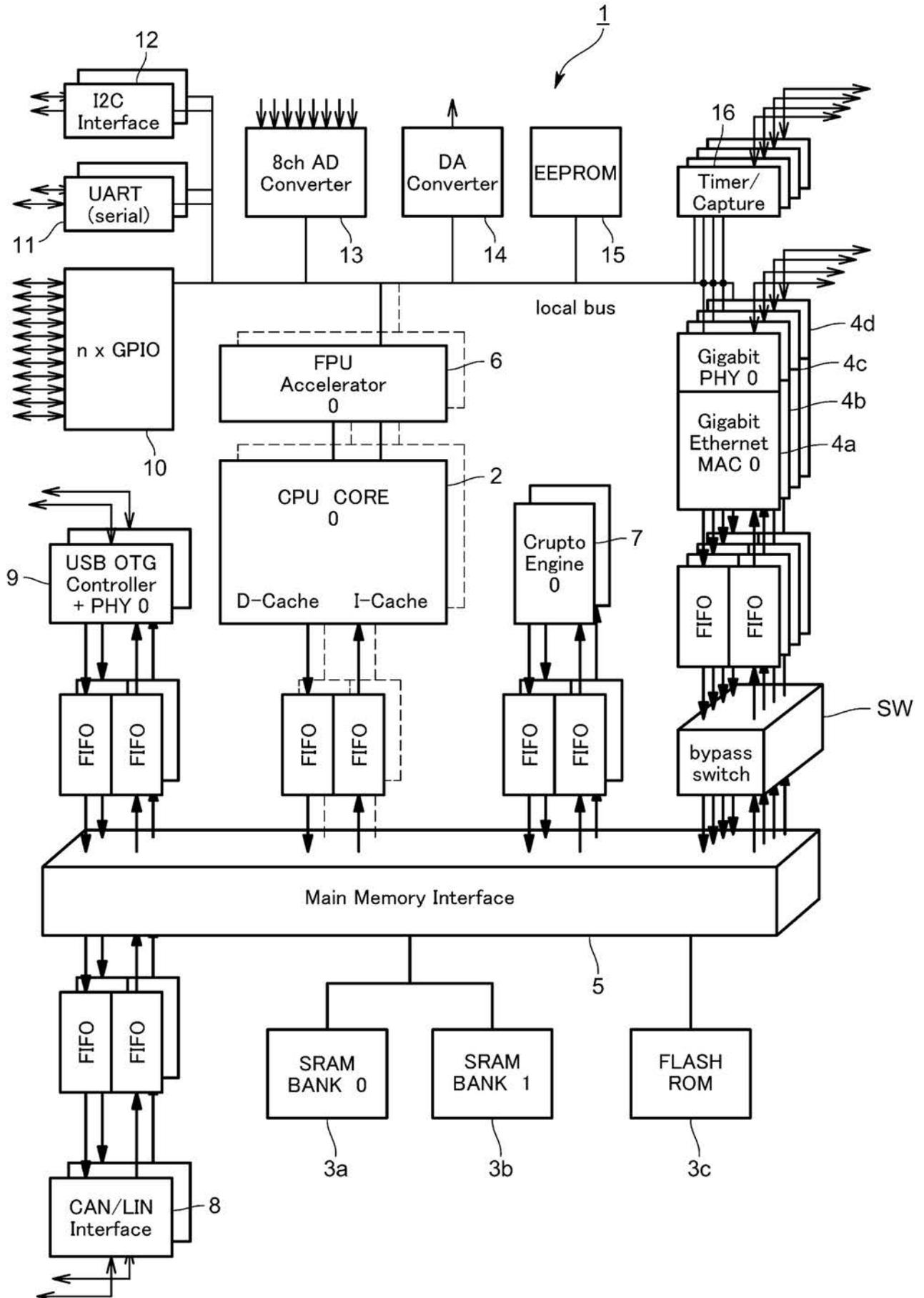
【符号の説明】

【0040】

- 1・・・LSIチップ
- 2・・・CPU
- 3a～3c・・・メモリ
- 4a～4d・・・イーサネット送受信部
- 5・・・メモリインターフェイス
- SW・・・スイッチ機構
- 100・・・ネットワークシステム

30

【 図 1 】



【 図 2 】

