

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-155088

(P2016-155088A)

(43) 公開日 平成28年9月1日(2016.9.1)

(51) Int.Cl.
B01J 19/12 (2006.01)

F I
B01J 19/12

テーマコード (参考)
4G075

審査請求 未請求 請求項の数 13 O L (全 13 頁)

(21) 出願番号 特願2015-35121 (P2015-35121)
 (22) 出願日 平成27年2月25日 (2015.2.25)
 (31) 優先権主張番号 特願2015-31822 (P2015-31822)
 (32) 優先日 平成27年2月20日 (2015.2.20)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 504132881
 国立大学法人東京農工大学
 東京都府中市晴見町3-8-1
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 越田 信義
 東京都府中市晴見町3-8-1 国立大学
 法人東京農工大学内
 (72) 発明者 白樫 淳一
 東京都府中市晴見町3-8-1 国立大学
 法人東京農工大学内
 (72) 発明者 須田 隆太郎
 東京都府中市晴見町3-8-1 国立大学
 法人東京農工大学内

最終頁に続く

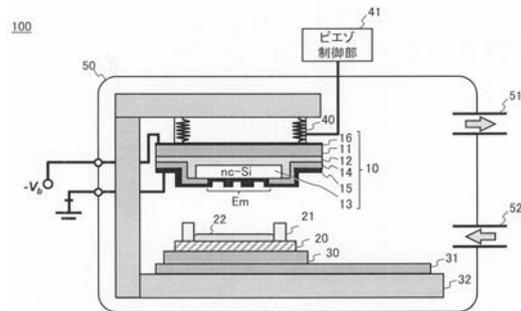
(54) 【発明の名称】 処理装置及び薄膜の製造方法

(57) 【要約】

【課題】 ナノ結晶シリコン層を有する処理装置及び薄膜の製造方法を提供する。

【解決手段】 弾道電子を放出するナノ結晶シリコン層を備える電子源と、弾道電子が照射される処理対象を載置するステージと、電子源における弾道電子の放出面と処理対象の処理面とが対向し、且つ、放出面と処理面とが非接触となるように電子源とステージとの相対位置を制御する位置制御部とを備える処理装置、及びステージ上に処理対象を載置する工程と、処理対象上に、物質イオンを含む電解質を塗布する工程と、ナノ結晶シリコン層を有する電子源と電解質とが対向し、且つ、電子源と電解質とが非接触となるように電子源とステージとの相対位置を制御する工程と、電子源の放出面から弾道電子を放出する工程と、弾道電子により物質イオンを還元して、処理対象上に還元物質を成膜する工程とを備える薄膜の製造方法を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

弾道電子を放出するナノ結晶シリコン層を備える電子源と、
前記弾道電子が照射される処理対象を載置するステージと、
前記電子源における前記弾道電子の放出面と前記処理対象の処理面とが対向し、且つ、
前記放出面と前記処理面とが非接触となるように前記電子源と前記ステージとの相対位置
を制御する位置制御部と
を備える処理装置。

【請求項 2】

前記電子源は、前記放出面に形成された放出電極を更に備え、
前記放出電極は、第 1 の厚さを有する放出領域と、前記第 1 の厚さよりも厚い第 2 の厚
さを有する非放出領域とを有し、または放出領域とそれ以外をマスクパターンで覆った非
放出領域とを有し、
前記弾道電子は、前記放出領域から放出される請求項 1 に記載の処理装置。

10

【請求項 3】

前記放出電極は、前記放出面以外の領域が露出している請求項 2 に記載の処理装置。

【請求項 4】

物質イオンを含む電解質を前記処理面上に塗布するディスペンサ、スピンナーまたは印
刷システムのいずれかを更に備え、
前記位置制御部は、前記放出面が前記電解質の表面と対向し、且つ、前記放出面と前記
電解質とが非接触となるように前記電子源と前記ステージとの相対位置を制御し、
前記電子源は、前記物質イオンを還元して前記処理面上に還元物質を成膜する請求項 1
から 3 のいずれか一項に記載の処理装置。

20

【請求項 5】

前記電子源及び前記ステージを収容する収容部を更に備え、
前記位置制御部は、前記収容部内の気圧に応じて前記放出面と前記処理面との間隔を制
御する請求項 1 から 4 のいずれか一項に記載の処理装置。

【請求項 6】

前記位置制御部は、前記収容部内が大気圧である場合に、前記放出面と前記処理面との
間隔を 500 nm 以下に制御する請求項 5 に記載の処理装置。

30

【請求項 7】

前記処理対象の電位を制御する電位制御部を更に備え、
前記電位制御部は、前記収容部内の気圧に応じて前記処理対象の電位を制御する請求項
5 又は 6 に記載の処理装置。

【請求項 8】

前記位置制御部は、前記電子源の位置を、前記ステージに対して相対的に走査する請求
項 1 から 7 のいずれか一項に記載の処理装置。

【請求項 9】

前記電子源と前記処理面との最短距離は、前記放出面と前記処理面との距離である請求
項 1 から 8 のいずれか一項に記載の処理装置。

40

【請求項 10】

前記電子源は、前記弾道電子を照射することで、前記処理対象の pH を制御する請求項
1 から 9 のいずれか一項に記載の処理装置。

【請求項 11】

前記電子源は、前記弾道電子を照射することで、前記処理対象の表面を改質する請求項
1 から 10 のいずれか一項に記載の処理装置。

【請求項 12】

ステージ上に処理対象を載置する工程と、
前記処理対象上に、物質イオンを含む電解質を塗布する工程と、
ナノ結晶シリコン層を有する電子源と前記電解質とが対向し、且つ、前記電子源と前記

50

電解質とが非接触となるように前記電子源と前記ステージとの相対位置を制御する工程と、
 前記電子源の放出面から弾道電子を放出する工程と、
 前記弾道電子により前記物質イオンを還元して、前記処理対象上に還元物質を成膜する工程と
 を備える薄膜の製造方法。

【請求項 13】

前記電子源と前記ステージとの相対位置を制御する工程は、
 前記電子源及び前記ステージを収容する収容部内の気圧に応じて、前記放出面と前記処理対象との間隔を制御する請求項 12 に記載の薄膜の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、処理装置及び薄膜の製造方法に関する。

【背景技術】

【0002】

従来、ナノ結晶シリコン層が形成された電子源を備える成膜装置に関し、電子源からの弾道電子の強力な還元力を利用して還元物質を成膜する成膜装置が知られている。従来の成膜装置では、電子源が物質塩溶液中に配置され、電子源における弾道電子の放出面上に還元物質が成膜されていた（例えば、特許文献 1 参照）。

特許文献 1 特許第 5649007 号公報

特許文献 2 特開 2003 - 332265 号公報

特許文献 3 特開 2007 - 288011 号公報

【発明の概要】

【発明が解決しようとする課題】

【0003】

しかしながら、従来の成膜装置は、電子源の放出面上に還元物質が成膜されるので、還元物質を直接利用できず、その用途が限られていた。また、従来の成膜装置では、電子源が物質塩溶液中に配置されるので、電子源の構造に制約がある。

【課題を解決するための手段】

【0004】

本発明の第 1 の態様においては、弾道電子を放出するナノ結晶シリコン層を備える電子源と、弾道電子が照射される処理対象を載置するステージと、電子源における弾道電子の放出面と処理対象の処理面とが対向し、且つ、放出面と処理面とが非接触となるように電子源とステージとの相対位置を制御する位置制御部とを備える処理装置を提供する。

【0005】

本発明の第 2 の態様においては、ステージ上に処理対象を載置する工程と、処理対象上に、物質イオンを含む電解質を塗布する工程と、ナノ結晶シリコン層を有する電子源と電解質とが対向し、且つ、電子源と電解質とが非接触となるように電子源とステージとの相対位置を制御する工程と、電子源の放出面から弾道電子を放出する工程と、弾道電子により物質イオンを還元して、処理対象上に還元物質を成膜する工程とを備える薄膜の製造方法を提供する。

【0006】

なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0007】

【図 1】処理装置 100 の構成の一例を示す。

【図 2】処理装置 100 を用いた処理対象 20 の処理フローの一例を示す。

【図 3】処理装置 100 を用いた電解質 22 の塗布工程の一例を示す。

10

20

30

40

50

【図4】電子源10のマウント工程の一例を示す。

【図5】電解質22の処理工程の一例を示す。

【図6】還元物質23の堆積工程後の処理装置100の一例である。

【図7】図7(a)は、SiとCuの境界付近のAFM像を示す。一方、図7(b)は、SiとCuの境界付近の線分ABに沿った厚さプロファイルを示す。

【図8】図8(a)は、SiとCuとの境界付近のSEM画像である。図8(b)は、図8(a)の一部の拡大画像を示す。

【図9A】ポリシリコン層12の堆積工程を示す。

【図9B】ナノ結晶シリコン層13の形成工程の一例を示す。

【図9C】絶縁膜14の成膜工程を示す。

10

【図9D】放出電極15の形成工程の一例を示す。

【図9E】放出電極15のエッチング工程の一例を示す。

【図9F】裏面電極16の形成工程の一例を示す。

【図10】電子源10の構成の一例を示す。

【図11】電子源10の構成の一例を示す。

【発明を実施するための形態】

【0008】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

20

【0009】

図1は、処理装置100の構成の一例を示す。処理装置100は、収容部50内に、電子源10、処理対象20、ステージ30及びピエゾアクチュエータ40を備える。

【0010】

電子源10は、半導体基板11、ポリシリコン層12、ナノ結晶シリコン層13、絶縁膜14、放出電極15及び裏面電極16を備える。電子源10は、放出面Emから弾道電子を放出する。放出面Emとは、放出電極15において弾道電子が放出される面を指す。弾道電子は、放出面Emの電極パターンで面放出されてよい。弾道電子とは、固体内であっても弾道的に走行する電子であって、エネルギー損失が少ない電子を指す。弾道電子のエネルギーは、数eV~十数eV程度であってよい。例えば、弾道電子のエネルギーは、5~10eVである。弾道電子のエネルギーは、電子源10に印加された駆動電圧に応じて変化する。

30

【0011】

半導体基板11は、Si、SiC、Ge、GaAs、GaN、GaP又はInP等の半導体材料の結晶を加工して形成された板状の基板である。本例の半導体基板11は、面方位(100)のn⁺-Si基板である。

【0012】

ポリシリコン層12は、ノンドーブで半導体基板11上に形成される。例えば、ポリシリコン層12の膜厚は、1.6μmである。ポリシリコン層12には、ナノ結晶化されたナノ結晶シリコン層13(nc-Si層)が形成される。ナノ結晶シリコンとは、粒径がおよそ数nm~数十nmの多結晶シリコンを示す。

40

【0013】

ナノ結晶シリコン層13は、ナノ結晶シリコン層13に印加された駆動電圧に応じて弾道電子を面放出する。ナノ結晶シリコン層13は、ナノ結晶シリコンが複数並んだ列が形成された電子ドリフト層である。ナノ結晶シリコンの列には、電子トンネル障壁を接続した列が形成され、当該障壁に電圧が印加されると、多重トンネル現象が生じる。ナノ結晶シリコンにおける多重トンネル現象により、電子が弾道的に走行し弾道電子が発生する。弾道電子は、放出面Emに垂直な方向に対するずれが約±10°以内の略垂直な方向に放出される。

【0014】

50

絶縁膜 14 は、電子源 10 の放出面 E m 以外の領域において、ポリシリコン層 12 と放出電極 15 との間を絶縁する。絶縁膜 14 は、熱酸化によって形成された SiO_2 膜等であってよい。また、絶縁膜 14 は、CVD 法等によって成膜された SiO_2 膜又は Si_3N_4 膜であってよい。

【0015】

放出電極 15 は、電子源 10 が生成した弾道電子を所定の電極パターンで面放出する。放出電極 15 は、第 1 の厚さ及び第 1 の厚さよりも厚い第 2 の厚さを有する。放出電極 15 は、第 1 の厚さから弾道電子を放出し、第 2 の厚さを有する領域からは弾道電子を放出しない。即ち、放出電極 15 において、第 1 の厚さを有する領域は弾道電子がトンネル可能な放出領域となり、第 2 の厚さを有する領域は弾道電子がトンネル不可能な非放出領域となる。例えば、第 1 の厚さは 10 nm 以下であり、第 2 の厚さは 20 nm 以上である。また、放出領域以外をマスクパターンで覆って非放出領域とすることも可能である。その場合、放出電極はマスクの下部、上部いずれに形成してもよい。いずれの場合にも電子放出はマスクパターン以外の領域に限定される。放出電極 15 の材料は、Ni、Au、Cr、Ti、Al、Ta、Pd、Rh、Pt、Cu、Ru、In、Ir 及び / 又は Mo を含んでよい。また、放出電極 15 の材料は、これらの材料を含む積層（例えば Au (10 nm) / Ti (1 nm)）や 2 以上の材料の合金であってよい。放出電極 15 の材料は Au であることが好ましい。

10

【0016】

裏面電極 16 は、半導体基板 11 の放出面側と反対側の面に形成される。裏面電極 16 には、接地された放出電極 15 に対する電位差が負となる裏面印加電圧 (-Vb) が印加される。裏面印加電圧 (-Vb) の大きさを調整することにより、弾道電子の放出量を調整できる。裏面電極 16 の材料は、Ni、Au、Cr、Ti、Al、Ta、Pd、Rh、Pt、Cu、Ru、In、Ir 及び / 又は Mo を含んでよい。また、裏面電極 16 の材料は、これらの材料を含む 2 以上の材料の合金であってよい。

20

【0017】

処理対象 20 は、ステージ 30 上に載置される。処理対象 20 の処理面には、電子源 10 の放出した弾道電子が照射される。処理対象 20 は、電子源 10 と非接触となるように相対位置が制御される。そのため、処理対象 20 の材料は、半導体ウエハをはじめ、ガラス、プラスチック、柔軟性ポリマーシート等の任意の材料であってよい。また、処理対象 20 の構造は、平面的な構造だけでなく、曲面を有する構造及び三次元構造であってよい。例えば、処理対象 20 上には、レジスト 21 により囲まれた領域が形成され、当該領域には、電解質 22 が塗布される。この場合、電解質 22 は、入射した弾道電子によって還元される。電解質 22 の還元反応によって、処理対象 20 の処理面上に予め定められた薄膜が形成される。レジスト 21 の膜厚は、塗布される電解質 22 の膜厚より大きければよい。例えば、レジスト 21 の膜厚は 500 nm ~ 2 μm であり、電解質 22 の膜厚は 300 nm である。レジスト 21 は、熱酸化によって形成された SiO_2 膜等であってよい。また、レジスト 21 は、CVD 法等によって成膜された SiO_2 膜又は Si_3N_4 膜であってよい。

30

【0018】

電解質 22 は、電子源 10 の放出した弾道電子により還元される物質イオンを含む。例えば、電解質 22 は、 CuCl_2 、 SiCl_4 などの物質塩溶液である。電解質 22 は、液体であっても、ゾルゲルであっても、コロイドであってもよい。電解質 22 は、電子源 10 の放出した弾道電子により還元される物質イオンを含むものであれば固体であってもよい。例えば、電解質 22 が CuCl_2 の場合、弾道電子が電解質 22 中の Cu^{2+} を直接還元し Cu 薄膜を自律成長させる。直接還元は、物質イオンの還元に必要なエネルギーと略同一なエネルギーを照射することによって生じる。つまり、直接還元は、物質イオンの還元に必要なエネルギーよりもはるかに大きなエネルギーを加えることにより生じる高速電子ビーム (EB) 誘起還元と本質的に異なる反応である。物質イオンが直接還元されると、還元された原子の移動と、核成長が誘起され、物質イオンに応じた還元物質が堆積

40

50

される。

【0019】

堆積される還元物質は、物質塩溶液を構成するものであれば特に制約はない。そのため、還元物質は、金属から半導体まで広範囲のものを含む。金属では、Cuなどの導電材料をはじめ、Ni、Coなどの磁性材料、Agなどの貴金属に及ぶ。半導体では、例えば、14族のSi、Geが対象となる。また、異種物質塩の混合液への電子照射により、合金又はSiGe等の混晶を堆積できる。混晶の組成は、異種物質塩の混合液の組成を調整することにより制御される。

【0020】

堆積される還元物質の線幅は、放出電極15の放出領域のパターンに応じて決まる。放出領域のパターンは、EB露光等の技術を用いることにより数nmオーダーで加工される。また、還元物質の膜厚は、弾道電子の照射電子流密度と照射時間との積、すなわち照射電荷量密度に応じて変化する。照射電荷量密度とは、単位面積当たり照射される電荷量(C/cm^2)で定義される。処理装置100を用いた還元物質の堆積では、電子源10と処理対象20とが非接触であるため、堆積される膜厚の制限がない。

10

【0021】

ステージ30は、電子源10と処理対象20との相対位置を変更する。ステージ30は、処理装置本体32に形成されたガイドレール31上に設けられる。これにより、放出面Emと平行な方向における、電子源10と処理対象20との相対位置を変化させる。ガイドレール31は、少なくとも処理対象20が電子源10に対向する位置に移動できるように設けられる。

20

【0022】

ピエゾアクチュエータ40は、放出面Emと垂直な方向における、電子源10と処理対象20との相対位置を変化させる。電子源10と処理対象20との相対位置は、ピエゾ制御部41からピエゾアクチュエータ40に印加される電圧に応じて変化する。また、ピエゾ制御部41は、ピエゾアクチュエータ40から入力される信号に基づいて、電子源10と処理対象20との相対位置を算出する。例えば、当該相対位置は、電子源10とレジスト21が接触した場合に生じる圧力を検出することにより算出される。なお、電子源10と処理対象20との相対位置は、電子源10に接続されたアクティブマトリクス装置によって、放出面Emに対して平行な方向に操作されるとしてもよい。なお、本明細書において、電子源10と処理対象20との相対位置とは、厳密には、電子源10の放出面Emと処理対象20の処理面との相対位置を指して良い。

30

【0023】

収容部50は、排出口51及び吸入口52を備え、収容部50内の気圧を調整する。収容部50の内部は、 N_2 、Ar等の不活性ガスが充填される。収容部50は、グローブボックス又はチャンバであってよい。収容部50内の気圧は、形成する薄膜の形状、処理対象20の性質に応じて変化されてよい。例えば、収容部50内を大気圧とした場合、利用する処理対象20の選択の幅が広がる。即ち、収容部50内が大気圧の場合には、処理対象20として固体以外の物質を利用することができる。一方、収容部50内の気圧を大気圧よりも低い低真空とした場合、電子源10から放出された弾道電子の平均自由行程が大きくなる。即ち、弾道電子の制御性が良くなるので、微細なパターンの薄膜を形成しやすくなる。

40

【0024】

以上の通り、処理装置100は、5~10eVの弾道電子を用いた電解質22の直接還元により還元物質を堆積する。一方、電子ビーム露光機に用いられるような数keV~数十keVの高エネルギー集束電子ビームを用いて電解質22を還元すると、電解質22の反応前駆体の分解反応が生じてしまう。つまり、本例の処理装置100を用いた直接還元反応では、分解反応が生じないので、副産物が生成されにくく、汚染の少ない還元物質が得られる。

【0025】

50

なお、本例では、還元物質を処理対象 20 上に堆積させる実施形態について説明した。しかしながら、処理装置 100 の実施形態はこれには限られず、処理対象 20 の改質にも用いられてよい。例えば、処理装置 100 は、弾道電子によって、処理対象 20 の表面を親水化若しくは疎水化する。また、処理装置 100 は、処理対象 20 の pH を弾道電子の照射前後で変化させてよい。

【0026】

図 2 は、処理装置 100 を用いた処理対象 20 の処理フローの一例を示す。まず、処理対象 20 上に電解質 22 を塗布する (S100)。次に、電子源 10 と処理対象 20 との相対位置を制御する (S101)。電子源 10 と処理対象 20 との相対位置は、収容部 50 内の気圧及び温度等に応じて制御されてよい。本例の電子源 10 は、放出電極 15 の放出領域に応じたパターンの弾道電子を面放出できるので、処理対象 20 をパターンニングする必要がない。次に、電子源 10 から弾道電子を放出する (S102)。放出された弾道電子を処理対象 20 上の電解質 22 に照射する (S103)。次に、電子源 10 から照射された弾道電子により、電解質 22 の還元反応が生じる (S104)。このように、本例の処理装置 100 は、室温一貫プロセス技術として利用できる。

10

【0027】

なお、本例の処理フローでは、電解質 22 を 1 度のみ還元する場合について開示した。この場合、処理装置 100 によって、単独の薄膜が形成される。しかしながら、処理工程を適宜追加することによって、複数の薄膜を形成できる。例えば、処理装置 100 は、異種の物質塩溶液に対する逐次電子照射によって、異種金属の積層や Si/Ge のような超格子薄膜構造の作製が可能である。また、処理装置 100 は、薄膜堆積及び酸化処理を連続的に実施し、適宜、アニール工程、不純物ドーピング工程等を組み合わせることにより、金属-絶縁体-金属 (MIM) 構造及び金属-酸化膜絶縁体-半導体 (MOS) 構造を作製できる。さらに、処理装置 100 は、異種の電解質 22 に対する選択的な電子照射により、半導体と金属からなる 3 次元構造を形成してもよい。

20

【0028】

図 3 は、処理装置 100 を用いた電解質 22 の塗布工程の一例を示す。本例の処理装置 100 は、ディスペンサ 60 及びディスペンサ制御部 61 を備える。塗布工程はディスペンサに限るものではなく、スピンコーティングまたは印刷なども含まれる。

【0029】

ディスペンサ 60 は、充填した電解質 22 を処理対象 20 上に塗布する。ディスペンサ 60 は、塗布する電解質 22 の量を適切に調整できるものであれば特にどのような構造であってもよい。ディスペンサ 60 の構造は、電解質 22 の状態及び性質に応じて適宜変化されてよい。ディスペンサ 60 は、収容部 50 内に配置されるのが好ましい。

30

【0030】

ディスペンサ制御部 61 は、ディスペンサ 60 を制御して、処理対象 20 上に電解質 22 を塗布する。ディスペンサ制御部 61 は、ディスペンサ 60 が電解質 22 を塗布するタイミング、位置及び塗布量を制御する。ディスペンサ制御部 61 は、ステージ 30 が予め定められた位置に移動した場合に電解質 22 を塗布するように制御してもよい。また、ディスペンサ制御部 61 は、ディスペンサ 60 が充填した電解質 22 が処理対象 20 上に塗布されるようにディスペンサ 60 の位置を制御する。ディスペンサ 60 の位置は固定であってもよい。

40

【0031】

図 4 は、電子源 10 のマウント工程の一例を示す。マウント工程では、電子源 10 の放出面 Em が電解質 22 に対向するように、電子源 10 とステージ 30 との相対位置が制御される。

【0032】

初めに、ステージ 30 は、ディスペンサ 60 による電解質 22 の塗布位置から電子源 10 のマウント位置に移動される。但し、ディスペンサ 60 による電解質 22 の塗布位置が、電子源 10 のマウント位置と同じ場合は、ステージ 30 を移動する必要がない。この場

50

合、ガイドレール 31 は不要である。ステージ 30 が電子源 10 のマウント位置に移動されると、 piezo 制御部 41 は、電子源 10 と処理対象 20 の相対位置が近づくように、 piezo アクチュエータ 40 を制御する。これにより、電子源 10 とレジスト 21 とが接触して、電子源 10 の放出面 E m と電解質 22 とが予め定められた距離となる。電子源 10 の放出面 E m と電解質 22 とが予め定められた距離になるとマウント工程は終了する。

【 0033 】

電子源 10 の放出面 E m と電解質 22 との間隔は、接触しない範囲で収容部 50 の気圧に応じて決定されてよい。例えば、 piezo 制御部 41 は、収容部 50 内が大気圧である場合に、放出面 E m と電解質 22 との間隔を 500 nm 以下に設定する。また、 piezo 制御部 41 は、収容部 50 内が低真空の場合に、放出面 E m と電解質 22 との間隔を 1 μ m としてよい。さらに、収容部 50 内の気圧が低下するに伴い、放出面 E m と電解質 22 との間隔を 1 μ m 以上に大きくしてよい。このように、低気圧においては電子の自由行程増大に応じて放出面 E m と電解質 22 との間隔を大きく設定することができるが、同時に溶液の蒸発が生じやすくなることから、これを抑えるため還元反応に影響しない溶媒を電解質溶液に混合させてよい。

10

【 0034 】

図 5 は、電解質 22 の処理工程の一例を示す。電子源 10 の裏面電極 16 には、裏面印加電圧 (- V b) が印加され、放出電極 15 は接地される。これにより、電子源 10 は、所定のパターンの弾道電子を放出する。電解質 22 は、所定のパターンに応じて還元反応が生じる。また、処理対象 20 は、電位制御部 42 に接続されてよい。

20

【 0035 】

電位制御部 42 は、電子源 10 と処理対象 20 との間の電位差を加速電圧 V a に制御する。加速電圧 V a は、放出面 E m から放出された弾道電子を処理対象 20 の方向に加速する。電位制御部 42 は、加速電圧 V a の大きさを制御することにより、弾道電子の量とエネルギーを調整できる。加速電圧 V a の大きさは、少なくとも放出電極 15 に対する処理対象 20 の電位が正となるように決定される。

【 0036 】

なお、電子源 10 の構造は、電子源 10 と処理対象 20 とが接近した場合に邪魔にならないような構造であることが好ましい。即ち、電子源 10 と処理対象 20 の処理面との最短距離は、放出面 E m と処理面との距離であることが好ましい。但し、電子源 10 と処理対象 20 との距離を予め定められた距離に近接できる構造であればこれに限られない。

30

【 0037 】

図 6 は、還元物質 23 の堆積工程後における処理装置 100 の一例である。本例の処理対象 20 は、電解質 22 の処理工程後に純水で洗浄処理される。純粋処理は、ステージ 30 上で行われてもよいし、ステージ 30 から処理対象 20 を取り外して行われてよい。

【 0038 】

還元物質 23 は、所定のパターンにより処理対象 20 の処理面上に堆積される。還元物質 23 は、電解質 22 の物質イオンの直接還元により堆積されるので、副産物が生成されにくく汚染が少ない。

【 0039 】

本例の処理装置 100 を用いた還元物質 23 の堆積方法は、従来のドライプロセス及びウェットプロセスを用いた成膜方法と比較して多くの点で優れている。本例の処理装置 100 は、物理的気相堆積 (P V D)、化学的気相堆積 (C V D) 等のドライプロセスと比較して、室温、クリーン、低コスト、低環境負荷の要件を兼ね備えている。例えば、処理装置 100 は、処理対象 20 の温度を、 P V D 法及び C V D 法のように高温に設定する必要がない。また、処理装置 100 は、 P V D 法において必須の真空排気装置及び放電装置、及び C V D 法において必須の引火性ガスを使用しなくとも付帯設備を簡略化できる。さらに、ウェットプロセスと比較しても、本例の処理装置 100 は、対向電極を使用しないため、対向電極で発生する気体の問題がないので、汚染されにくく、且つ、均一に薄膜成長できる。そして、処理装置 100 では、真空に引く必要がないので、処理対象 2

40

50

0の大面積化も容易である。

【0040】

図7は、処理装置100により成膜された金属薄膜の原子間力顕微鏡(AFM: Atomic Force Microscope)像を示す。この場合、還元対象の溶液には0.1mol/LのCuCl₂水溶液とエチレングリコールを3:1で混合した溶液を用い、気圧を1000Paとして電子源を駆動した。電子照射後、基板を純水に浸漬し残留する不要の溶液を除去した。この処理後に電子照射部分のSi基板上でCu薄膜の堆積を確認した結果が本例のAFM像である。図7(a)は、SiとCuの境界付近のAFM像を示す。一方、図7(b)は、SiとCuの境界付近の線分ABに沿った厚さプロファイルを示す。AFM像において、Cuが堆積されていない領域は弾道電子が照射されていない領域を示し、Cuが堆積された領域は弾道電子が照射された領域を示す。

10

【0041】

本例のAFM像より、電子源10の放出領域のパターンに応じて、SiとCuの境界が明確に形成されていることが観察された。また、AFM像の厚さプロファイルからおおよそ7nmのCuが堆積されたことが分かる。

【0042】

図8は、処理装置100により成膜された金属薄膜の走査型電子顕微鏡(SEM: Scanning Electron Microscope)画像を示す。図8(a)は、SiとCuとの境界付近のSEM画像である。図8(b)は、図8(a)の一部の拡大画像を示す。本例のSEM画像から、処理装置100によって表面荒れのない均一なCuが堆積されていることが分かる。このように、処理装置100を用いれば高品質な薄膜を堆積できる。堆積された薄膜がCuであることは、エネルギー分散型X線分光法(EDX)及び光反射スペクトルの測定結果からも裏付けられた。

20

【0043】

図9Aから図9Fは、ナノ結晶シリコン層13を有する電子源10の製造工程の一例を示す。電子源10は、大気中で使用されることから構造上の制約が少ない。なお、電子源10の構造は、ナノ結晶シリコン層13から弾道電子を放出できる構造であれば、本例に限られない。

【0044】

図9Aは、ポリシリコン層12の堆積工程を示す。ポリシリコン層12は、半導体基板11上に形成される。ポリシリコン層12は、減圧化学気相成長(LPCVD)法により形成されてよい。本例のポリシリコン層12の膜厚は1.6μmである。

30

【0045】

図9Bは、ナノ結晶シリコン層13の形成工程の一例を示す。ナノ結晶シリコン層13は、ポリシリコン層12において半導体基板11と反対側に形成される。例えば、ナノ結晶シリコン層13は、ポリシリコン層12がHF溶液中で陽極酸化処理されることにより形成される。その後、ナノ結晶シリコン層13は、電気化学的酸化に加えて、超臨界状態のCO₂による洗浄、及び乾燥等の処理が施される。

【0046】

図9Cは、絶縁膜14の成膜工程を示す。絶縁膜14は、ナノ結晶シリコン層13の放出面Emに対応する領域以外を被覆する。絶縁膜14は、ポリシリコン層12のエッチング後に成膜されてよい。ポリシリコン層12をエッチングすることによりナノ結晶シリコン層13の放出面Emが電子源10において突出する。

40

【0047】

図9Dは、放出電極15の形成工程の一例を示す。放出電極15は、少なくともナノ結晶シリコン層13の放出面Emを覆うように形成される。また、放出電極15は、スパッタ又は蒸着等により、ナノ結晶シリコン層13及び絶縁膜14の全面に形成されてよい。本例では、放出電極15としてTi(1nm)とAu(10nm)の薄膜を積層する。

【0048】

図9Eは、放出電極15のエッチング工程の一例を示す。放出電極15における放出領

50

域のパターンは、ドライエッチング又はウエットエッチングにより形成される。例えば、放出電極 15 における放出領域のパターンは、電子ビーム露光装置を用いてパターンニングされる。なお、放出電極 15 は、電子源 10 が大気中で使用されるので、放出面 E m に加えて、放出面 E m 以外の領域が露出して形成されてよい。

【0049】

図 9 F は、裏面電極 16 の形成工程の一例を示す。裏面電極 16 は、半導体基板 11 のポリシリコン層 12 が形成される側と反対側に形成される。裏面電極 16 は、スパッタ又は蒸着により形成されてよい。本例では、裏面電極 16 として膜厚 0.3 μm の Al が堆積される。

【0050】

図 10 は、電子源 10 の構成の一例を示す。本例の電子源 10 は、マスク 17 を備える。マスク 17 は、ナノ結晶シリコン層 13 上にパターンニングされて、ナノ結晶シリコン層 13 から弾道電子が放出されるのを制限する。即ち、マスク 17 の存在する領域からは弾道電子が放出されず、マスク 17 の存在しない電子放出領域 18 から弾道電子が放出される。弾道電子が放出される領域は、マスク 17 が完全に存在しなくてもよいし、弾道電子が放出される程度にマスク 17 が薄く存在していてもよい。マスク 17 上には、放出電極 15 が形成される。本実施形態では、放出電極 15 をパターンニングする必要がない。放出電極 15 上には、外部と接続するためのパッド 19 が形成されてよい。

【0051】

図 11 は、マスク 17 を備えた電子源 10 の構成の一例を示す。本例のマスク 17 は、ナノ結晶シリコン層 13 を覆う放出電極 15 上に形成される。マスク 17 は、予め定められたパターンでパターンニングされる。これにより、マスク 17 の存在する領域からは弾道電子が放出されず、マスク 17 の存在しない電子放出領域 18 から弾道電子が放出される。本例の電子源 10 では、マスク 17 を用いることにより、放出電極 15 の膜厚を第 1 の厚さ及び第 2 の厚さの 2 段階に制御しなくてよい。

【0052】

本明細書に開示した通り、処理装置 100 は、室温、クリーン、低環境負荷、超微細化、大規模集積アレイ化の要求を同時に満たす固体薄膜形成技術を実現する。処理装置 100 を用いて堆積された薄膜は、様々な分野に応用可能である。例えば、薄膜電子素子として、Si、Ge 薄膜の堆積及び積層化技術を総合したナノワイヤ、MOS 構造を基本とした薄膜トランジスタ、ヘテロ接合薄膜素子及びディスプレイ駆動素子に応用し得る。また、処理装置 100 により堆積された薄膜は、受光素子（フォトダイオード、フォトトランジスタ）、光電変換素子（薄型太陽電池、光導電素子）及び発光素子（近赤外～紫外）に応用し得る。

【0053】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0054】

特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【符号の説明】

【0055】

10・・・電子源、11・・・半導体基板、12・・・ポリシリコン層、13・・・ナノ結晶シリコン層、14・・・絶縁膜、15・・・放出電極、16・・・裏面電極、17・

10

20

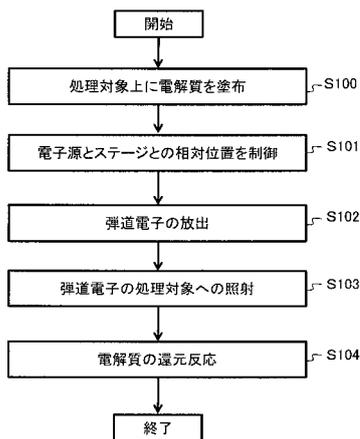
30

40

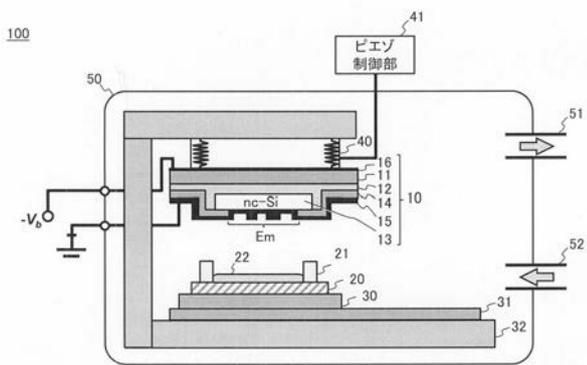
50

- ・ ・ マスク、 18 ・ ・ ・ 電子放出領域、 19 ・ ・ ・ パッド、 20 ・ ・ ・ 処理対象、 21 ・ ・ ・ レジスト、 22 ・ ・ ・ 電解質、 23 ・ ・ ・ 還元物質、 30 ・ ・ ・ ステージ、 31 ・ ・ ・ ガイドレール、 32 ・ ・ ・ 処理装置本体、 40 ・ ・ ・ ピエゾアクチュエータ、 41 ・ ・ ・ ピエゾ制御部、 42 ・ ・ ・ 電位制御部、 50 ・ ・ ・ 収容部、 51 ・ ・ ・ 排出口、 52 ・ ・ ・ 吸入口、 60 ・ ・ ・ ディスペンサ、 61 ・ ・ ・ ディスペンサ制御部、 100 ・ ・ ・ 処理装置

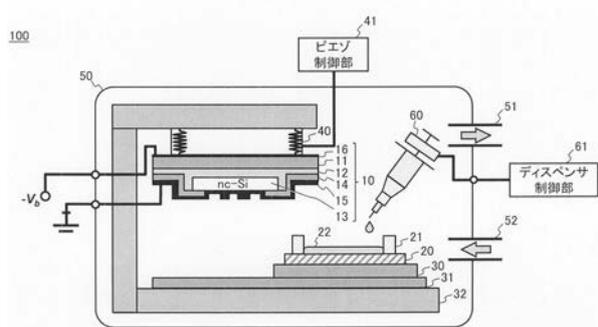
【 図 2 】



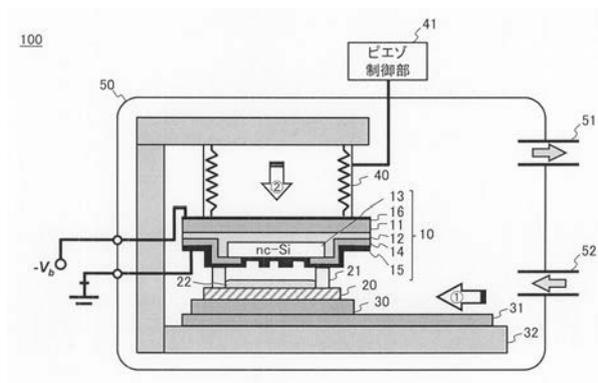
【 図 1 】



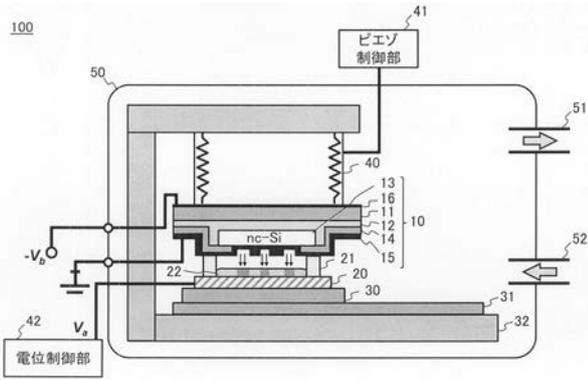
【 図 3 】



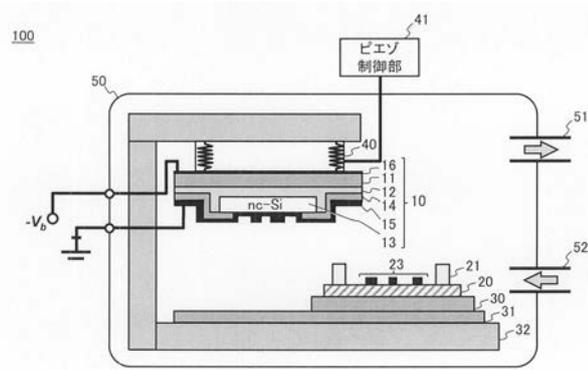
【 図 4 】



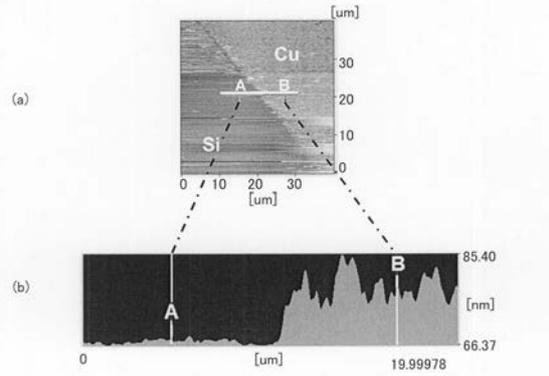
【 図 5 】



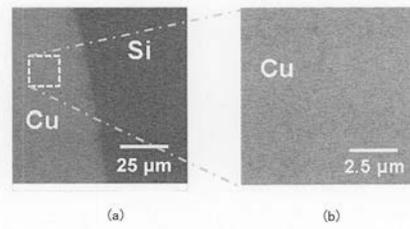
【 図 6 】



【 図 7 】



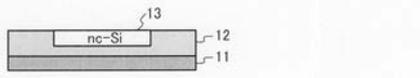
【 図 8 】



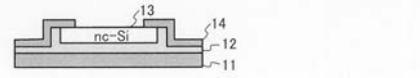
【 図 9 A 】



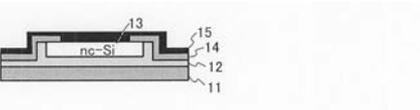
【 図 9 B 】



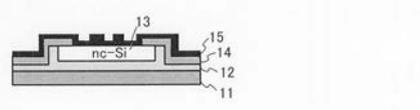
【 図 9 C 】



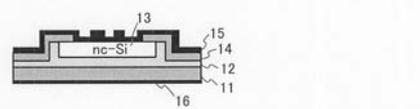
【 図 9 D 】



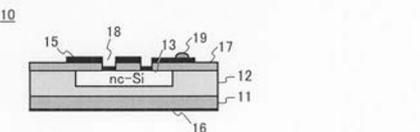
【 図 9 E 】



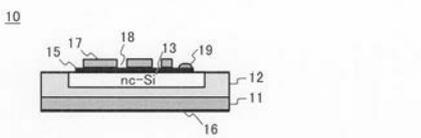
【 図 9 F 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(72)発明者 八木 麻実子

東京都府中市晴見町3 - 8 - 1 国立大学法人東京農工大学内

Fターム(参考) 4G075 AA24 AA61 BA06 CA39 DA02 DA18 EC21 EC25 FB04