

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-28115

(P2017-28115A)

(43) 公開日 平成29年2月2日(2017.2.2)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-------------------------|----------------|-------------|
| HO 1 L 21/338 (2006.01) | HO 1 L 29/80 H | 5 F 1 0 2 |
| HO 1 L 29/778 (2006.01) | HO 1 L 29/80 C | |
| HO 1 L 29/812 (2006.01) | | |
| HO 1 L 21/337 (2006.01) | | |
| HO 1 L 27/098 (2006.01) | | |

審査請求 未請求 請求項の数 9 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2015-145514 (P2015-145514)
 (22) 出願日 平成27年7月23日 (2015.7.23)

(出願人による申告) 平成26年度 国立研究開発法人科学技術振興機構、「シリコン基板上窒化物等異種材料タンデム太陽電池の研究開発」委託事業、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 506122327
 公立大学法人大阪市立大学
 大阪府大阪市住吉区杉本3丁目3番138号
 (74) 代理人 100156845
 弁理士 山田 威一郎
 (74) 代理人 100124039
 弁理士 立花 顕治
 (74) 代理人 100124431
 弁理士 田中 順也
 (74) 代理人 100112896
 弁理士 松井 宏記
 (74) 代理人 100179213
 弁理士 山下 未知子

最終頁に続く

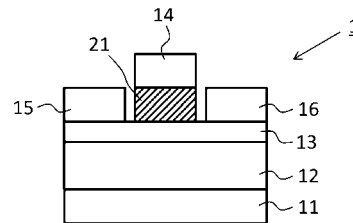
(54) 【発明の名称】 電界効果トランジスタ及び電界効果トランジスタの製造方法

(57) 【要約】 (修正有)

【課題】 窒化物半導体のヘテロ接合を利用した電界効果トランジスタの性能を向上可能な技術を提供する。

【解決手段】 電界効果トランジスタ1は、基板11と、基板11の上方に形成される第1窒化物半導体層12と、第1窒化物半導体層12上に積層され、第1窒化物半導体層12よりも大きいバンドギャップエネルギーを有する第2窒化物半導体層13と、第2窒化物半導体層13上に異種材料接合により接合された、窒化物半導体とは他種の半導体で構成されたp型半導体層21と、p型半導体層21に接続するゲート電極14と、ゲート電極14の両側に配置され、第2窒化物半導体層13にそれぞれ接続するソース電極15及びドレイン電極16と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、
 前記基板の上方に形成される第 1 窒化物半導体層と、
 前記第 1 窒化物半導体層上に積層され、前記第 1 窒化物半導体層よりも大きいバンドギャップエネルギーを有する第 2 窒化物半導体層と、
 前記第 2 窒化物半導体層上に異種材料接合により接合された、窒化物半導体とは他種の半導体で構成された p 型半導体層と、
 前記 p 型半導体層に接続するゲート電極と、
 前記ゲート電極の両側に配置され、前記第 2 窒化物半導体層にそれぞれ接続するソース電極及びドレイン電極と、
 を備える、
 電界効果トランジスタ。

【請求項 2】

前記 p 型半導体層の p 型不純物濃度は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上である、
 請求項 1 に記載の電界効果トランジスタ。

【請求項 3】

前記 p 型半導体層は p 型シリコン層である、
 請求項 1 又は 2 に記載の電界効果トランジスタ。

【請求項 4】

前記 p 型シリコン層の両側に配置され、前記第 2 窒化物半導体層上に異種材料接合によりそれぞれ接合された一对の n 型シリコン層を更に備え、
 前記ソース電極及びドレイン電極はそれぞれ、前記一对の n 型シリコン層それぞれの上に形成される、
 請求項 3 に記載の電界効果トランジスタ。

【請求項 5】

前記基板は、シリコンで構成されたシリコン基板である、
 請求項 3 又は 4 に記載の電界効果トランジスタ。

【請求項 6】

前記第 1 窒化物半導体層は、窒化ガリウムで構成され、
 前記第 2 窒化物半導体層は、窒化アルミニウムガリウムで構成される、
 請求項 1 から 5 のいずれか 1 項に記載の電界効果トランジスタ。

【請求項 7】

半導体基板上に、窒化物半導体とは他種の半導体で構成され、メサ形状を有する p 型半導体領域を形成する第 1 工程と、
 基板、前記基板の上方に形成される第 1 窒化物半導体層、及び、前記第 1 窒化物半導体層上に積層され、前記第 1 窒化物半導体層よりも大きいバンドギャップエネルギーを有する第 2 窒化物半導体層、を備える窒化物構造体に前記半導体基板を異種材料接合により貼り合わせる第 2 工程であって、前記窒化物構造体の第 2 窒化物半導体層に前記半導体基板の p 型半導体領域を向けて、当該第 2 窒化物半導体層上に当該 p 型半導体領域を接合する第 2 工程と、
 貼り合わせた前記半導体基板を、前記 p 型半導体領域を残して除去することで、前記第 2 窒化物半導体層上に接合された p 型半導体層を形成する第 3 工程と、
 前記 p 型半導体層上にゲート電極を形成し、前記第 2 窒化物半導体層上における当該 p 型半導体層の両側の領域にそれぞれソース電極及びドレイン電極を形成する第 4 工程と、
 を備える、
 電界効果トランジスタの製造方法。

【請求項 8】

基板と、
 前記基板の上方に形成される第 1 窒化物半導体層と、

前記第 1 窒化物半導体層上に積層され、前記第 1 窒化物半導体層よりも大きいバンドギャップエネルギーを有する第 2 窒化物半導体層と、

前記第 2 窒化物半導体層上に異種材料接合により接合された、窒化物半導体とは他種の半導体で構成された第 1 の n 型半導体層と、

前記第 1 の n 型半導体層から離間して配置され、前記第 2 窒化物半導体層上に異種材料接合により接合された、窒化物半導体とは他種の半導体で構成された第 2 の n 型半導体層と、

前記第 1 の n 型半導体層の上面の一部及び前記第 2 の n 型半導体層側の側面を被覆する第 1 酸化膜と、

前記第 2 の n 型半導体層の上面の一部及び前記第 1 の n 型半導体層側の側面を被覆する第 2 酸化膜と、

前記第 1 の n 型半導体層の上面上に積層され、前記第 1 の n 型半導体層とオーミック接触するソース電極と、

前記第 2 の n 型半導体層の上面上に積層され、前記第 2 の n 型半導体層とオーミック接触するドレイン電極と、

前記第 1 の n 型半導体層及び前記第 2 の n 型半導体層の間を埋めるように前記第 2 の窒化物半導体層上に積層され、前記第 2 の窒化物半導体層とショットキー接触するゲート電極と、

を備え、

前記ゲート電極は、前記第 1 酸化膜及び前記第 2 酸化膜それぞれの上面側の少なくとも一部を被覆するように形成される、

電界効果トランジスタ。

【請求項 9】

半導体基板の上に、窒化物半導体とは他種の半導体でそれぞれ構成され、互いに離間した位置にそれぞれメサ形状を有する第 1 の n 型半導体領域及び第 2 の n 型半導体領域を形成する第 1 工程と、

基板、前記基板の上方に形成される第 1 窒化物半導体層、及び、前記第 1 窒化物半導体層上に積層され、前記第 1 窒化物半導体層よりも大きいバンドギャップエネルギーを有する第 2 窒化物半導体層、を備える窒化物構造体に前記半導体基板を異種材料接合により貼り合わせる第 2 工程であって、前記窒化物構造体の第 2 窒化物半導体層に前記半導体基板の第 1 の n 型半導体領域及び第 2 の n 型半導体領域を向けて、当該第 2 窒化物半導体層上に当該第 1 の n 型半導体領域及び第 2 の n 型半導体領域を接合する第 2 工程と、

貼り合わせた前記半導体基板を、前記第 1 及び第 2 の n 型半導体領域を残して除去することで、前記第 2 窒化物半導体層上にそれぞれ接合された第 1 の n 型半導体層及び第 2 の n 型半導体層を形成する第 3 工程と、

前記第 1 の n 型半導体層の上面及び側面を被覆する第 1 酸化膜を形成し、前記第 2 の n 型半導体層の上面及び側面を被覆する第 2 酸化膜を形成する第 4 工程と、

前記第 1 の n 型半導体層の上面の一部が露出するように前記第 1 酸化膜の一部を除去し、露出した前記第 1 の n 型半導体層の上面の一部にオーミック接触するソース電極を形成し、前記第 2 の n 型半導体層の上面の一部が露出するように前記第 2 酸化膜の一部を除去し、露出した前記第 2 の n 型半導体層の上面の一部にオーミック接触するドレイン電極を形成し、前記第 1 の n 型半導体層及び前記第 2 の n 型半導体層の間を埋めるように、前記第 2 の窒化物半導体層上にショットキー接触するゲート電極を形成する第 5 工程と、

を備え、

前記第 5 工程では、前記第 1 酸化膜及び前記第 2 酸化膜それぞれの上面側の少なくとも一部を被覆するように前記ゲート電極を形成する、

電界効果トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、電界効果トランジスタ及び電界効果トランジスタの製造方法に関する。

【背景技術】

【0002】

近年、異なるバンドギャップを有する2種類の半導体のヘテロ接合により誘起された二次元電子ガス(2DEG)をチャンネルとした電界効果トランジスタである高電子移動度トランジスタ(High Electron Mobility Transistor、HEMT)の研究が盛んに行われている。このような電界効果トランジスタの素材は様々存在するが、GaN(窒化ガリウム)等の窒化物半導体は、シリコン(Si)等と比較してバンドギャップエネルギー、絶縁破壊電界及び飽和電子速度が大きいため、高出力動作、高温動作及び高周波動作を可能にする素材として特に注目されている。

10

【0003】

例えば、このような窒化物半導体を利用した電界効果トランジスタとして、GaN等の窒化物半導体を多層構造にし、不純物をドーピングしていないAlGaN(窒化アルミニウムガリウム)で構成されたAlGaNバリア層をその表面に形成した電界効果トランジスタが提案されている(非特許文献1)。具体的には、MOCVD法(有機金属気相成長法)等によって、不純物をドーピングしていないAlGaNで構成されたAlGaNバリア層を表面側に配置した多層構造を有する窒化物半導体層を基板上に形成する。そして、オーム性接触を有する一对の金属層を局所的にAlGaNバリア層上に堆積し、堆積した一对の金属層を熱処理することで、ソース電極及びドレイン電極を形成する。また、ショットキー性接触を有する金属層をAlGaNバリア層上に堆積することによりゲート電極を形成する。これによって、多層構造を有する窒化物半導体層上に各電極が形成された電界効果トランジスタが実現される(第1の従来例)。

20

【0004】

また、例えば、ゲート電極下方のゲート領域に二次元電子ガスの発生を抑えるために、ゲート電極と上記AlGaNバリア層との間にp型の不純物をドーピングしたp型窒化物半導体層を形成した電界効果トランジスタが提案されている(特許文献1)。具体的には、上記AlGaNバリア層上に、更に、p型窒化物半導体層を形成する。そして、形成したp型窒化物半導体層をAlGaNバリア層表面まで局所的にエッチングし、p型窒化物半導体層の残された領域にオーム性接触を有する金属層を局所的に堆積することでゲート電極を形成する。また、エッチングによりAlGaNバリア層の露出した領域にオーム性接触を有する一对の金属層を局所的に堆積することで、ソース電極及びドレイン電極を形成する。これによって、ゲート電極とAlGaNバリア層との間にp型窒化物半導体層を形成した電界効果トランジスタが実現される。この電界効果トランジスタでは、p型窒化物半導体層によって、チャンネルのポテンシャルが持ち上げられる。そのため、ゲート電極下方のヘテロ接合界面における伝導帯下端のエネルギー E_c が引き上げられ、ゲート領域において二次元電子ガスの発生が抑えられる。これによって、当該電界効果トランジスタでは、ゲート電極にバイアスをかけていないゼロバイアス時に電流を遮断するノーマリオフ化の実現を図っている(第2の従来例)。

30

【先行技術文献】

【特許文献】

40

【0005】

【特許文献1】特開2006-339561号公報

【非特許文献】

【0006】

【非特許文献1】A.V. Davydov, A. Motayed, W.J. Boettinger, R.S. Gates, Q. Z. Xue, H. C. Lee, and Y. K. Yoo "Combinatorial optimization of Ti/Al/Ti/Au ohmic contacts to n-GaN," phys. stat. sol. (c) 2, No. 7, 2551-2554 (2005) / DOI 10.1002/ps.sc.200461605

【非特許文献2】S. Arulkumaran, T. Egawa, H. Ishikawa, and T. Jimbo, "Temperature dependence of gate-leakage current in AlGaN/GaN high-electron-mobility transis

50

tors," Applied Physics Letters 82, 3110 (2003); doi: 10.1063/1.1571655.

【非特許文献3】S Pookpanratana, R France, R F ´elix, R Wilks, L Weinhardt1, T Hofmann, L Tati Bismaths, S Mulcahy, F Kronast, T D Moustakas, M B ¨ar and C Hesk e, "Microstructure of vanadium-based contacts on n-type GaN," J. Phys. D: Appl. Phys. 45 (2012) 105401.

【発明の概要】

【発明が解決しようとする課題】

【0007】

AlGa_Nバリア層とショットキー性接触するゲート電極を形成した上記第1の従来例では、高温での素子動作においてゲート電極からAlGa_Nバリア層へのトンネル効果が顕著に発生する。そのため、この電界効果トランジスタを高温で動作させると、ゲートリーク電流が増加してしまい、素子特性が劣化してしまうという問題点があった(非特許文献2)。

10

【0008】

一方、p型窒化物半導体層上にゲート電極を形成した上記第2の従来例では、p型窒化物半導体層とAlGa_Nバリア層との界面は、優れた熱安定性を有している。そのため、上記のように素子を高温で動作させても、素子特性は殆ど劣化することはない。

【0009】

しかしながら、窒化物半導体にp型不純物を高濃度にドーピングすることは困難であり、p型窒化物半導体層におけるp型不純物濃度は、一般的に $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度に留まってしまう。そのため、ゲート電極下方のヘテロ接合界面における伝導帯下端のエネルギー E_c の引き上げ効果がそれほど発揮されず、ゼロバイアス時でもゲート領域に電子が生じてしまうことがあり、ノーマリオフ化を達成することが困難であるという問題点があった。

20

【0010】

また、p型不純物濃度が高くないため、p型窒化物半導体層のAlGa_Nバリア層側の領域で空乏化が生じてしまい、ゲート電極とヘテロ界面との間のキャパシタンスが増大してしまう。これによって、ゲート電極にかかる電圧により制御可能な電気量が低減してしまい、ゲート電極の制御性が劣化してしまうという問題点があった。

【0011】

加えて、上記第1の従来例及び第2の従来例では、ソース電極とゲート電極との間及びゲート電極とドレイン電極との間が離間している。そのため、これらの領域におけるキャリアの操作性が悪く、ソース・ゲート間及びゲート・ドレイン間の抵抗が高くなってしまふ。そのため、電界効果トランジスタの特性が制限されてしまうという問題点があった。

30

【0012】

また、ソース電極及びドレイン電極を形成する際には、一般的に、堆積した金属層を750の高温で加熱する熱処理が行われる。しかしながら、ソース電極及びドレイン電極をこのような高温で熱処理した場合には、当該熱処理によって各電極の表面に凹凸、クラック等が発生してしまい、電界効果トランジスタの長期信頼性が損なわれてしまう(非特許文献3)。一方、熱処理の温度を下げることで、このような問題を避けることができるが、ソース電極及びドレイン電極の抵抗が高くなってしまい、電界効果トランジスタの特性が制限されてしまうという問題点があった。

40

【0013】

以上のような事情によって、窒化物半導体のヘテロ接合を利用した従来の電界効果トランジスタでは、その性能が制限されてしまうという問題点があった。

【0014】

本発明は、一側面では、このような実情を鑑みてなされたものであり、その目的は、窒化物半導体のヘテロ接合を利用した電界効果トランジスタの性能を向上可能な技術を提供することである。

【課題を解決するための手段】

50

【0015】

本発明は、上述した課題を解決するために、以下の構成を採用する。

【0016】

すなわち、本発明の一側面に係る電界効果トランジスタは、基板と、前記基板の上方に形成される第1窒化物半導体層と、前記第1窒化物半導体層上に積層され、前記第1窒化物半導体層よりも大きいバンドギャップエネルギーを有する第2窒化物半導体層と、前記第2窒化物半導体層上に異種材料接合により接合された、窒化物半導体とは他種の半導体で構成されたp型半導体層と、前記p型半導体層に接続するゲート電極と、前記ゲート電極の両側に配置され、前記第2窒化物半導体層にそれぞれ接続するソース電極及びドレイン電極と、を備える。

10

【0017】

上記構成によれば、第1窒化物半導体層よりも大きいバンドギャップエネルギーを有する第2窒化物半導体層を第1窒化物層上に積層することで、2DEGをチャネルとした電界効果トランジスタが形成される。ここで、上記構成では、第2窒化物半導体層上に、窒化物半導体とは他種の半導体で構成されたp型半導体層が異種材料接合により接合される。そして、ゲート電極は、そのp型半導体層に接続するように設けられる。

【0018】

すなわち、従来では、p型窒化物半導体層をゲート領域に用いていたために、窒化物半導体にはp型不純物を高濃度にドーピングすることが困難であり、電界効果トランジスタの性能をそれほど向上させることができなかった。これに対して、上記構成では、窒化物半導体と他種の半導体で構成されたp型半導体層がゲート領域に用いられる。そのため、上記のような窒化物半導体に起因する性能向上の制限を回避することができる。したがって、上記構成によれば、窒化物半導体のヘテロ接合を利用した電界効果トランジスタの性能を向上させることができる。

20

【0019】

なお、p型半導体層には、窒化物半導体とは他種の半導体として、シリコン(Si)、ゲルマニウム(Ge)、ガリウムヒ素(GaAs)等を用いることができる。また、異種材料接合の方法は、実施の形態に応じて適宜選択されてよく、例えば、表面活性化ボンディング法(表面活性化常温接合法とも称される)が用いられてもよい。

【0020】

また、上記一側面に係る電界効果トランジスタの別の形態として、前記p型半導体層のp型不純物濃度は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上であってもよい。

30

【0021】

また、上記一側面に係る電界効果トランジスタの別の形態として、前記p型半導体層はp型シリコン層であってもよい。

【0022】

また、上記一側面に係る電界効果トランジスタの別の形態として、前記電界効果トランジスタは、前記p型シリコン層の両側に配置され、前記第2窒化物半導体層上に異種材料接合によりそれぞれ接合された一对のn型シリコン層を更に備えてもよい。そして、前記ソース電極及びドレイン電極はそれぞれ、前記一对のn型シリコン層それぞれの上に形成されてもよい。n型シリコン層と窒化物半導体層との接合界面の構造は、オーム性接触を有する金属層と窒化物半導体層との界面よりも高い熱的安定性を有する。そのため、当該構成によれば、耐熱性に優れた電界効果トランジスタを提供することができる。

40

【0023】

また、上記一側面に係る電界効果トランジスタの別の形態として、前記基板は、シリコンで構成されたシリコン基板であってもよい。当該構成によれば、シリコン層とシリコン基板とは同一の材料で構成されるため、シリコン層の熱膨張係数とシリコン基板の熱膨張係数とが一致する。したがって、高温動作中にシリコン層とシリコン基板とは同一の割合で膨張することになるため、耐熱性に優れた電界効果トランジスタを提供することができる。

50

【0024】

また、上記一側面に係る電界効果トランジスタの別の形態として、前記第1窒化物半導体層は、窒化ガリウムで構成され、前記第2窒化物半導体層は、窒化アルミニウムガリウムで構成されてよい。

【0025】

また、本発明の一側面に係る電界効果トランジスタの製造方法は、導体基板上に、窒化物半導体とは他種の半導体で構成され、メサ形状を有するp型半導体領域を形成する第1工程と、基板、前記基板の上方に形成される第1窒化物半導体層、及び、前記第1窒化物半導体層上に積層され、前記第1窒化物半導体層よりも大きいバンドギャップエネルギーを有する第2窒化物半導体層、を備える窒化物構造体に前記半導体基板を異種材料接合により貼り合わせる第2工程であって、前記窒化物構造体の第2窒化物半導体層に前記半導体基板のp型半導体領域を向けて、当該第2窒化物半導体層上に当該p型半導体領域を接合する第2工程と、貼り合わせた前記半導体基板を、前記p型半導体領域を残して除去することで、前記第2窒化物半導体層上に接合されたp型半導体層を形成する第3工程と、前記p型半導体層上にゲート電極を形成し、前記第2窒化物半導体層上における当該p型半導体層の両側の領域にそれぞれソース電極及びドレイン電極を形成する第4工程と、を備える。

10

【0026】

また、本発明の一側面に係る電界効果トランジスタは、基板と、前記基板の上方に形成される第1窒化物半導体層と、前記第1窒化物半導体層上に積層され、前記第1窒化物半導体層よりも大きいバンドギャップエネルギーを有する第2窒化物半導体層と、前記第2窒化物半導体層上に異種材料接合により接合された、窒化物半導体とは他種の半導体で構成された第1のn型半導体層と、前記第1のn型半導体層から離間して配置され、前記第2窒化物半導体層上に異種材料接合により接合された、窒化物半導体とは他種の半導体で構成された第2のn型半導体層と、前記第1のn型半導体層の上面の一部及び前記第2のn型半導体層側の側面を被覆する第1酸化膜と、前記第2のn型半導体層の上面の一部及び前記第1のn型半導体層側の側面を被覆する第2酸化膜と、前記第1のn型半導体層の上面上に積層され、前記第1のn型半導体層とオーミック接触するソース電極と、前記第2のn型半導体層の上面上に積層され、前記第2のn型半導体層とオーミック接触するドレイン電極と、前記第1のn型半導体層及び前記第2のn型半導体層の間を埋めるように前記第2の窒化物半導体層上に積層され、前記第2の窒化物半導体層とショットキー接触するゲート電極と、を備え、前記ゲート電極は、前記第1酸化膜及び前記第2酸化膜それぞれの上面側の少なくとも一部を被覆するように形成される。

20

30

【0027】

上記構成によれば、第1窒化物半導体層よりも大きいバンドギャップエネルギーを有する第2窒化物半導体層を第1窒化物層上に積層することで、2DEGをチャネルとした電界効果トランジスタが形成される。ここで、上記構成では、ソース領域となる第1のn型半導体層及びドレイン領域となる第2のn型半導体層をそれぞれ第1酸化膜及び第2酸化膜で被覆し、その第1酸化膜及び第2酸化膜それぞれの上面側の少なくとも一部をゲート電極で被覆する。これによって、ゲート電極によりキャリアを操作可能な領域をソース・ゲート間及びゲート・ドレイン間に拡げることができ、ソース電極・ゲート電極間及びゲート電極・ドレイン電極間が離間していることに起因する上記問題点を解決することができる。したがって、上記構成によれば、窒化物半導体のヘテロ接合を利用した電界効果トランジスタの性能を向上させることができる。

40

【0028】

また、本発明の一側面に係る電界効果トランジスタの製造方法は、半導体基板上に、窒化物半導体とは他種の半導体でそれぞれ構成され、互いに離間した位置にそれぞれメサ形状を有する第1のn型半導体領域及び第2のn型半導体領域を形成する第1工程と、基板、前記基板の上方に形成される第1窒化物半導体層、及び、前記第1窒化物半導体層上に積層され、前記第1窒化物半導体層よりも大きいバンドギャップエネルギーを有する第2

50

窒化物半導体層、を備える窒化物構造体に前記半導体基板を異種材料接合により貼り合わせる第2工程であって、前記窒化物構造体の第2窒化物半導体層に前記半導体基板の第1のn型半導体領域及び第2のn型半導体領域を向けて、当該第2窒化物半導体層上に当該第1のn型半導体領域及び第2のn型半導体領域を接合する第2工程と、貼り合わせた前記半導体基板を、前記第1及び第2のn型半導体領域を残して除去することで、前記第2窒化物半導体層上にそれぞれ接合された第1のn型半導体層及び第2のn型半導体層を形成する第3工程と、前記第1のn型半導体層の上面及び側面を被覆する第1酸化膜を形成し、前記第2のn型半導体層の上面及び側面を被覆する第2酸化膜を形成する第4工程と、前記第1のn型半導体層の上面の一部が露出するように前記第1酸化膜の一部を除去し、露出した前記第1のn型半導体層の上面の一部にオーミック接触するソース電極を形成し、前記第2のn型半導体層の上面の一部が露出するように前記第2酸化膜の一部を除去し、露出した前記第2のn型半導体層の上面の一部にオーミック接触するドレイン電極を形成し、前記第1のn型半導体層及び前記第2のn型半導体層の間を埋めるように、前記第2の窒化物半導体層上にショットキー接触するゲート電極を形成する第5工程と、を備え、前記第5工程では、前記第1酸化膜及び前記第2酸化膜それぞれの上面側の少なくとも一部を被覆するように前記ゲート電極を形成する。

10

【発明の効果】

【0029】

本発明によれば、窒化物半導体のヘテロ接合を利用した電界効果トランジスタの性能を向上可能な技術を提供することができる。

20

【図面の簡単な説明】

【0030】

【図1】図1は、実施の形態に係る電界効果トランジスタを模式的に例示する断面図である。

【図2】図2は、実施の形態に係る電界効果トランジスタの製造過程の第1工程を例示する。

【図3】図3は、実施の形態に係る電界効果トランジスタの製造過程の第2工程を例示する。

【図4】図4は、実施の形態に係る電界効果トランジスタの製造過程の第3工程を例示する。

30

【図5】図5は、実施の形態に係る電界効果トランジスタの製造過程の第4工程における一状態を例示する。

【図6】図6は、実施の形態に係る電界効果トランジスタの製造過程の第4工程における一状態を例示する。

【図7】図7は、変形例に係る電界効果トランジスタを模式的に例示する断面図である。

【図8】図8は、変形例に係る電界効果トランジスタの製造過程の第1工程における一状態を例示する。

【図9】図9は、変形例に係る電界効果トランジスタの製造過程の第1工程における一状態を例示する。

【図10】図10は、変形例に係る電界効果トランジスタの製造過程の第2工程を例示する。

40

【図11】図11は、変形例に係る電界効果トランジスタの製造過程の第3工程を例示する。

【図12】図12は、変形例に係る電界効果トランジスタの製造過程の第4工程を例示する。

【図13】図13は、変形例に係る電界効果トランジスタを模式的に例示する断面図である。

【図14】図14は、変形例に係る電界効果トランジスタの製造過程の第1工程を例示する。

【図15】図15は、変形例に係る電界効果トランジスタの製造過程の第2工程を例示す

50

る。

【図16】図16は、変形例に係る電界効果トランジスタの製造過程の第3工程を例示する。

【図17】図17は、変形例に係る電界効果トランジスタの製造過程の第4工程を例示する。

【図18】図18は、変形例に係る電界効果トランジスタの製造過程の第5工程を例示する。

【図19】図19は、p型シリコン基板及びn型Ga_{0.5}In_{0.5}N層による接合の容量とバイアス電圧との関係の測定結果を示す。

【発明を実施するための形態】

10

【0031】

以下、本発明の一側面に係る実施の形態（以下、「本実施形態」とも表記する）を、図面に基づいて説明する。ただし、以下で説明する本実施形態は、あらゆる点において本発明の例示に過ぎない。本発明の範囲を逸脱することなく種々の改良や変形を行うことができることは言うまでもない。つまり、本発明の実施にあたって、実施形態に応じた具体的構成が適宜採用されてもよい。

【0032】

§1 構成例

まず、図1を用いて、本実施形態に係る電界効果トランジスタ1の構成を説明する。図1は、本実施形態に係る電界効果トランジスタ1を模式的に例示する断面図である。なお、説明の便宜のため、図1の上下方向を「上下」と、図1の左右方向を「左右」と称することとする。後述する各図面においても同様に、これらの方向の名称を利用する。

20

【0033】

図1で例示されるように、本実施形態に係る電界効果トランジスタ1は、下層側から順に、基板11と、Ga_{0.5}In_{0.5}N層12と、AlGa_{0.5}In_{0.5}N層13と、を備えている。

【0034】

基板11は、例えば、シリコン基板である。また、基板11の形状は適宜設定される。例えば、基板11の厚みは525μm程度に設定される。ただし、基板11の材料及び形状はこのような例に限定されなくてもよく、実施の形態に応じて適宜選択されてよい。基板11は、例えば、(0001)サファイア基板、4H-SiC基板、(0001)Ga_{0.5}In_{0.5}N基板であってもよい。

30

【0035】

Ga_{0.5}In_{0.5}N層12は、非ドープのGa_{0.5}In_{0.5}N（窒化ガリウム）で構成され、基板11の上方に形成される。Ga_{0.5}In_{0.5}N層12の形状は実施の形態に応じて適宜選択されてよい。例えば、Ga_{0.5}In_{0.5}N層12の厚みは、0.5μm～2μmの間で設定される。このGa_{0.5}In_{0.5}N層12は、本発明の「第1窒化物半導体層」に相当する。

【0036】

なお、図1の例では、Ga_{0.5}In_{0.5}N層12は、基板11の上面に積層している。しかしながら、Ga_{0.5}In_{0.5}N層12の位置はこのような例に限定されなくてもよく、Ga_{0.5}In_{0.5}N層12と基板11との間に、他の半導体層が設けられてもよい。例えば、Ga_{0.5}In_{0.5}N層12と基板11の間には、AlN（窒化アルミニウム）層が設けられてもよい。このAlN層の厚みは、例えば、100nm程度に設定される。また、Ga_{0.5}In_{0.5}N層12と基板11の間には、AlGa_{0.5}In_{0.5}N層及びGa_{0.5}In_{0.5}N層をそれぞれ1層以上交互に積層した多層構造を有する多層窒化物半導体層が設けられてもよい。

40

【0037】

AlGa_{0.5}In_{0.5}N層13は、非ドープのAlGa_{0.5}In_{0.5}N（窒化アルミニウムガリウム）で構成され、Ga_{0.5}In_{0.5}N層12上に積層される。AlGa_{0.5}In_{0.5}N層13の形状は実施の形態に応じて適宜選択されてよい。例えば、AlGa_{0.5}In_{0.5}N層13の厚みは、10nm～30nmの間で設定される。また、例えば、Alの組成比は、25%程度である。このAlGa_{0.5}In_{0.5}N層13は、本発明の「第2窒化物半導体層」に相当する。

50

【0038】

なお、第2窒化物半導体層の材料は、このような例に限定されなくてもよく、第1窒化物半導体層（Ga_{1-x}N_x層12）よりも大きいバンドギャップエネルギーを有する材料であれば、実施の形態に応じて適宜選択されてよい。例えば、AlGa_{1-x}N_x層13の代わりに、Ga_{1-x}N_x層12上には、AlN又はInAlN（窒化インジウムアルミニウム）で構成された窒化物半導体層を積層してもよい。また、例えば、AlGa_{1-x}N_x層13の代わりに、Ga_{1-x}N_x層12上には、AlGa_{1-x}N_x/AlN又はInAlN/AlNで構成された2層構造を有する多層窒化物半導体層を積層してもよい。この場合、多層窒化物半導体層は、Ga_{1-x}N_x層12にAlN層が接するように構成される。

【0039】

また、図1に例示されるように、本実施形態に係る電界効果トランジスタ1では、Ga_{1-x}N_x層12とAlGa_{1-x}N_x層13とで構成された窒化物構造体上に、p型シリコン層21が局部的に設けられる。図1の例では、p型シリコン層21は、左右方向の略中央に配置され、後述する異種材料接合によってAlGa_{1-x}N_x層13上に接合される。p型シリコン層21のp型不純物濃度は $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上が好ましく、 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以上がより好ましい。p型シリコン層21のドーピングには、例えば、ホウ素（B）、ガリウム（Ga）、アルミニウム（Al）が用いられる。また、p型シリコン層21の形状は実施の形態に応じて適宜選択されてよい。例えば、p型シリコン層21の厚みは、0.1 μm ~ 1 μmの間で設定される。このp型シリコン層21は、本発明の「p型半導体層」に相当する。

【0040】

なお、p型半導体層の材料は、このような例に限定される訳ではなく、窒化物半導体とは他種の半導体であれば、実施の形態に応じて適宜選択されてよい。ただし、p型半導体層は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上にp型不純物をドーピング可能な半導体で構成されるのが好ましい。このような $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上にp型不純物をドーピング可能な半導体として、シリコン（Si）の他に、ゲルマニウム（Ge）、ガリウムヒ素（GaAs）等を挙げることができる。これらの材料のうち、シリコンが、最も耐熱性の優れた材料である。そのため、本実施形態のように、p型半導体層の材料にはシリコンを用いるのが好ましい。

【0041】

このp型シリコン層21の上には、ゲート電極14が設けられている。ゲート電極14は、p型シリコン層21とオーミック接触で接続するように構成される。このゲート電極14の形状、配置及び材料は実施の形態に応じて適宜選択されてよい。例えば、ゲート電極14には、ニッケル（Ni）及び金（Au）が用いられる。この場合、ゲート電極14は、p型シリコン層21にはニッケルが接するように構成される。

【0042】

一方、AlGa_{1-x}N_x層13の上には、このゲート電極14を挟むように、ソース電極15及びドレイン電極16が設けられている。ソース電極15及びドレイン電極16は、ゲート電極14の両側に配置されており、AlGa_{1-x}N_x層13とオーミック接触で接続するように構成される。このソース電極15及びドレイン電極16の形状、配置及び材料は実施の形態に応じて適宜選択されてよい。例えば、ソース電極15及びドレイン電極16には、Ti（チタン）/Al（アルミニウム）/Ti/Au又はTi/Al/Ni/Auで構成された合金が用いられてよい。いずれの場合も、ソース電極15及びドレイン電極16は、AlGa_{1-x}N_x層13にはチタンが接するように構成される。

【0043】

なお、ソース電極15及びドレイン電極16の形成される窒化物半導体（AlGa_{1-x}N_x層13及びGa_{1-x}N_x層12）の領域には、ソース抵抗及びドレイン抵抗を低減するため、局部的にn型不純物がドーピングされてもよい。窒化物半導体にドーピングするn型不純物には、シリコン（Si）を用いることができる。例えば、イオン注入により窒化物半導体にシリコンをn型不純物濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上となるように導入し、n型不純物

10

20

30

40

50

をドーピングした窒化物半導体を活性化アニールによって活性化してもよい。これによって、ソース領域及びドレイン領域それぞれにn型不純物を局所的にドーピングし、ソース抵抗及びドレイン抵抗を低減することができる。

【0044】

<作用・効果>

以上のように、本実施形態に係る電界効果トランジスタ1では、AlGaIn層13がGaIn層12に積層しており、そのAlGaIn層13にp型シリコン層21が接合している。そして、ゲート電極14が、そのp型シリコン層21とオーミック接触で接続している。そのため、GaIn層12及びAlGaIn層13の界面で形成される2次元電子ガスとp型シリコン層21とによってpn接合がゲート領域に形成され、ゲートリーク電流が生じ難いように構成されている。

10

【0045】

ここで、本実施形態では、このpn接合を形成するために、異種材料接合によって、p型シリコン層21をAlGaIn層13に接合している。窒化物半導体と比べ、シリコンは、p型不純物を高濃度にドーピングすることが容易である。特に、シリコンは、p型不純物濃度が $1.0 \times 10^{20} \text{ cm}^{-3}$ 以上となるようにp型不純物をドーピングすることができる(例えば、Journal of Applied Physics 69, 2135 (1991); doi: 10.1063/1.348740)。そのため、本実施形態によれば、p型不純物濃度が低いことに起因する上記各問題点を解決することができ、これによって、電界効果トランジスタの性能を向上させることができる。

20

【0046】

また、本実施形態に係る基板11には、シリコン基板を用いることができる。すなわち、p型シリコン層21と基板11とを同一の材料で構成することができる。そのため、p型シリコン層21の熱膨張係数と基板11の熱膨張係数が一致し、高温動作中にp型シリコン層21と基板11とが同一の割合で膨張するようにすることができる。したがって、本実施形態によれば、耐熱性に優れた電界効果トランジスタを提供することができる。

【0047】

§2 製造工程

次に、図2～図6を用いて、本実施形態に係る電界効果トランジスタ1の製造工程を説明する。図2～図6は、本実施形態に係る電界効果トランジスタ1の製造過程の各工程を模式的に例示する断面図である。なお、以下で説明する製造工程は、電界効果トランジスタ1を製造する方法の一例に過ぎず、各工程は実施の形態に応じて適宜変更されてもよい。

30

【0048】

まず、第1工程として、図2に例示されるように、シリコン基板2上にメサ形状を有するp型シリコン領域21aを形成する。メサ形状とは、凸状の構造を意味する。そのため、p型シリコン領域21aの形状は、図2に例示されるような断面矩形状に限定される訳ではなく、例えば、断面台形状等であってもよい。

【0049】

このようなメサ形状を有するp型シリコン領域21aを形成する方法は、実施の形態に応じて適宜選択可能である。例えば、p型不純物濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上のp型シリコン基板をシリコン基板2として利用し、このp型シリコン基板をエッチングすることによって、メサ形状を有するp型シリコン領域21aを形成してもよい。

40

【0050】

また、例えば、非ドーブのシリコンで構成されたシリコン基板2の互いに離間した複数の領域に、イオン注入によりp型不純物をドーピングしてもよい。ドーピングに用いられるp型不純物は、例えば、ホウ素(B)、ガリウム(Ga)、アルミニウム(Al)であり、p型不純物濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上になるように、p型不純物をシリコン基板2にドーピングしてもよい。そして、p型不純物をドーピングしたシリコン基板2を活性化アニールにより活性化した後に、p型不純物をドーピングしていないその他の領域を

50

エッチングすることによって、メサ形状を有する複数の p 型シリコン領域 2 1 a を形成してもよい。

【0051】

なお、図 2 では、p 型シリコン領域 2 1 a が 3 箇所形成されている。しかしながら、形成する p 型シリコン領域 2 1 a の数は、このような例に限定される訳ではなく、実施の形態に応じて適宜選択されてよい。

【0052】

ここで、シリコン基板 2 は、本発明の「半導体基板」に相当し、p 型シリコン領域 2 1 a は、本発明の「p 型半導体領域」に相当する。p 型シリコン領域 2 1 a は、後述する第 3 工程により上記 p 型シリコン層 2 1 になる領域である。そのため、半導体基板及び p 型半導体領域の材料は、このような例に限定されなくてもよく、実施の形態に応じて適宜選択可能である。ただし、上記のとおり、p 型半導体領域が窒化物半導体とは他種の半導体で構成されるように、各材料は選択される。例えば、半導体基板には、p 型シリコン領域 2 1 a に代えて、ゲルマニウム (Ge) 又はガリウムヒ素 (GaAs) で構成される p 型半導体領域が形成されてもよい。

10

【0053】

次に、第 2 工程として、図 3 で例示されるように、上記基板 1 1、GaN 層 1 2 及び AlGaN 層 1 3 を備える窒化物構造体 1 0 0 にシリコン基板 2 を異種材料接合に貼り合わせる。具体的には、異種材料接合により、窒化物構造体 1 0 0 の AlGaN 層 1 3 にシリコン基板 2 の p 型シリコン領域 2 1 a を向けて、AlGaN 層 1 3 上に当該 p 型シリコン領域 2 1 a を接合する。

20

【0054】

異種材料接合の方法として、例えば、表面活性化ボンディング法（表面活性化常温接合法とも称される）が利用されてもよい。表面活性化ボンディング法は、接合する 2 つの対象物それぞれの表面に、ビーム（例えば、アルゴンビーム）又はプラズマを照射して、各表面を洗浄及び活性化した後、圧力を付与して表面同士を接合する接合方法である。表面活性化ボンディング法による接合工程は、真空中で行われる。

【0055】

この表面活性化ボンディング法により接合を行う場合には、まず、真空中で、窒化物構造体 1 0 0 の AlGaN 層 1 3 側の面と、シリコン基板 2 の p 型シリコン領域 2 1 a 側の面とに、アルゴンビームを照射する。このとき、窒化物構造体 1 0 0 及びシリコン基板 2 は、AlGaN 層 1 3 側の面と p 型シリコン領域 2 1 a 側の面とが互いに対向するように、真空チャンバー（不図示）内で保持されている。また、真空チャンバーには、アルゴンビームを発生させるビーム発生器（不図示）が設置されており、このビーム発生器によって、各処理対象物の面にアルゴンビームが照射される。

30

【0056】

次に、真空中で、所定の圧力（例えば、10 MPa）を付与して、窒化物構造体 1 0 0 の AlGaN 層 1 3 側の面とシリコン基板 2 の p 型シリコン領域 2 1 a 側の面とを接合する。このとき、窒化物構造体 1 0 0 の AlGaN 層 1 3 側の面及びシリコン基板 2 の p 型シリコン領域 2 1 a 側の面ではそれぞれ、アルゴンビームの照射により、酸化膜、水、有機物等の汚染物が除去される。また、アルゴンビームの照射によって、窒化物構造体 1 0 0 の AlGaN 層 1 3 側の面及びシリコン基板 2 の p 型シリコン領域 2 1 a 側の面はそれぞれ化学結合を形成しやすい活性な状態になっている。更に、当該接合工程は真空中で行われるため、アルゴンビームの照射後に、窒化物構造体 1 0 0 の AlGaN 層 1 3 側の面及びシリコン基板 2 の p 型シリコン領域 2 1 a 側の面が汚染物で再び覆われることはない。そのため、所定の圧力を付与して、窒化物構造体 1 0 0 の AlGaN 層 1 3 側の面とシリコン基板 2 の p 型シリコン領域 2 1 a 側の面とを接触させることにより、これらの面を強固に接合することができる。

40

【0057】

なお、窒化物構造体 1 0 0 を形成する方法は実施の形態に応じて適宜選択されてよい。

50

例えば、基板 1 1 にシリコン基板を用いた場合には、MOCVD (Metal Organic Chemical Vapor Deposition, 有機金属気相成長) 法等によって、このシリコン基板の面方位 (1 1 1) の面上に、GaN 層 1 2 及び AlGaN 層 1 3 をエピタキシャル成長させる。これによって、窒化物構造体 1 0 0 を形成することができる。

【0058】

次に、第 3 工程として、図 3 及び図 4 に例示されるように、貼り合わせたシリコン基板 2 を、p 型シリコン領域 2 1 a を残して除去することで、AlGaN 層 1 3 上に接合された p 型シリコン層 2 1 を形成する。例えば、図 3 に例示される線 L に沿って、エッチングを行うことによって、シリコン基板 2 を除去してもよい。図 3 に例示されるように、p 型シリコン領域 2 1 a の領域を一部含んで、シリコン基板 2 を除去してもよい。また、例えば、図 3 に例示される線 L に沿って、イオン注入により水素原子を導入し、更に熱処理を行うことによって、シリコン基板 2 を線 L に沿って切断してもよい (いわゆるスマートカット法)。これによって、図 4 に例示されるように、p 型シリコン領域 2 1 a を残してシリコン基板 2 を除去し、AlGaN 層 1 3 上に p 型シリコン層 2 1 を形成することができる。すなわち、シリコン基板 2 を除去した後に AlGaN 層 1 3 上に残留した p 型シリコン領域 2 1 a が、p 型シリコン層 2 1 となる。

【0059】

最後に、第 4 工程として、各所定の領域に各電極を形成する。具体的には、図 5 に例示されるように、AlGaN 層 1 3 の所定の領域にチタン等で構成された合金を積層し、積層した合金層に熱処理を行うことによって、ソース電極 1 5 及びドレイン電極 1 6 を形成することができる。また、図 6 に例示されるように、p 型シリコン層 2 1 の上面にニッケル等で構成された合金を積層することによって、ゲート電極 1 4 を形成することができる。ゲート電極 1 4 を形成する際に、熱処理を行ってもよい。更に、図 6 に例示されるように、1 つの基板 1 1 上に複数の電界効果トランジスタ 1 が形成される場合には、各電界効果トランジスタ 1 は、所定の素子間分離法によって、電気的に分離される。素子間を分離する方法には、公知の方法が利用可能である。これによって、本実施形態に係る電界効果トランジスタ 1 を作製することができる。

【0060】

なお、図 5 及び図 6 では、ゲート電極 1 4 よりもソース電極 1 5 及びドレイン電極 1 6 が先に形成されている。しかしながら、ゲート電極 1 4、ソース電極 1 5 及びドレイン電極 1 6 を形成する順序は、このような例に限定されなくてもよく、実施の形態に応じて適宜選択可能である。また、各電極 1 4 ~ 1 6 を同時に形成してもよい。

【0061】

§ 3 変形例

以上、本発明の実施の形態を詳細に説明してきたが、前述までの説明はあらゆる点において本発明の例示に過ぎない。本発明の範囲を逸脱することなく種々の改良や変形を行うことができることは言うまでもない。なお、以下の各変形例の説明では、上記実施形態と同様の内容については、適宜説明を省略する。

【0062】

[第 1 変形例]

例えば、上記実施形態では、ソース電極 1 5 及びドレイン電極 1 6 は、AlGaN 層 1 3 に直接接続している。しかしながら、電界効果トランジスタ 1 の構成はこのように例に限定されなくてもよく、例えば、ソース電極 1 5 及びドレイン電極 1 6 それぞれと AlGaN 層 1 3 との間には、n 型半導体層が設けられてもよい (第 1 変形例)。以下、図 7 ~ 図 1 2 を用いて、この第 1 変形例について説明する。

【0063】

< 構成例 >

まず、図 7 を用いて、第 1 変形例に係る電界効果トランジスタ 3 の構成例について説明する。図 7 は、第 1 変形例に係る電界効果トランジスタ 3 を模式的に例示する断面図である。図 7 に例示されるように、当該第 1 変形例に係る電界効果トランジスタ 3 は、下層側

10

20

30

40

50

から順に、基板 3 1、Ga N 層 3 2 及び Al Ga N 層 3 3 を備える。この基板 3 1、Ga N 層 3 2 及び Al Ga N 層 3 3 はそれぞれ、上記実施形態における基板 1 1、Ga N 層 1 2 及び Al Ga N 層 1 3 と同様である。

【0064】

また、第 1 変形例に係る電界効果トランジスタ 3 では、Al Ga N 層 3 3 上には p 型シリコン層 4 1 が積層され、p 型シリコン層 4 1 上にはゲート電極 3 4 が形成されている。この p 型シリコン層 4 1 及びゲート電極 3 4 はそれぞれ、上記実施形態における p 型シリコン層 2 1 及びゲート電極 1 4 と同様である。

【0065】

一方、第 1 変形例に係る電界効果トランジスタ 3 では、上記実施形態とは異なり、p 型シリコン層 4 1 を挟むように、一对の n 型シリコン層 (4 2、4 3) が設けられる。一对の n 型シリコン層 (4 2、4 3) は、p 型シリコン層 4 1 の両側に配置され、p 型シリコン層 4 1 と同様に、Al Ga N 層 3 3 上に異種材料接合によりそれぞれ接合される。

10

【0066】

各 n 型シリコン層 (4 2、4 3) の n 型不純物濃度は $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上が好ましく、 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以上がより好ましい。各 n 型シリコン層 (4 2、4 3) のドーピングには、例えば、リン (P)、アンチモン (Sb)、ヒ素 (As) が用いられる。また、各 n 型シリコン層 (4 2、4 3) の形状は実施の形態に応じて適宜選択されてよい。例えば、各 n 型シリコン層 (4 2、4 3) の厚みは、p 型シリコン層 4 1 と同様に、 $0.1 \mu\text{m} \sim 1 \mu\text{m}$ の間で設定される。

20

【0067】

そして、ソース電極 3 5 及びドレイン電極 3 6 は、当該一对の n 型シリコン層 (4 2、4 3) それぞれの上に形成される。図 7 の例では、n 型シリコン層 4 2 上にソース電極 3 5 が形成され、n 型シリコン層 4 3 上にドレイン電極 3 6 が形成されている。ソース電極 3 5 及びドレイン電極 3 6 はそれぞれ、各 n 型シリコン層 (4 2、4 3) とオーミック接触で接続するように構成される。ソース電極 3 5 及びドレイン電極 3 6 は、配置場所を除き、上記実施形態におけるソース電極 1 5 及びドレイン電極 1 6 と同様である。

【0068】

なお、ソース電極 3 5 及びドレイン電極 3 6 それぞれと Al Ga N 層 3 3 との間に設ける各 n 型半導体層の材料は、シリコンに限定されなくてもよく、実施の形態に応じて適宜選択されてもよい。例えば、各 n 型半導体層の材料には、シリコンの他に、ゲルマニウム (Ge)、ガリウムヒ素 (GaAs) 等が用いられてもよい。

30

【0069】

< 作用・効果 >

以上のように、第 1 変形例に係る電界効果トランジスタ 3 では、上記実施形態に係る電界効果トランジスタ 1 に加えて、ソース電極 3 5 及びドレイン電極 3 6 それぞれと Al Ga N 層 3 3 との間に、各 n 型シリコン層 (4 2、4 3) が設けられる。シリコンの融点は 1412 であり、各 n 型シリコン層 (4 2、4 3) と Al Ga N 層 3 3 との間の接合界面の構造は、Al Ga N 層に直接金属電極を積層した構造よりも高い熱的安定性を有する。そのため、本第 1 変形例によれば、耐熱性に優れた電界効果トランジスタを提供することができる。

40

【0070】

また、窒化物半導体層にソース電極及びドレイン電極をオーミック接触させる場合には、ソース電極及びドレイン電極を構成する金属層を窒化物半導体層に積層した後に、これらの金属層を 750 程度の高温で熱処理することになる。これによって、各電極の表面には凹凸、クラック等が発生してしまい、電界効果トランジスタの長期信頼性が損なわれてしまう。

【0071】

これに対して、本第 1 変形例では、ソース電極 3 5 及びドレイン電極 3 6 それぞれを各 n 型シリコン層 (4 2、4 3) にオーミック接触させる。この場合には、ソース電極 3 5

50

及びドレイン電極36を構成する金属層に対する熱処理の温度は、室温～400程度で済む。そのため、ソース電極35及びドレイン電極36の表面に凹凸、クラック等が発生するのを防止することができ、電界効果トランジスタの長期信頼性を高めることができる。

【0072】

<製造工程>

次に、図8～図12を用いて、本第1変形例に係る電界効果トランジスタ3の製造工程を説明する。図8～図12は、本第1変形例に係る電界効果トランジスタ3の製造過程の各工程を模式的に例示する断面図である。なお、以下で説明する製造工程は、電界効果トランジスタ3を製造する方法の一例に過ぎず、各工程は実施の形態に応じて適宜変更されてもよい。

10

【0073】

まず、第1工程として、図8及び図9に例示されるように、シリコン基板4上にそれぞれメサ形状を有するp型シリコン領域41a及び各n型シリコン領域(42a、43a)を形成する。本第1変形例における第1工程は、上記実施形態における第1工程とほぼ同様に実施可能である。

【0074】

すなわち、図8に例示されるように、非ドーブのシリコンで構成されたシリコン基板4の互いに離間した各領域に、イオン注入によりp型不純物をドーピングする。また、p型不純物をドーピングした領域両側の各領域に、イオン注入によりn型不純物をドーピングする。そして、p型不純物及びn型不純物をドーピングしたシリコン基板4を活性化アニールにより活性化した後に、図9に例示されるように、p型不純物及びn型不純物をドーピングしていないその他の領域をエッチングする。これによって、シリコン基板4上にそれぞれメサ形状を有するp型シリコン領域41a及び各n型シリコン領域(42a、43a)を形成することができる。

20

【0075】

なお、シリコン基板4には、高抵抗のシリコン基板が用いられるのが好ましい。例えば、シリコン基板4には、1cmの抵抗率を有するシリコン基板が用いられてもよい。また、シリコン基板4には、 $3.0 \times 10^{15} \text{ cm}^{-3}$ 以下のn型不純物濃度を有するn型シリコン基板が用いられてもよい。更に、シリコン基板4には、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以下のp型不純物濃度を有するp型シリコン基板が用いられてもよい。

30

【0076】

次に、第2工程として、図10で例示されるように、上記基板31、Ga_{0.5}N層32及びAlGa_{0.5}N層33を備える窒化物構造体300にシリコン基板4を異種材料接合に貼り合わせる。具体的には、異種材料接合により、窒化物構造体300のAlGa_{0.5}N層33にシリコン基板4のp型シリコン領域41a及び各n型シリコン領域(42a、43a)を向けて、AlGa_{0.5}N層33上に当該p型シリコン領域41a及び各n型シリコン領域(42a、43a)を接合する。本第1変形例における第2工程は、上記実施形態における第2工程と同様である。

【0077】

次に、第3工程として、図11で例示されるように、貼り合わせたシリコン基板4を、p型シリコン領域41a及び各n型シリコン領域(42a、43a)を残して除去することで、AlGa_{0.5}N層33上に接合されたp型シリコン層41及び各n型シリコン層(42、43)を形成する。本第1変形例における第3工程は、上記実施形態における第3工程と同様である。

40

【0078】

最後に、第4工程として、図12で例示されるように、各所定の領域に各電極を形成する。具体的には、図12に例示されるように、p型シリコン層41上にゲート電極34を形成する。n型シリコン層42上にソース電極35を形成する。n型シリコン層43上にドレイン電極36を形成する。ソース電極35及びドレイン電極36の位置を除き、本第

50

1変形例における第4工程は、上記実施形態に係る実施形態における第4工程と同様である。これによって、本第1変形例に係る電界効果トランジスタ3を作製することができる。なお、上記のとおり、本第4工程において、ソース電極35及びドレイン電極36を構成する金属層に対する熱処理の温度は、室温～400程度で済む。なお、ゲート電極34、ソース電極35及びドレイン電極36を形成する順序は、実施の形態に応じて適宜選択されてよい。例えば、ソース電極35及びドレイン電極36を形成した後に、ゲート電極34を形成してもよい。また、各電極34～36を同時に形成してもよい。

【0079】

[第2変形例]

また、上記第1変形例では、ソース電極35及びドレイン電極36それぞれとAlGaN層33との間に、各n型シリコン層(42、43)が設けられている。このような場合、p型シリコン層41を省略し、ゲート電極34をAlGaN層33に直接接続させてもよい(第2変形例)。以下、図13～図18を用いて、この第2変形例について説明する。

10

【0080】

<構成例>

まず、図13を用いて、第2変形例に係る電界効果トランジスタ5の構成例について説明する。図13は、第2変形例に係る電界効果トランジスタ5を模式的に例示する断面図である。図13に例示されるように、当該第2変形例に係る電界効果トランジスタ5は、下層側から順に、基板51、GaN層52及びAlGaN層53を備える。この基板51、GaN層52及びAlGaN層53はそれぞれ、上記第1変形例における基板31、GaN層32及びAlGaN層33と同様である。

20

【0081】

また、第2変形例に係る電界効果トランジスタ5では、第1のn型シリコン層61及び第2のn型シリコン層62が、AlGaN層53上に異種材料接合により接合されている。第1のn型シリコン層61と第2のn型シリコン層62とは互いに離間した位置に配置されている。各n型シリコン層(61、62)は、上記第1変形例における各n型シリコン層(42、43)と同様である。すなわち、第1のn型シリコン層61は、本発明の「第1のn型半導体層」に相当し、第2のn型シリコン層62は、本発明の「第2のn型半導体層」に相当する。

30

【0082】

一方、第2変形例に係る電界効果トランジスタ5では、上記第1変形例とは異なり、第1のn型シリコン層61の上面の一部及び第2のn型シリコン層62側の側面を被覆する第1酸化膜63が設けられている。図13の例では、第1酸化膜63は、第1のn型シリコン層61の上面中央付近から右側の側面下端にかけて形成されている。同様に、本第2変形例では、第2のn型シリコン層62の上面の一部及び第1のn型シリコン層61側の側面を被覆する第2酸化膜64が設けられている。図13の例では、第2酸化膜64は、第2のn型シリコン層62の上面中央付近から左側の側面下端にかけて形成されている。

【0083】

そして、本第2変形例では、第1のn型シリコン層61の上面上にソース電極55が形成され、第2のn型シリコン層62の上面上にドレイン電極56が形成される。具体的には、ソース電極55は、第1のn型シリコン層61の上面上の、第1酸化膜63が形成されていない領域に積層され、第1のn型シリコン層61とオーミック接触で接続するように構成される。同様に、ドレイン電極56は、第2のn型シリコン層62の上面上の、第2酸化膜64が形成されていない領域に積層され、第2のn型シリコン層62とオーミック接触で接続するように構成される。なお、図13では不図示であるが、第1酸化膜63は、ソース電極55が形成される領域を除く第1のn型シリコン層61の上面全域及び第1のn型シリコン層61の各側面全域を被覆するように形成されてよい。同様に、第2酸化膜64は、ドレイン電極56が形成される領域を除く第2のn型シリコン層62の上面全域及び第2のn型シリコン層62の各側面全域を被覆するように形成されてよい。ソー

40

50

ス電極 5 5 及びドレイン電極 5 6 のその他の内容については、上記第 1 変形例におけるソース電極 3 5 及びドレイン電極 3 6 と同様である。

【 0 0 8 4 】

更に、本第 2 変形例では、第 1 の n 型シリコン層 6 1 及び第 2 の n 型シリコン層 6 2 の間にゲート電極 5 4 が形成される。具体的には、ゲート電極 5 4 は、図 1 3 に例示されるように、第 1 の n 型シリコン層 6 1 及び第 2 の n 型シリコン層 6 2 の間を埋めるように AlGaIn 層 5 3 上に積層され、AlGaIn 層 5 3 とショットキー接触で接続するように構成される。

【 0 0 8 5 】

このとき、ゲート電極 5 4 は、第 1 酸化膜 6 3 及び第 2 酸化膜 6 4 それぞれの上面側の少なくとも一部を被覆するように形成される。図 1 3 の例では、ゲート電極 5 4 は、上端側が左右方向に延びており、断面 T 字上に形成されている。これによって、ゲート電極 5 4 は、第 1 酸化膜 6 3 の上面の右側領域と第 2 酸化膜 6 4 の上面の左側領域とを被覆するように形成されている。なお、ゲート電極 5 4 のその他の内容については、上記第 1 変形例におけるゲート電極 3 4 と同様である。

【 0 0 8 6 】

< 作用・効果 >

以上のように、第 2 変形例に係る電界効果トランジスタ 5 では、ソース領域となる第 1 の n 型シリコン層 6 1 及びドレイン領域となる第 2 の n 型シリコン層 6 2 をそれぞれ第 1 酸化膜 6 3 及び第 2 酸化膜 6 4 で被覆している。そして、その第 1 酸化膜 6 3 及び第 2 酸化膜 6 4 それぞれの上面側の一領域を断面 T 字上のゲート電極 5 4 で被覆している。

【 0 0 8 7 】

これによって、ゲート電極 5 4 によりキャリアを操作可能な領域をソース・ゲート間及びゲート・ドレイン間に拡げることができる。すなわち、本第 2 変形例では、ゲート電極 5 4 の上端側が左右方向に延びており、第 1 酸化膜 6 3 及び第 2 酸化膜 6 4 の上面側の一領域を被覆している。そのため、この第 1 酸化膜 6 3 及び第 2 酸化膜 6 4 の上面側の一領域を被覆しているゲート電極 5 4 の一部分直下のキャリアを、ゲート電極 5 4 によって操作することができる。したがって、本第 2 変形例によれば、ソース電極・ゲート電極間及びゲート電極・ドレイン電極間が離間していることに起因する上記問題点を解決することができ、窒化物半導体のヘテロ接合を利用した電界効果トランジスタの性能を向上させることができる。

【 0 0 8 8 】

また、上記第 1 変形例と同様に、ソース電極 5 5 及びドレイン電極 5 6 はそれぞれ、AlGaIn 層 5 3 上に形成されるのではなく、各 n 型シリコン層 (6 1 、 6 2) 上に形成される。そのため、ソース電極 3 5 及びドレイン電極 3 6 の表面に凹凸、クラック等が発生するのを防止することができ、電界効果トランジスタの長期信頼性を高めることができる。

【 0 0 8 9 】

< 製造工程 >

次に、図 1 4 ~ 図 1 8 を用いて、本第 2 変形例に係る電界効果トランジスタ 5 の製造工程を説明する。図 1 4 ~ 図 1 8 は、本第 2 変形例に係る電界効果トランジスタ 5 の製造過程の各工程を模式的に例示する断面図である。なお、以下で説明する製造工程は、電界効果トランジスタ 5 を製造する方法の一例に過ぎず、各工程は実施の形態に応じて適宜変更されてもよい。

【 0 0 9 0 】

まず、第 1 工程として、図 1 4 に例示されるように、シリコン基板 6 上の互いに離間した位置に、それぞれメサ形状を有する第 1 の n 型シリコン領域 6 1 a 及び第 2 の n 型シリコン領域 6 2 a を形成する。メサ形状の形成及び各材料については、上記実施形態及び第 1 変形例と同様である。

【 0 0 9 1 】

10

20

30

40

50

次に、第2工程として、図15で例示されるように、上記基板51、GaN層52及びAlGaN層53を備える窒化物構造体500にシリコン基板6を異種材料接合に貼り合わせる。具体的には、異種材料接合により、窒化物構造体500のAlGaN層53にシリコン基板6の各n型シリコン領域(61a、62a)を向けて、AlGaN層53上に当該各n型シリコン領域(61a、62a)を接合する。本第2変形例における第2工程は、上記実施形態及び上記第1変形例における第2工程と同様である。

【0092】

次に、第3工程として、図16で例示されるように、貼り合わせたシリコン基板6を、各n型シリコン領域(61a、62a)を残して除去することで、AlGaN層53上に接合された各n型シリコン層(61、62)を形成する。本第2変形例における第3工程は、上記実施形態及び上記第1変形例における第3工程と同様である。

10

【0093】

次に、第4工程として、図17で例示されるように、第1のn型シリコン層61の上面及び各側面を被覆する第1酸化膜63を形成し、第2のn型シリコン層62の上面及び各側面を被覆する第2酸化膜64を形成する。例えば、各n型シリコン層(61、62)の上面及び各側面に公知の熱酸化処理を施すことで、絶縁性の各酸化膜(63、64)を形成することができる。

【0094】

最後に、第5工程として、図18に例示されるように、各所定の領域に各電極を形成する。具体的には、第1のn型シリコン層61の上面の一部が露出するように第1酸化膜63の一部を除去し、露出した第1のn型シリコン層61の上面の一部にオーミック接触で接続するようにソース電極55を形成する。また、第2のn型シリコン層62の上面の一部が露出するように第2酸化膜64の一部を除去し、露出した第2のn型シリコン層62の上面の一部にオーミック接触で接続するようにドレイン電極56を形成する。更に、第1のn型シリコン層61及び第2のn型シリコン層62の間を埋めるようにニッケル等で構成された合金を積層することで、AlGaN層53にショットキー接触で接続するゲート電極54を形成する。このとき、上記のとおり、各酸化膜(63、64)の上面側の少なくとも一部を被覆するようにゲート電極54を形成する。これによって、本第2変形例に係る電界効果トランジスタ5を作製することができる。なお、ゲート電極54、ソース電極55及びドレイン電極56を形成する順序は、このような例に限定されなくてもよく、実施の形態に応じて適宜選択されてよい。例えば、ゲート電極54を形成した後に、ソース電極55及びドレイン電極56のいずれかを形成してもよい。また、各電極54~56を同時に形成してもよい。

20

30

【0095】

§4 実験例

上記実施形態に係る電界効果トランジスタ1の各効果を検証するため、以下の各シミュレーションを行った。

【0096】

<実験例1>

まず、本実施形態に係る電界効果トランジスタ1の閾値電圧 V_T (V)を検証するため、次のシミュレーションを行った。すなわち、閾値電圧 V_T は、以下の数1で与えられることが一般的に知られている。

40

【0097】

【数1】

$$V_T = \phi - \frac{1}{q} \Delta E_C - \frac{q\sigma}{\epsilon} t$$

ϕ : ショットキー障壁、 $\frac{1}{q} \Delta E_C$: AlGaN/GaNにおける伝導帯の不連続量

50

なお、 t は AlGaIn 層の厚みを意味し、 ϵ は AlGaIn の誘電率を意味する。また、 ϕ は、分極差による界面電極密度を意味する。 q は素電荷である。

【0098】

ここで、文献「Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaIn/GaN heterostructures (J. Appl. Phys. 85 No. 6 pp. 3222-3233 (1999))」によると、ショットキー障壁は以下の数2のように与えられ、AlGaIn の誘電率は以下の数3のように与えられる。

【0099】

【数2】

$$\phi = 1.3x + 0.84$$

10

【数3】

$$\epsilon = (9.5 - 0.5x) \times \epsilon_0$$

なお、 x は AlGaIn における Al 比率を意味し、 ϵ_0 は、真空の誘電率を意味する。

【0100】

また、同じく文献「Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaIn/GaN heterostructures (J. Appl. Phys. 85 No. 6 pp. 3222-3233 (1999))」によると、AlGaIn / GaN における伝導帯の不連続量は、以下の数4のように計算できる。

20

【0101】

【数4】

$$\frac{1}{q} \Delta E_C = 0.7 \times \{E_g(\text{AlGaIn}) - E_g(\text{GaN})\} \\ = 0.7 \times \{x \times (6.13 - 3.42) - x \times (1 - x) \times 1.0\}$$

なお、 $E_g(\text{AlGaIn})$ は AlGaIn のバンドギャップエネルギーを意味し、 $E_g(\text{GaN})$ は GaN のバンドギャップエネルギーを意味する。

【0102】

30

更に、文献「Growth and application of Group III-nitrides (J. Phys. D: Appl. Phys. 31 pp.2653-2710(1998))」によると、以下の数5が与えられる。

【0103】

【数5】

$$q\sigma = 0.068x(C/m^2)$$

【0104】

以上の各関係式に基づいて、上記の第1の従来例の閾値電圧 V_T の関係式を求めた。そして、これによって、上記第1の従来例では、Al比率 x が 0.25 のときに閾値電圧 V_T が 0 V 以上であるためには、AlGaIn の厚み t_1 は 4 nm 以下でなければならないという計算結果を得た。

40

【0105】

一方、閾値電圧 V_T が 0 V 以上であるために必要な、上記実施形態における AlGaIn 層13の厚み t_2 を計算するために次のような実験を行った。すなわち、p型不純物濃度が $2.6 \times 10^{19} \text{ cm}^{-3}$ である p 型シリコン基板上に n 型不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ である n 型 GaN 層を公知の方法で形成した。そして、p 型シリコン基板及び n 型 GaN 層で構成される接合の容量とバイアス電圧との関係を測定した。測定結果を図19に示す。

【0106】

図19は、p 型シリコン基板及び n 型 GaN 層による接合の容量とバイアス電圧との関

50

係の測定結果を示す。図19の一点鎖線が測定結果を示す。当該測定結果によると、p型シリコン基板及びn型GaN層による接合のフラットバンド電圧は1.2Vであることが分かった。これをp型シリコン層21とAlGaN層13との関係に置き換えると、次の数6で与えられる。

【0107】

【数6】

$$\phi = V_{FB} + \frac{1}{q} \Delta E_C$$

なお、 V_{FB} は、上記フラットバンド電圧を意味する。

10

【0108】

以上の関係式に基づいて、上記実施形態の閾値電圧 V_T の関係式を求めた。そして、これによって、上記実施形態では、閾値電圧 V_T が0V以上であるためには、AlGaN層13の厚み t_2 は6nm以下であればよいという計算結果を得た。したがって、当該シミュレーションによれば、上記実施形態では、上記第1の従来例に比べて、AlGaN層13の厚みを厚くできることが分かった。よって、上記実施形態はより製造が簡単であることが分かった。

【0109】

< 実験例2 >

次に、上記p型シリコン層21のp型不純物濃度を $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上とした場合の効果を検証するために、次のシミュレーションを行った。すなわち、文献「Gate Injection Transistor (GIT) - A Normally-Off AlGaIn/GaN Power Transistor Using Conductivity Modulation (TRANSACTIONS ON ELECTRON DEVICES, VOL. 54, NO. 12, DECEMBER 2007 pp. 3393-3399)」では、p-AlGaN/i-AlGaN/GaN構造を用いたGIT (Gate Injection Transistor) が開示されている。

20

【0110】

このGITのAlGaNのAl比率 x は0.15であり、i-AlGaN層の厚み w_i は25nmである。AlGaN層とGaN層との界面には、AlGaN及びGaNの分極差に対応する正の界面電荷が存在し、その面密度は、AlGaNのAl比率 x に依存する。文献「Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaIn/GaN heterostructures (J. Appl. Phys. 85 No. 6 pp. 3222-3233 (1999))」によれば、界面電荷密度は、Al比率 x が0.15のときに $8.0 \times 10^{12} \text{ cm}^{-2}$ となる。

30

【0111】

ここで、p-AlGaN層中の空乏層の広さ w_p は、界面電荷密度をp-AlGaN層中の不純物濃度で割った値に等しい。そのため、上記の第2の従来例におけるp型窒化物半導体層(p-AlGaN層)のp型不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ のときのp型窒化物半導体層中の空乏層の広さ w_{p1} は、「 $(8.0 \times 10^{12} \text{ cm}^{-2}) \div (1.0 \times 10^{18} \text{ cm}^{-3}) = 80 \text{ nm}$ 」であるという計算結果を得た。一方、上記実施形態におけるp型シリコン層21のp型不純物濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上のときのp型シリコン層21中の空乏層の広さ w_{p2} は8nm以下であるという計算結果を得た。

40

【0112】

GITのスイッチング速度を規定する実効的なバリア厚さは、バリア層の厚み w_i と空乏層の広さ w_p との合計で与えられる。したがって、当該シミュレーション結果によって、従来の電界効果トランジスタでは、スイッチング速度が著しく低下してしまうことが分かった。これに対して、上記実施形態では、p型シリコン層21中の空乏層の発生を抑えることができるため、スイッチング速度を飛躍的に改善できることが分かった。

【符号の説明】

【0113】

1... 電界効果トランジスタ、

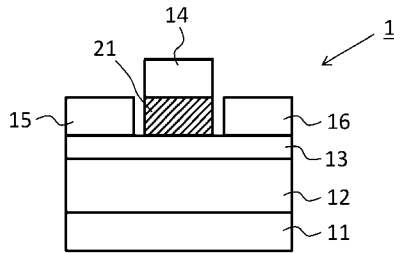
50

- 1 1 ... 基板、 1 2 ... G a N 層 (第 1 窒化物半 導 体 層) 、
- 1 3 ... A l G a N 層 (第 2 窒化物半 導 体 層) 、
- 1 4 ... ゲート電極、 1 5 ... ソース電極、 1 6 ... ドレイン電極、
- 2 1 ... p 型シリコン層 (p 型半 導 体 層) 、
- 2 1 a ... p 型シリコン領域 (p 型半 導 体 領 域) 、
- 3 ... 電界効果トランジスタ、
- 3 1 ... 基板、 3 2 ... G a N 層 (第 1 窒化物半 導 体 層) 、
- 3 3 ... A l G a N 層 (第 2 窒化物半 導 体 層) 、
- 3 4 ... ゲート電極、 3 5 ... ソース電極、 3 6 ... ドレイン電極、
- 4 1 ... p 型シリコン層、 4 1 a ... p 型シリコン領域、
- 4 2 ・ 4 3 ... n 型シリコン層、 4 2 a ・ 4 3 a ... n 型シリコン領域、
- 5 ... 電界効果トランジスタ、
- 5 1 ... 基板、 5 2 ... G a N 層 (第 1 窒化物半 導 体 層) 、
- 5 3 ... A l G a N 層 (第 2 窒化物半 導 体 層) 、
- 5 4 ... ゲート電極、 5 5 ... ソース電極、 5 6 ... ドレイン電極、
- 6 1 ... 第 1 の n 型シリコン層 (第 1 の n 型半 導 体 層) 、
- 6 1 a ... 第 1 の n 型シリコン領域 (第 1 の n 型半 導 体 領 域) 、
- 6 2 ... 第 2 の n 型シリコン層 (第 2 の n 型半 導 体 層) 、
- 6 2 a ... 第 2 の n 型シリコン領域 (第 2 の n 型半 導 体 領 域) 、
- 6 3 ... 第 1 酸化膜、 6 4 ... 第 2 酸化膜

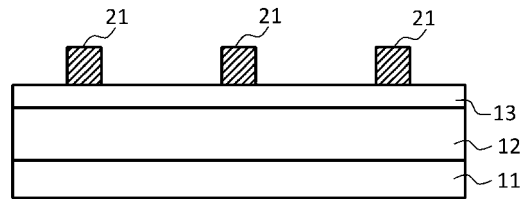
10

20

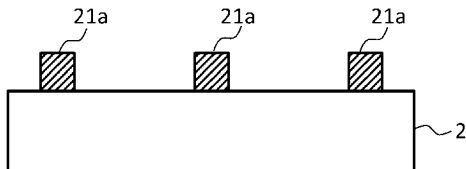
【 図 1 】



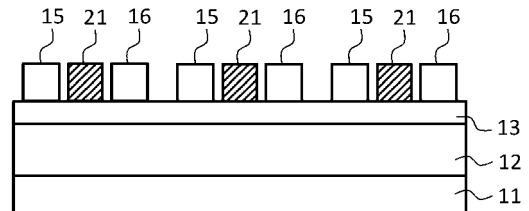
【 図 4 】



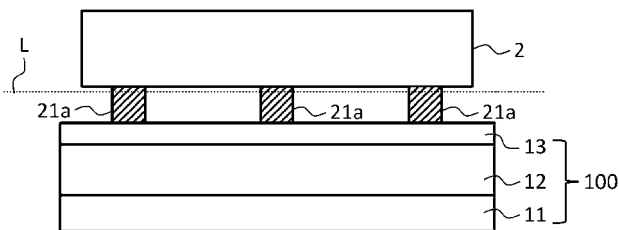
【 図 2 】



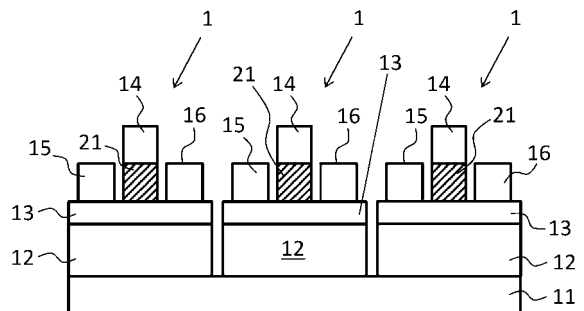
【 図 5 】



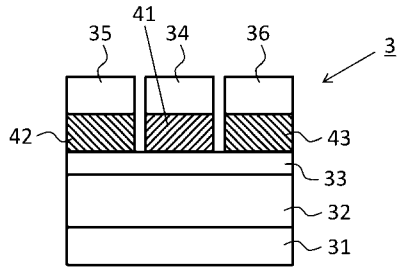
【 図 3 】



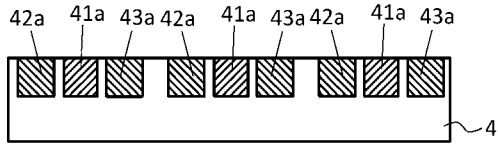
【 図 6 】



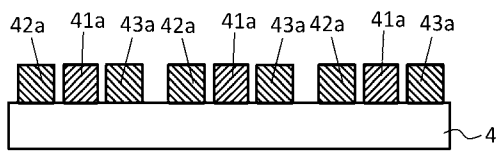
【 図 7 】



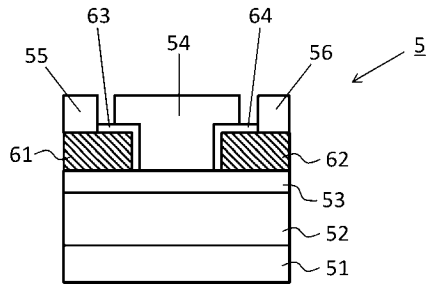
【 図 8 】



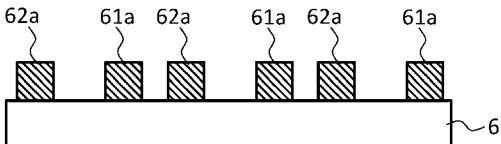
【 図 9 】



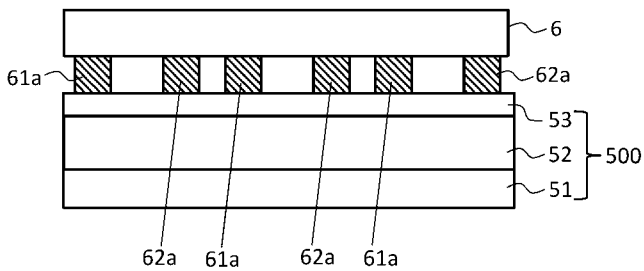
【 図 1 3 】



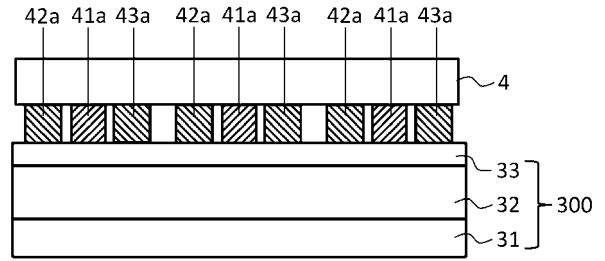
【 図 1 4 】



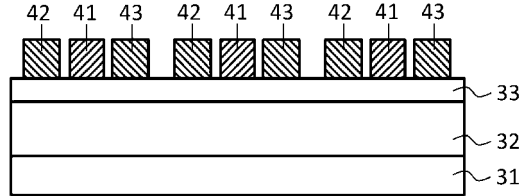
【 図 1 5 】



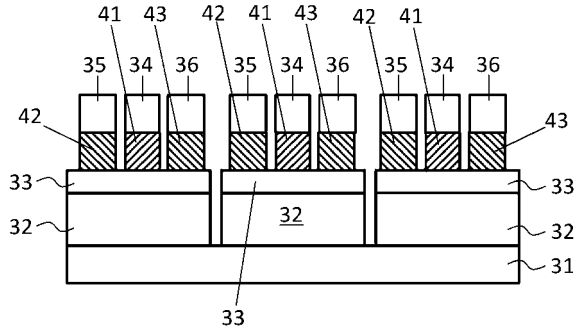
【 図 1 0 】



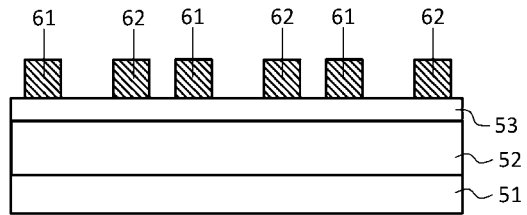
【 図 1 1 】



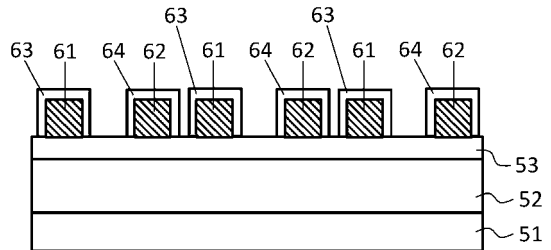
【 図 1 2 】



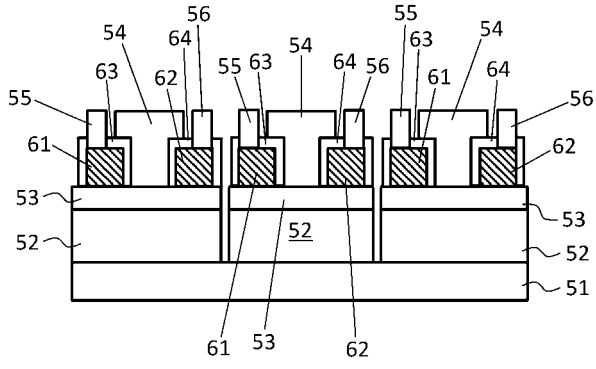
【 図 1 6 】



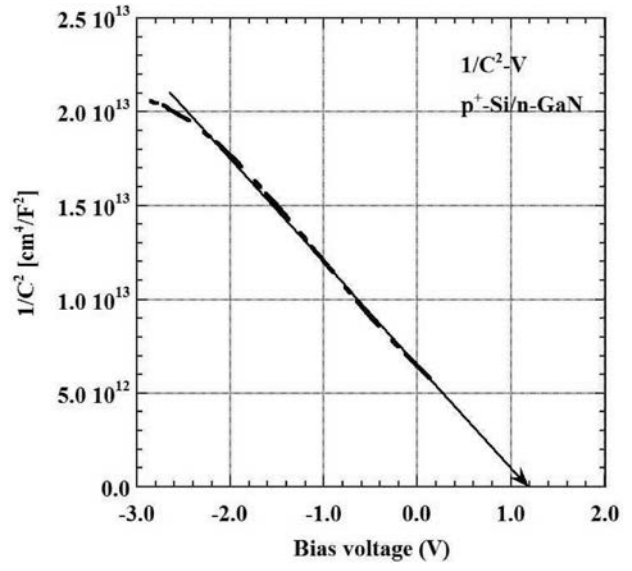
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/808 (2006.01)

(74)代理人 100170542

弁理士 榊田 剛

(72)発明者 重川 直輝

大阪市住吉区杉本3-3-138 公立大学法人大阪市立大学内

(72)発明者 梁 剣波

大阪市住吉区杉本3-3-138 公立大学法人大阪市立大学内

Fターム(参考) 5F102 GB01 GC01 GD01 GD05 GJ02 GJ03 GJ04 GL04 GM02 GM04
GM05 GM08 GN02 GN05 GQ01 GR01 GS04