

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-157496
(P2016-157496A)

(43) 公開日 平成28年9月1日(2016.9.1)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 15/04 (2006.01)	G 1 1 C 15/04 6 3 1 W	
G 0 6 N 99/00 (2010.01)	G 0 6 N 99/00 1 5 0	
G 0 6 F 17/30 (2006.01)	G 0 6 F 17/30 2 1 0 D	
	G 0 6 F 17/30 3 5 0 D	

審査請求 未請求 請求項の数 8 O L (全 25 頁)

(21) 出願番号 特願2015-34716 (P2015-34716)
(22) 出願日 平成27年2月25日 (2015.2.25)

(71) 出願人 504136568
国立大学法人広島大学
広島県東広島市鏡山1丁目3番2号
(74) 代理人 110001427
特許業務法人前田特許事務所
(72) 発明者 マタウシュ ハンスユルゲン
広島県東広島市鏡山一丁目4番2号 国立
大学法人広島大学 ナノデバイス・バイオ
融合科学研究所内
(72) 発明者 山崎 翔悟
広島県東広島市鏡山一丁目3番1号 国立
大学法人広島大学大学院 先端物質科学研
究科内

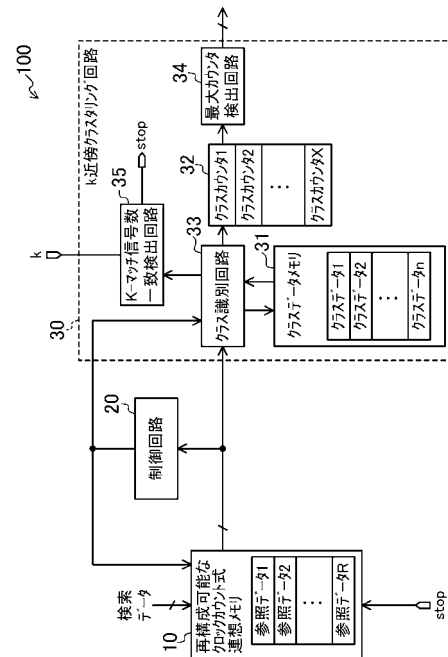
(54) 【発明の名称】 再構成可能な k 近傍法連想メモリ

(57) 【要約】

【課題】参照データの次元数および個数の拡張が可能な k 近傍法連想メモリを提供する。

【解決手段】再構成可能な k 近傍法連想メモリ(100)は、再構成可能なクロックカウント式連想メモリ(10)と、k 近傍クラスタリング回路(30)とを備える。連想メモリ(10)は、複数のエレメント回路(70)と、それらを任意に接続する複数のスイッチ回路(50)を含む。k 近傍クラスタリング回路(30)は、連想メモリ(10)から出力される複数のマッチ信号のうちいずれか k 個のマッチ信号がアクティブになるまでの間、複数のマッチ信号の少なくとも一つがアクティブになるときに、複数の参照データのクラスを表す複数のクラスデータから当該アクティブになった少なくとも一つの k 個のマッチ信号のそれぞれに対応するクラスデータを選択し、当該選択した全部で k 個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定する。

【選択図】 図 8



【特許請求の範囲】

【請求項 1】

それぞれが、参照データを保存する参照データ保存回路と、検索データと前記参照データ保存回路に保存されている前記参照データとの距離を計算する距離計算回路と、トリガー信号を受けてクロック信号のカウント動作を開始し、前記距離に応じたクロック数をカウントしたタイミングを示すマッチ信号を出力する距離/クロック数変換回路とを有する、複数のエレメント回路と、

前記複数のエレメント回路のそれぞれに対応して設けられ、それぞれが、与えられた回路構成信号に応じて、前段のエレメント回路から出力される前記マッチ信号を次段のエレメント回路に前記トリガー信号として供給するか否かを制御する、複数のスイッチ回路と

10

、
k近傍法に従って前記検索データのクラスを判定するk近傍クラスタリング回路とを備え、

前記スイッチ回路でカスケード接続された複数の前記エレメント回路によって、個別の参照データを保存し、当該参照データと前記検索データとの距離を計算し、当該距離に応じたクロック数をカウントしたタイミングを示すマッチ信号を出力する複数の参照データ検索回路からなる再構成可能なクロックカウント式連想メモリが構成され、

前記k近傍クラスタリング回路は、前記再構成可能なクロックカウント式連想メモリから出力される複数のマッチ信号のうちいずれかk個のマッチ信号がアクティブになるまでの間、前記複数のマッチ信号の少なくとも一つがアクティブになるごとに、前記複数の参照データ検索回路のそれぞれが保存する参照データのクラスを表す複数のクラスデータから当該アクティブになった少なくとも一つのマッチ信号のそれぞれに対応するクラスデータを選択し、当該選択した全部でk個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定するように構成されている

20

ことを特徴とする再構成可能なk近傍法連想メモリ。

【請求項 2】

前記k近傍クラスタリング回路が、

前記複数のクラスデータを保持するクラスデータメモリと、

X個のクラスのそれぞれに対応するX個のクラスカウンタと、

前記アクティブになった少なくとも一つのマッチ信号を順次選択し、当該選択したマッチ信号に対応するクラスデータを前記クラスデータメモリから読み出し、当該読み出したクラスデータによって表されるクラスに対応するクラスカウンタをカウントアップし、前記アクティブになった少なくとも一つのマッチ信号をすべて選択し終わると終了信号を出力するクラス識別回路と、

30

前記X個のクラスカウンタの中からカウント値が最大のクラスカウンタを見つける最大カウンタ検出回路と、

前記クラス識別回路がアクティブになったマッチ信号を一つ選択するごとにカウントアップし、カウント値がkに一致したことを検出するk-マッチ信号数一致検出回路とを有するものであり、

前記再構成可能なk近傍法連想メモリが、前記複数のマッチ信号の少なくとも一つがアクティブになると前記再構成可能なクロックカウント式連想メモリの動作を停止させて前記クラス識別回路を動作させ、前記クラス識別回路から前記終了信号が出力されると前記クラス識別回路の動作を停止させて前記再構成可能なクロックカウント式連想メモリを動作させる制御回路を備え、

40

前記再構成可能なクロックカウント式連想メモリが、前記k-マッチ信号数一致検出回路によって前記カウント値がkに一致したことが検出されたとき、動作を停止するように構成されている、請求項1に記載の再構成可能なk近傍法連想メモリ。

【請求項 3】

前記制御回路が、

前記複数のスイッチ回路のそれぞれに対応して設けられ、対応するスイッチ回路が前

50

記回路構成信号に応じて選択的に出力する前段のエレメント回路のマッチ信号がアクティブになってから前記クラス識別回路から前記終了信号が出力されるまでの間だけアクティブになる検出信号を出力する複数のマッチ信号アクティブ検出回路と、

前記複数のマッチ信号アクティブ検出回路から出力される複数の検出信号の論理和を演算するORゲートとを有し、

前記ORゲートの出力信号で前記クラス識別回路および前記再構成可能なクロックカウンタ式連想メモリの動作を制御する、請求項2に記載の再構成可能なk近傍法連想メモリ。

【請求項4】

前記クラス識別回路が、前記複数のスイッチ回路のそれぞれに対応して設けられ、対応するスイッチ回路が前記回路構成信号に応じて選択的に出力する前段のエレメント回路のマッチ信号がアクティブであることを検出して前記クラスデータメモリに当該マッチ信号に対応するクラスデータを選択する選択信号を出力する複数のマッチ信号検出回路を有し、

前記複数のマッチ信号検出回路が、動作開始信号を伝搬するように直列に接続されており、

前記複数のマッチ信号検出回路のそれぞれが、前記対応するスイッチ回路から出力されるマッチ信号が非アクティブのとき、入力された前記動作開始信号をすぐさま次段に伝達し、前記対応するスイッチ回路から出力されるマッチ信号がアクティブのとき、前記動作開始信号を受けて前記選択信号を出力してから前記動作開始信号を次段に伝達するように構成されている、請求項2および3いずれか一つに記載の再構成可能なk近傍法連想メモリ。

【請求項5】

前記最大カウンタ検出回路が、

初期値からカウント値をカウントダウンするダウンカウンタと、

前記X個のクラスカウンタのそれぞれに対応して設けられ、対応するクラスカウンタのカウント値と前記ダウンカウンタのカウント値との一致を検出するX個の一致検出回路とを有し、

前記ダウンカウンタのカウント値がカウントダウンされている間に、前記X個の一致検出回路のうちのいずれか一つによって前記ダウンカウンタのカウント値と対応するクラスカウンタのカウント値との一致が検出されたとき、前記ダウンカウンタのカウント動作を停止させる、請求項2ないし4のいずれか一つに記載の再構成可能なk近傍法連想メモリ。

【請求項6】

前記最大カウンタ検出回路が、2入力1出力の複数の最大値選出回路がツリー状に接続されてなり、リーフノードの複数の最大値選出回路に前記X個のクラスカウンタの各カウント値および各クラスカウンタの識別番号を結合した各信号が入力され、ルートノードの最大値選出回路から前記X個のクラスカウンタの最大カウント値およびそのクラスカウンタの識別番号を結合した信号を出力するトーナメント回路であり、

前記最大値選出回路が、第1のクラスカウンタのカウント値および前記第1のクラスカウンタの識別番号を結合した第1の信号、および第2のクラスカウンタのカウント値および前記第2のクラスカウンタの識別番号を結合した第2の信号を受け、前記第1および第2のクラスカウンタのうちカウント値が大きい方のクラスカウンタのカウント値およびそのクラスカウンタの識別番号を結合した第3の信号を出力する、請求項2ないし4のいずれか一つに記載の再構成可能なk近傍法連想メモリ。

【請求項7】

回路構成情報を記憶し、当該回路構成情報に基づいて前記複数のスイッチ回路のそれぞれに前記回路構成信号を出力する回路構成情報記憶回路を備えていることを特徴とする請求項1ないし請求項3のいずれかに記載の再構成可能なk近傍法連想メモリ。

10

20

30

40

50

【請求項 8】

前記回路構成情報記憶回路が不揮発性メモリで構成されていることを特徴とする請求項 7 に記載の再構成可能な k 近傍法連想メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、連想メモリに関し、特に、k 近傍法を効果的に実現する連想メモリに保存される参照データの次元数および個数を拡張する技術に関する。

【背景技術】

【0002】

近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングを L S I (Large Scale Integrated Circuit) 上で実現することにより、将来、人工知能およびモバイル機器などの高機能アプリケーションに適用可能になり、この技術の実現は、非常に注目を浴びている。

【0003】

パターンマッチングでは、データベースに保存された複数の参照データの中から、完全に検索データと一致するパターンを検索する「完全一致検索処理」と、検索データと最も類似するパターンを検索する「最類似検索処理」とがある。

【0004】

前者は、C A M (Content Addressable Memory) と呼ばれ、ネットワークルータの I P アドレステーブルのルーティングおよびプロセッサのキャッシュなどの実現に用いられる。人間の脳のような柔軟な検索・比較をコンピュータに処理させるには、後者の最類似検索処理を実現することが必要不可欠である。このような柔軟な比較を実現する機能を持つメモリのことを特に連想メモリ (Associative Memory) と呼ぶ。

【0005】

連想メモリの例として、検索データと参照データとのマンハッタン距離またはユークリッド距離を用いて最類似検索処理を行うものが知られている (非特許文献 1 参照)。また、連想メモリに k 近傍探索を取り入れたものが知られている (非特許文献 2 参照)。

【0006】

また、本願発明者は、検索に係るクロックカウント数を削減する機構 (有効ビット設定部) とユークリッド距離検索のための二乗計算回路 (距離演算回路) とを備えたクロックカウント式の連想メモリを発明している (特許文献 1 参照)。当該発明によれば、データ規模が増大しても高速な検索が可能なユークリッド / マンハッタン距離検索連想メモリをエラーフリー、高電力効率に実現することができる。

【0007】

一方、パターン認識の分野において機械学習アルゴリズムとして k 近傍法がよく用いられる。本願発明者は、連想メモリを用いて k 近傍法を効果的に実現することができる k 近傍法連想メモリを発明している (特許文献 2 参照)。

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開 2014 - 154196 号公報

【特許文献 2】国際公開第 2015 / 011907 号

【非特許文献】

【0009】

【非特許文献 1】S.Sasaki et al., "Digital Associative Memory for Word-Parallel Manhattan-Distance-Based Vector Quantization," ESSCIRC'2012, 2012, pp.185-188

【非特許文献 2】M.A.Abedin et al., "Realization of K-Nearest-Matches Search Capability in Fully-Parallel Associative Memories," IEICE Trans. on Fundamentals, vol. E90-A, No.6, 2007, pp.1240-1243

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0010】

連想メモリが利用される分野として、コードブックベース画像圧縮のデータ検索やB o W (Bag of Words)などが挙げられる。前者では比較的少ない次元数の大量の参照データの検索が行われ、後者では膨大な次元数の少量の参照データの検索が行われる。しかし、従来の連想メモリでは回路構成が固定されているため、アプリケーションに応じて参照データの次元数および個数を拡張することが困難である。

【0011】

この問題に関して、本願発明者は、参照データの次元数および個数の拡張が可能な連想メモリを発明し、特願2014-36698(以下、先願という)に当該発明を開示した。

10

【0012】

一方、先行文献2に開示されたk近傍法連想メモリでは参照データの次元数および個数が固定されているが、k近傍法連想メモリについても先願の連想メモリと同様に参照データの次元数および個数の拡張を可能にすることが求められる。

【0013】

上記問題に鑑み、本発明は、参照データの次元数および個数の拡張が可能なk近傍法連想メモリを提供することを目的とする。

【課題を解決するための手段】

20

【0014】

本発明の一局面に従った再構成可能なk近傍法連想メモリは、それぞれが、参照データを保存する参照データ保存回路と、検索データと前記参照データ保存回路に保存されている前記参照データとの距離を計算する距離計算回路と、トリガー信号を受けてクロック信号のカウント動作を開始し、前記距離に応じたクロック数をカウントしたタイミングを示すマッチ信号を出力する距離/クロック数変換回路とを有する、複数のエレメント回路と、前記複数のエレメント回路のそれぞれに対応して設けられ、それぞれが、与えられた回路構成信号に応じて、前段のエレメント回路から出力される前記マッチ信号を次段のエレメント回路に前記トリガー信号として供給するか否かを制御する、複数のスイッチ回路と、k近傍法に従って前記検索データのクラスを判定するk近傍クラスタリング回路とを備え、前記スイッチ回路でカスケード接続された複数の前記エレメント回路によって、個別の参照データを保存し、当該参照データと前記検索データとの距離を計算し、当該距離に応じたクロック数をカウントしたタイミングを示すマッチ信号を出力する複数の参照データ検索回路からなる再構成可能なクロックカウント式連想メモリが構成され、前記k近傍クラスタリング回路は、前記再構成可能なクロックカウント式連想メモリから出力される複数のマッチ信号のうちいずれかk個のマッチ信号がアクティブになるまでの間、前記複数のマッチ信号の少なくとも一つがアクティブになると、前記複数の参照データ検索回路のそれぞれが保存する参照データのクラスを表す複数のクラスデータから当該アクティブになった少なくとも一つのマッチ信号のそれぞれに対応するクラスデータを選択し、当該選択した全部でk個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定するように構成されているものである。

30

40

【0015】

これによると、再構成可能なクロックカウント式連想メモリによって検索データと各参照データとの距離がクロック数に変換されて、距離に応じたタイミングで各参照データに対応するマッチ信号がアクティブとなり、k近傍クラスタリング回路によって、より先にアクティブになったk個のマッチ信号に対応するk個のクラスデータをクラス別に分類した場合にデータ数が最大となるクラスが判定される。このようにして、k近傍法に基づいた検索データのクラス分けが実現される。また、複数のスイッチ回路のそれぞれを適宜制御することにより、エレメント回路の接続形態を任意に変更して、任意の次元数の参照データを保存する任意の個数の参照データ検索回路を構成することができる。

50

【発明の効果】

【0016】

本発明によると、 k 近傍法連想メモリにおいて参照データの次元数および個数を拡張することができる。これにより、アプリケーションに応じて k 近傍法連想メモリを最適に再構成して、 k 近傍法連想メモリに割り当てられたリソースを最大限利用することができる。

【図面の簡単な説明】

【0017】

【図1】一例に係るクロックカウント式連想メモリの概略構成図

【図2】一例に係る距離/クロック数変換回路の概略構成図

10

【図3】一例に係るカウンター一致検出回路の概略構成図

【図4】一例に係るマッチ信号のタイミングチャート

【図5】再構成可能なクロックカウント式連想メモリのある再構成例を示す図

【図6】再構成可能なクロックカウント式連想メモリの別の再構成例を示す図

【図7】再構成可能なクロックカウント式連想メモリのさらに別の再構成例を示す図

【図8】本発明の一実施形態に係る再構成可能な k 近傍法連想メモリの概略構成図

【図9】一例に係る再構成可能なクロックカウント式連想メモリの概略構成図

【図10】一例に係るスイッチ回路の回路構成図

【図11】別例に係るスイッチ回路の回路構成図

【図12】一例に係る制御回路の概略構成図

20

【図13】一例に係るクラスデータメモリ、クラスカウンタ、クラス識別回路、および k -マッチ信号数一致検出回路の概略構成図

【図14】一例に係るマッチ信号検出回路の概略構成図

【図15】一例に係る最大カウンタ検出回路の概略構成図

【図16】別例に係る最大カウンタ検出回路の概略構成図

【図17】一例に係る最大値選出回路の概略構成図

【発明を実施するための形態】

【0018】

以下、図面を参照しながら本発明を実施するための形態について説明する。なお、本発明は、以下の実施形態に限定されるものではない。

30

【0019】

クロックカウント式連想メモリの基本構成例

まず、本発明に係る再構成可能な k 近傍法連想メモリの前提となるクロックカウント式連想メモリの基本構成について説明する。

【0020】

図1は、一例に係るクロックカウント式連想メモリの概略構成を示す。一例に係るクロックカウント式連想メモリ10は、メモリ部11、行デコーダ12、列デコーダ13、読出/書込回路14、および検索データ保存回路15を含む。

【0021】

メモリ部11は、参照データ保存回路(Storage Cell: SC) $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, ..., $SC_{R1} \sim SC_{RW}$ と、距離演算回路(絶対値差演算回路)(Distance Processor: DP) $DP_{11} \sim DP_{1W}$, $DP_{21} \sim DP_{2W}$, ..., $DP_{R1} \sim DP_{RW}$ と、距離/クロック数変換回路 $DC_1 \sim DC_R$ とを含む。なお、 W および R は、それぞれ、2以上の整数である。

40

【0022】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、それぞれ、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に対応して設けられる。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、それぞれ、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に対応して設けられる。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、それぞれ、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に対応して設けられる。

50

【0023】

距離/クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。距離/クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ に対応して設けられる。以下、同様にして、距離/クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ に対応して設けられる。

【0024】

参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, ..., $SC_{R1} \sim SC_{RW}$ は、行デコーダ12、列デコーダ13、および読出/書込回路14によって書き込まれた参照データを保存する。この場合、参照データ保存回路 $SC_{11} \sim SC_{1W}$ は、 $M \times W$ (M は1以上の整数) ビットの参照データ1を保存し、参照データ保存回路 $SC_{21} \sim SC_{2W}$ は、 $M \times W$ ビットの参照データ2を保存し、以下、同様にして、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ は、 $M \times W$ ビットの参照データ R を保存する。つまり、参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, ..., $SC_{R1} \sim SC_{RW}$ のそれぞれは、参照データの $M \times W$ ビットを保存する。

【0025】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に保存された $M \times W$ ビットの参照データ1と、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に保存された $M \times W$ ビットの参照データ2と、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に保存された $M \times W$ ビットの参照データ R と、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。そして、距離演算回路 $DP_{11} \sim DP_{1W}$ 、距離演算回路 $DP_{21} \sim DP_{2W}$ 、...、距離演算回路 $DP_{R1} \sim DP_{RW}$ における参照データと検索データとの距離の演算は、並列に行われる。

【0026】

そして、距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ1と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_1 へ出力する。距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ2と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_2 へ出力する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ R と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_R へ出力する。

【0027】

距離演算回路 $DP_{11} \sim DP_{1W}$ のそれぞれは、参照データ1と検索データとの距離を次式を用いて演算する。

【0028】

【数1】

$$n_{Mr} = \sum_{j=1}^W D_{rj} = \sum_{j=1}^W |I_{nj} - R_{erj}| \quad \dots (1)$$

【0029】

式(1)において、 D_{rj} ($r = 1 \sim R$, $j = 1 \sim W$) は、参照データと検索データとの距離(絶対値差)を表す。 n_{Mr} は、参照データと検索データとのマンハッタン距離を示している。また、式(1)において、 I_{nj} は、検索データであり、 R_{erj} は、参照データである。各データ I_{nj} 、 R_{erj} は、それぞれ、 M ビットからなる。

【0030】

このように、距離演算回路 $DP_{11} \sim DP_{1W}$ は、 $M \times W$ ビットの参照データ1と、 M

10

20

30

40

50

$\times W$ ビットの検索データとの距離を M ビットずつ演算し、それぞれが M ビットのビット長を有する W 個の距離信号 D_{1j} を距離/クロック数変換回路 DC_1 へ出力する。

【0031】

距離演算回路 $DP_{21} \sim DP_{2W}$ 、...および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、同様にして、それぞれ、式(1)を用いて参照データ $2 \sim R$ と検索データとの距離を演算する。そして、距離演算回路 $DP_{21} \sim DP_{2W}$ 、...および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、それぞれが M ビットのビット長を有する W 個の距離信号 $D_{2j} \sim D_{Rj}$ をそれぞれ距離/クロック数変換回路 $DC_2 \sim DC_R$ へ出力する。

【0032】

距離/クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ から W 個の距離信号 D_{1j} を受け、各距離信号 D_{1j} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_total1 を後述する方法によってカウントする。そして、そのクロック数 CN_total1 をカウントしたタイミングを示すマッチ信号 M_1 を出力する。

10

【0033】

距離/クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ から W 個の距離信号 D_{2j} を受け、各距離信号 D_{2j} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_total2 を後述する方法によってカウントする。そして、そのクロック数 CN_total2 をカウントしたタイミングを示すマッチ信号 M_2 を出力する。

【0034】

以下、同様にして、距離/クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ から W 個の距離信号 D_{Rj} を受け、各距離信号 D_{Rj} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_totalR を後述する方法によってカウントする。そして、そのクロック数 CN_totalR をカウントしたタイミングを示すマッチ信号 M_R を出力する。

20

【0035】

行デコーダ12は、メモリ部11の行方向のアドレスを指定する。列デコーダ13は、メモリ部11の列方向のアドレスを指定する。読出/書込回路14は、参照データを行デコーダ12および列デコーダ13によって指定された参照データ保存回路 $SC_{11} \sim SC_{1W}$ 、 $SC_{21} \sim SC_{2W}$ 、...、 $SC_{R1} \sim SC_{RW}$ に書き込むとともに、検索データを検索データ保存回路15に書き込む。

30

【0036】

検索データ保存回路15は、読出/書込回路14によって書き込まれた検索データ($M \times W$ ビットのデータ)を保存する。

【0037】

図2は、一例に係る距離/クロック数変換回路 DC_1 の概略構成を示す。なお、距離/クロック数変換回路 $DC_2 \sim DC_R$ のそれぞれも、図2に示す距離/クロック数変換回路 DC_1 と同様の構成を有する。距離/クロック数変換回路 DC_1 は、バッファ121~12Wと、カウンター一致検出回路131~13Wとを含む。

【0038】

バッファ121は、クロックカウント式連想メモリの制御回路(図示せず)から検索開始信号 SB を受け、クロックカウント式連想メモリに内蔵されたクロック発生回路(図示せず)からクロック信号 CLK を受ける。そして、バッファ121は、検索開始信号 SB が L レベルから H レベルに遷移すると、その受けたクロック信号 CLK をバッファ122およびカウンター一致検出回路131へ出力する。バッファ122は、クロック信号 CLK をバッファ121から受け、カウンター一致検出回路131から、後述する H レベルの一致信号($DETECT1$)を受けると、クロック信号 CLK をバッファ123(図示せず)およびカウンター一致検出回路132へ出力する。以下、同様にして、バッファ12Wは、クロック信号 CLK をバッファ12W-1(図示せず)から受け、カウンター一致検出回路13W-1(図示せず)から、後述する H レベルの一致信号($DETECTW-1$)を受けると、クロック信号 CLK をカウンター一致検出回路13Wへ出力する。

40

50

【 0 0 3 9 】

カウンタ一致検出回路 1 3 1 ~ 1 3 W は、それぞれ、距離演算回路 $D P_{1,1} \sim D P_{1,W}$ に対応して設けられる。そして、カウンタ一致検出回路 1 3 1 ~ 1 3 W は、直列に接続される。ここで、カウンタ一致検出回路 1 3 1 ~ 1 3 W の概略構成について説明する。

【 0 0 4 0 】

図 3 は、一例に係るカウンタ一致検出回路 1 3 1 ~ 1 3 W の概略構成を示す。本例は、 $W = 2$ の場合を示している。カウンタ一致検出回路 1 3 1 は、クロック数変換回路 1 3 1 a と、カウンタ 1 3 1 b と、一致検出回路 1 3 1 c とを含む。カウンタ一致検出回路 1 3 2 は、クロック数変換回路 1 3 2 a と、カウンタ 1 3 2 b と、一致検出回路 1 3 2 c とを含む。以下、各構成の機能について説明する。

10

【 0 0 4 1 】

クロック数変換回路 1 3 1 a は、距離演算回路 $D P_{1,1}$ から M ビットのビット長を有する距離信号 $D_{1,1}$ と、バッファ 1 2 1 からのクロック信号 CLK とを受ける。クロック数変換回路 1 3 1 a は、クロック信号 CLK のクロック数をカウントし、距離信号 $D_{1,1}$ が示す距離と一致するクロック数を検出したタイミングで、カウンタ 1 3 1 b に H レベルの一致検出信号を出力する処理を行う。クロック数変換回路 1 3 1 a は、後述の一致検出回路 1 3 1 c から H レベルの一致信号 ($DETECT 1$) が出力されるまで、この処理を繰り返し行い、 H レベルの一致信号 ($DETECT 1$) が出力されると動作を停止する。

【 0 0 4 2 】

カウンタ 1 3 1 b は、クロック数変換回路 1 3 1 a からの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウント値を一致検出回路 1 3 1 c へ出力する。

20

【 0 0 4 3 】

一致検出回路 1 3 1 c は、カウンタ 1 3 1 b からカウンタ値を受け、距離演算回路 $D P_{1,1}$ から M ビットのビット長を有する距離信号 $D_{1,1}$ を受ける。一致検出回路 1 3 1 c は、距離信号 $D_{1,1}$ が示す距離とカウンタ値とを比較し、距離信号 $D_{1,1}$ が示す距離とカウンタ値とが一致するときに、 H レベルの一致信号 ($DETECT 1$) をクロック数変換回路 1 3 1 a とバッファ 1 2 2 へ出力する。一致検出回路 1 3 1 c は、距離信号 $D_{1,1}$ が示す距離とカウンタ値とが一致しないときは、 L レベルの一致信号 ($DETECT 1$) をクロック数変換回路 1 3 1 a とバッファ 1 2 2 へ出力する。

30

【 0 0 4 4 】

クロック数変換回路 1 3 2 a は、バッファ 1 2 2 からクロック信号 CLK を受けると駆動する。クロック数変換回路 1 3 2 a は、距離演算回路 $D P_{1,2}$ から M ビットのビット長を有する距離信号 $D_{1,2}$ を受ける。クロック数変換回路 1 3 2 a は、クロック数変換回路 1 3 1 a と同様、クロック数変換回路 1 3 2 a は、クロック信号 CLK のクロック数をカウントし、距離信号 $D_{1,2}$ が示す距離と一致するクロック数を検出したタイミングで、カウンタ 1 3 2 b に H レベルの一致検出信号を出力する処理を行う。クロック数変換回路 1 3 2 a は、後述の一致検出回路 1 3 2 c から H レベルの一致信号 ($DETECT 2$) が出力されるまで、この処理を繰り返し行う。クロック数変換回路 1 3 2 a は、 H レベルの一致信号 ($DETECT 2$) が出力されると動作を停止する。

40

【 0 0 4 5 】

カウンタ 1 3 2 b は、クロック数変換回路 1 3 2 a からの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウント値を一致検出回路 1 3 2 c へ出力する。

【 0 0 4 6 】

一致検出回路 1 3 2 c は、カウンタ 1 3 2 b からカウンタ値を受け、距離演算回路 $D P_{1,2}$ から M ビットのビット長を有する距離信号 $D_{1,2}$ を受ける。一致検出回路 1 3 2 c は、距離信号 $D_{1,2}$ が示す距離とカウンタ値とを比較し、距離信号 $D_{1,2}$ が示す距離とカウンタ値とが一致するときに、 H レベルの一致信号 ($DETECT 2$) をクロック数変換回路 1 3 2 a とバッファ 1 2 2 へ出力するとともに、 H レベルの一致信号 ($DETECT 2$

50

)をマッチ信号 M_1 として出力する。また、一致検出回路132cは、距離信号 D_{12} が示す距離とカウンタ値とが一致しないときは、Lレベルの一致信号(D E T E C T 2)をクロック数変換回路132aに出力する。

【0047】

ここで、例えば、距離演算回路 $D P_{11}$ から距離「2」を示すMビットの距離信号 D_{11} が出力され、距離演算回路 $D P_{12}$ から距離「3」を示すMビットの距離信号 D_{12} が出力された場合の動作例について説明する。

【0048】

クロック数変換回路131aは、距離「2」を示すMビットの距離信号 D_{11} を受け、バッファ121からのクロック信号C L Kのクロックに同期して、距離「2」に一致するクロック数をカウントする。クロック数変換回路131aは、カウントしたクロック数と距離とが一致すると、Hレベルの一致検出信号を出力する。カウンタ131bは、一致検出信号が立ち上がると、カウンタ値をカウントアップし、「1」を示すカウンタ値を一致検出回路131cに出力する。このとき、距離信号 D_{11} が示す距離「2」とカウンタ値「1」とが一致しないため、一致検出回路131cからLレベルの一致信号(D E T E C T 1)が出力される。

【0049】

クロック数変換回路131aは、出力した一致検出信号がLレベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路131aは、再びクロック信号C L Kのクロック数をカウントし、カウントしたクロック数が距離「2」と一致すると、カウンタ131bにHレベルの一致検出信号を出力する。カウンタ131bは、一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路131cに「2」を示すカウンタ値を出力する。一致検出回路131cは、距離信号 D_{11} が示す距離「2」とカウンタ値「2」とが一致するため、一致信号(D E T E C T 1)をバッファ122とクロック数変換回路131aに出力する。つまり、検索開始からのクロック数が「4」となるタイミングで、Hレベルの一致信号(D E T E C T 1)が出力される。そして、クロック数変換回路131aは、Hレベルの一致信号(D E T E C T 1)に応じて動作を停止する。

【0050】

バッファ122は、一致検出回路131cからHレベルの一致信号(D E T E C T 1)を受けて、クロック数変換回路132aにクロック信号C L Kを出力する。クロック数変換回路132aは、バッファ122からのクロック信号C L Kのクロックに同期して、クロック信号C L Kのクロック数をカウントする。クロック数変換回路132aは、距離「3」を示すMビットの距離信号 D_{12} を受け、カウントしたクロック数が距離「3」と一致するタイミングで、Hレベルの一致検出信号をカウンタ132bに出力する。カウンタ132bは、クロック数変換回路132aからの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路132cに「1」を示すカウンタ値を出力する。このとき、距離「3」とカウンタ値「1」とが一致しないため、一致検出回路132cからLレベルの一致信号(D E T E C T 2)が出力される。

【0051】

クロック数変換回路132aは、出力した一致検出信号がLレベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路132aは、再びクロック信号C L Kのクロック数をカウントし、カウントしたクロック数が距離「3」と一致すると、カウンタ132bにHレベルの一致検出信号を出力する。カウンタ132bは、クロック数変換回路132aからの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路132cに「2」を示すカウンタ値を出力する。このとき、距離「3」とカウンタ値「2」とが一致しないため、一致検出回路132cからLレベルの一致信号(D E T E C T 2)が出力される。

【0052】

クロック数変換回路132aは、一致検出信号がLレベルになると、再びカウントした

10

20

30

40

50

クロック数をリセットしてクロック信号CLKをカウントし、カウントしたクロック数が距離「3」と一致すると、カウンタ132bにHレベルの一致検出信号を出力する。そして、クロック数変換回路132aは、Hレベルの一致信号(DETECT2)に応じて動作を停止する。カウンタ132bは、クロック数変換回路132aからの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路132cに「3」を示すカウンタ値を出力する。一致検出回路132cは、距離「3」とカウント値「3」とが一致するため、Hレベルの一致信号(DETECT2)をクロック数変換回路132aに出力するとともに、マッチ信号M₁を出力する。つまり、クロック数変換回路132aにおいてカウントされたクロック数は「9(=3+3+3)」であり、検索開始からクロック数「13(=4+9)」のタイミングでマッチ信号M₁が出力される。

10

【0053】

カウンタ一致検出回路131, 132全体でカウントされるクロック数CN_{total1}「13」は、カウンタ一致検出回路131においてカウントするクロック数「4(=2+2)」と、カウンタ一致検出回路132においてカウントするクロック数「9(=3+3+3)」とを加算したものである。つまり、カウンタ一致検出回路131, 132によって、距離「2」の二乗値と距離「3」の二乗値との和に一致するクロック数をカウントすることに相当する。

【0054】

距離/クロック数変換回路DC₁は、一般的に、W個の距離信号D₁₁~D_{1W}を受ける。そして、W個の距離信号D₁₁~D_{1W}のそれぞれは、Mビットのビット長を有する。したがって、距離/クロック数変換回路DC₁は、M×Wビットのビット長を有する距離信号D₁₁D₁₂...D_{1W}を受ける。カウンタ一致検出回路131において、距離信号D₁₁が示す距離に一致する回数分だけ、その距離に一致するクロック数を繰り返しカウントする。また、カウンタ一致検出回路132~13Wは、それぞれ、カウンタ一致検出回路131~13W-1から一致信号を受けた後に、距離信号D₁₂~D_{1W}にそれぞれ一致するクロック数を、その距離に一致する回数だけ繰り返しカウントする。その結果、距離/クロック数変換回路DC₁においてカウントされる全体のクロック数CN_{total1}は、カウンタ一致検出回路131~13Wのそれぞれにおいてカウントされたクロック数の和に等しい。カウンタ一致検出回路131~13Wのそれぞれにおいてカウントされたクロック数は、それぞれ、距離信号D₁₁~D_{1W}が示す各距離の二乗値に相当するため、距離/クロック数変換回路DC₁においてカウントされる全体のクロック数CN_{totalR}は、各距離信号D₁₁~D_{1W}の二乗値の和を表している。

20

30

【0055】

ここで、ユークリッド距離n_{Er}は、次式によって表される。

【0056】

【数2】

$$n_{Er} = \sum_{j=1}^W |I_{nj} - R_{erj}|^2 \dots (2)$$

40

【0057】

式(2)の右辺の|I_{nj}-R_{erj}|²は、式(1)の右辺の|I_{nj}-R_{erj}|において、検索データと参照データとの距離の二乗値に一致する。したがって、ユークリッド距離n_{Er}の演算は、上述したように、式(1)によって演算したW個の各距離について、距離に一致するクロック数をカウントする処理を距離に一致する回数だけ繰り返し行うことで実現される。そうすると、図3の例において、カウンタ一致検出回路132が、カウンタ一致検出回路131, 132全体でカウントしたクロック数のタイミングを示すマッチ信号M₁を出力することは、ユークリッド距離n_{Er}によって検索データに類似する参照データを検索し、検索データに類似する参照データを検出したことを示す信号を出力することに相当する。なお、距離/クロック数変換回路DC₂~DC_Rのそれぞれも

50

、距離/クロック数変換回路 DC_1 の動作と同じ動作によって、それぞれ、マッチ信号 $M_2 \sim M_R$ を出力する。

【0058】

図4は、一例に係るマッチ信号のタイミングチャートである。距離/クロック数変換回路 $DC_1 \sim DC_R$ は、図4に示すように、例えばマッチ信号 $M_1 \sim M_R$ をそれぞれクロック信号 CLK に同期して出力する。

【0059】

再構成可能なクロックカウンタ式連想メモリの再構成例

次に、本発明に係る再構成可能な k 近傍法連想メモリの前提となる再構成可能なクロックカウンタ式連想メモリについて説明する。再構成可能なクロックカウンタ式連想メモリは、例えば上記構成のクロックカウンタ式連想メモリ 10' において参照データの次元数および個数を任意に拡張できるように構成したものである。図5、図6、および図7は、再構成可能なクロックカウンタ式連想メモリのさまざまな再構成例を示す。

10

【0060】

再構成可能なクロックカウンタ式連想メモリ 10 において、複数のエレメント回路 70 が R 行 \times C 列（ただし、 R 、 C はいずれも 2 以上の整数である。）のマトリクス状に配置されている。なお、便宜のため、以下では、再構成可能なクロックカウンタ式連想メモリ 10 において 4 行 \times 4 列の計 16 個のエレメント回路 70 がマトリクス状に配置されているものとして説明する。また、行デコーダ 2、列デコーダ 3、読出/書込回路 4、検索データ保存回路 5 などの周辺回路の図示は省略する。

20

【0061】

各エレメント回路 70 は、1 組以上の上記の参照データ保存回路 SC および距離計算回路 DP の対応するペア、ならびにそれら距離計算回路 DC から出力される距離信号が入力される上記の距離/クロック数変換回路 DC を含む。各エレメント回路 70 から出力される MN (Match Next) 信号は、各エレメント回路 70 における距離/クロック数変換回路 DC から出力されるマッチ信号に相当する。すなわち、各エレメント回路 70 は、 Q 次元（ Q は 2 以上の整数）の参照データを保存し、当該 Q 次元の参照データと Q 次元の検索データとの距離を計算し、その距離に応じたクロック数をカウントしたタイミングを示すマッチ信号（ MN 信号）を出力する。

【0062】

後述する図示しないスイッチ回路によってエレメント回路 70 同士が任意に接続および切断可能となっている。エレメント回路 70 同士が接続された場合、前段のエレメント回路 70 から出力される MN 信号は、次段のエレメント回路 70 における距離/クロック数変換回路 DC のトリガー信号として次段のエレメント回路 70 に供給される。

30

【0063】

図5の再構成例では、図示しないスイッチ回路によって4個のエレメント回路70がカスケード接続されて4個の参照データ検索回路40が構成されている。図5の再構成例において、4個の参照データ検索回路40は、それぞれ、 $4Q$ ($= 4 \times Q$) 次元の参照データを保存し、当該 $4Q$ 次元の参照データと $4Q$ 次元の検索データとの距離を計算し、その距離に応じたクロック数をカウントしたタイミングを示すマッチ信号（ MN 信号）を出力する。

40

【0064】

図6の再構成例では、図示しないスイッチ回路によって2個のエレメント回路70がカスケード接続されて8個の参照データ検索回路40が構成されている。図6の再構成例において、8個の参照データ検索回路40は、それぞれ、 $2Q$ ($= 2 \times Q$) 次元の参照データを保存し、当該 $2Q$ 次元の参照データと $2Q$ 次元の検索データとの距離を計算し、その距離に応じたクロック数をカウントしたタイミングを示すマッチ信号（ MN 信号）を出力する。すなわち、図6の再構成例は、図5の再構成例に対して、参照データの次元数を半分にする代わりに個数を倍にしたものである。

【0065】

50

図7の再構成例では、図示しないスイッチ回路によって8個の元素回路70がカスケード接続されて2個の参照データ検索回路40が構成されている。図7の再構成例において、2個の参照データ検索回路40は、それぞれ、 $8Q (= 8 \times Q)$ 次元の参照データを保存し、当該 $8Q$ 次元の参照データと $8Q$ 次元の検索データとの距離を計算し、その距離に応じたクロック数をカウントしたタイミングを示すマッチ信号(MN信号)を出力する。すなわち、図7の再構成例は、図5の再構成例に対して、参照データの個数を半分にする代わりに次元数を倍にしたものである。

【0066】

再構成可能なk近傍法連想メモリの実施形態

次に、本発明の一実施形態に係る再構成可能なk近傍法連想メモリについて説明する。図8は、本発明の一実施形態に係る再構成可能なk近傍法連想メモリ100の概略構成を示す。本実施形態に係る再構成可能なk近傍法連想メモリ100は、上記の再構成可能なクロックカウント式連想メモリ10と、制御回路20と、k近傍クラスタリング回路30とを備えている。

10

【0067】

再構成可能なクロックカウント式連想メモリ10は、複数の参照データ(例えば、参照データ1, 参照データ2, ..., 参照データR)を保持しており、これら複数の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力する回路である。なお、上述したように、再構成可能なクロックカウント式連想メモリ10は、再構成することで、保持する参照データの個数と次元数を任意に変更することができる。なお、「距離」とはマンハッタン距離、ユークリッド距離などを含む。また、「アクティブ」とは、正論理では信号がLレベルからHレベルへと遷移することをいい、負論理では信号がHレベルからLレベルへと遷移することをいう。便宜のため、以下では正論理を前提に説明する。

20

【0068】

制御回路20は、再構成可能なクロックカウント式連想メモリ10およびk近傍クラスタリング回路30の動作を制御する回路である。

【0069】

k近傍クラスタリング回路30は、元素回路70の総数(例えば、n個)に等しい複数の参照データのそれぞれのクラスを表す複数のクラスデータ(例えば、クラスデータ1, クラスデータ2, ..., クラスデータn)から、クロックカウント式連想メモリ10から出力されるアクティブのk個のマッチ信号のそれぞれに対応するk個のクラスデータを選択し、これらk個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定する回路である。

30

【0070】

再構成可能なk近傍法連想メモリ100は、上記3つの回路を備えることで、k近傍法に基づいて、与えられた検索データがいずれのクラスに分類されるかを判定することができる。以下、各回路の構成例について説明する。

【0071】

再構成可能なクロックカウント式連想メモリ10の構成例

図9は、一例に係る再構成可能なクロックカウント式連想メモリ10の概略構成を示す。各元素回路70に対応してスイッチ回路50が設けられており、上述したように、スイッチ回路50によって元素回路70どうしが任意に接続および切断可能となっている。各スイッチ回路50が元素回路70どうしを接続するか否かは、各スイッチ回路50に入力される回路構成信号SRによって決まる。

40

【0072】

また、各スイッチ回路50に対応してk近傍法(k-NN)ユニット80が設けられている。各k-NNユニット80は、制御回路20の構成要素であるマッチ信号アクティブ検出回路(不図示)ならびにk近傍クラスタリング回路30の構成要素であるマッチ信号検出回路(不図示)およびクラスデータ保存回路(不図示)を有している。各k-NNユ

50

ニット 80 には対応するスイッチ回路 50 が回路構成信号 SR に応じて選択的に出力するマッチ信号が入力される。すべての $k - NN$ ユニット 80 はカスケード接続されており、初段の $k - NN$ ユニット 80 にはマッチ信号アクティブ検出信号 MD が入力され、最終段の k 近傍法 $k - NN$ ユニット 80 から終了信号 end が出力される。これら信号については後述する。

【0073】

各スイッチ回路 50 に入力される回路構成信号 SR は、メモリ（回路構成情報記憶回路）60 に記憶されている。メモリ 60 は、SRAM（Static Random Access Memory）、フラッシュメモリ、EEPROM（Electrically Erasable Programmable Read-Only Memory）などの不揮発性メモリやシフトレジスタなどで構成することができる。メモリ 60 の記憶内容を書き換えるだけで、再構成可能な k 近傍法連想メモリ 100 を任意に再構成することができる。

10

【0074】

図 10 は、一例に係るスイッチ回路 50 の回路構成を示す。スイッチ回路 50 は、例えば、二つのマルチプレクサ（MUX）51 および 52 を備えている。

【0075】

マルチプレクサ 51 は、検索開始信号 SB が入力 in_0 として、前段のエレメント回路 70 から出力される MN 信号（ MN_{in} ）が入力 in_1 としてそれぞれ与えられ、回路構成信号 SR によって in_0 および in_1 のいずれか一方を選択的に出力する。MUX 51 から出力される MN 信号（ MN_{out} ）は、次段のエレメント回路 70 における距離/クロック数変換回路 DC のトリガー信号となる。具体的には、MUX 51 は、回路構成信号 SR が H レベル（ $SR = 1$ ）のとき、 in_1 を出力する。この場合、前段のエレメント回路 70 における距離/クロック数変換回路 DC から出力されるマッチ信号（MN 信号）が次段のエレメント回路 70 における距離/クロック数変換回路 DC のトリガー信号として供給される。一方、MUX 51 は、回路構成信号 SR が L レベル（ $SR = 0$ ）のとき、 in_0 を出力する。この場合、次段のエレメント回路 70 における距離/クロック数変換回路 DC に検索開始信号 SB が供給される。すなわち、この場合の次段のエレメント回路 70 は、参照データ検索回路 40 における初段のエレメント回路 70 に相当する。

20

【0076】

MUX 52 は、前段のエレメント回路 70 から出力される MN 信号（ MN_{in} ）が入力 in_0 として、固定値 “0” が入力 in_1 としてそれぞれ与えられ、回路構成信号 SR によって in_0 および in_1 のいずれか一方を選択的に出力する。MUX 52 から出力されるマッチ信号 M は、対応する $k - NN$ ユニット 80 に入力される。

30

【0077】

例えば、回路構成信号 SR が H レベルのとき、MUX 52 は in_1 を出力する。この場合、対応する $k - NN$ ユニット 80 にはマッチ信号 M として固定値 “0” が入力される。したがって、当該 $k - NN$ ユニット 80 に入力されるマッチ信号 M はアクティブになることはなく、当該 $k - NN$ ユニット 80 に含まれるマッチ信号アクティブ検出回路およびマッチ信号検出回路は動作しない。一方、回路構成信号 SR が L レベルのとき、MUX 52 は in_0 を出力する。回路構成信号 SR が L レベルということは、上述したように、次段のエレメント回路 70 が参照データ検索回路 40 における初段のエレメント回路 70 に相当し、当該スイッチ回路 50 に対応するエレメント回路 70 は参照データ検索回路 40 における最終段のエレメント回路 70 に相当する。この場合、対応する $k - NN$ ユニット 80 にはマッチ信号 M として MUX 51 から出力される MN 信号、すなわち、参照データ検索回路 40 における最終段のエレメント回路 70 における距離/クロック数変換回路 DC から出力されるマッチ信号（MN 信号）が入力される。したがって、当該 $k - NN$ ユニット 80 に入力されるマッチ信号 M は、参照データ検索回路 40 において検索データと参照データとの距離が計算され、その距離に応じたクロック数がカウントされたタイミングでアクティブになり、当該 $k - NN$ ユニット 80 に含まれるマッチ信号アクティブ検出回路およびマッチ信号検出回路は当該マッチ信号 M がアクティブになることで所期の動作を行

40

50

う。この動作については後述する。

【0078】

図11は、別例に係るスイッチ回路50の回路構成を示す。当該構成は、図10の構成と異なり、MUX52の入力 in_0 として、前段のエレメント回路70から出力されるMN信号(MN_{in})ではなくMUX51の出力信号が与えられる。なお、このような構成の場合、MUX52には次段のスイッチ回路50に入力される回路構成信号SRを与える必要がある。このような構成のスイッチ回路50でも、図10の構成と同様の動作をすることができる。

【0079】

制御回路20の構成例

図12は、一例に係る制御回路20の概略構成を示す。制御回路20は、複数の(具体的にはエレメント回路70の総数であり、例えば、 n 個とする)マッチ信号アクティブ検出回路21と、 n 個のマッチ信号アクティブ検出回路21から出力される検出信号 $MD_1 \sim MD_n$ の論理和を演算してマッチ信号アクティブ検出信号MDを出力するORゲート22を含む。なお、上述したように、各マッチ信号アクティブ検出回路21は各 k -NNユニット80内に配置されている。マッチ信号アクティブ検出回路21は、対応するマッチ信号 M_i (i は1から n までの整数)と後述するクラス識別回路33によるクラス識別動作の終了を表す終了信号 end との論理積を演算するANDゲート211と、Hレベル信号がデータ入力(D)されるとともにANDゲート211の出力信号がクロック入力(CLK)されるDフリップフロップ212と、マッチ信号 M_i とDフリップフロップの反転出力との論理積を演算して検出信号 MD_i を出力するANDゲート213を含む。なお、図示していないが、各Dフリップフロップ212はリセット信号を受けることで初期状態にリセットされる。

【0080】

このような回路構成によれば、マッチ信号アクティブ検出回路21から出力される検出信号 MD_i は、マッチ信号 M_i がアクティブ(Hレベル)になるとアクティブ(Hレベル)になり、その後、終了信号 end が立ち上がってDフリップフロップ211がデータ入力(D)を取り込んで反転出力(Qバー)がLレベルに変化することで非アクティブ(Lレベル)になる。ここで、Dフリップフロップ211のデータ入力(D)はHレベル信号の固定値であるため、Dフリップフロップ211が一度データ入力(D)を取り込んだ後は、Dフリップフロップ211がリセットされるまで、Dフリップフロップ211の反転出力(Qバー)はLレベルに維持される。このため、ANDゲート213においてマッチ信号 M_i がマスクされ、検出信号 MD_i は非アクティブ(Lレベル)を維持する。すなわち、マッチ信号アクティブ検出回路21から出力される検出信号 MD_i は、マッチ信号 M_i がアクティブになってから終了信号 end が出力されるまでの間だけアクティブになり、それ以外の期間は非アクティブになる。したがって、マッチ信号アクティブ検出信号MDの出力に寄与したマッチ信号は、その後のマッチ信号アクティブ検出信号MDの出力に影響を及ぼさずに、別のマッチ信号がアクティブになることでマッチ信号アクティブ検出信号MDが再び出力される。このように、制御回路20は、任意のマッチ信号がアクティブになるときにそれを検出してマッチ信号アクティブ検出信号MDを出力する。

【0081】

マッチ信号アクティブ検出信号MDは、再構成可能なクロックカウンタ式連想メモリ10およびクラス識別回路33の動作制御に使用される。より詳細には、制御回路20は、マッチ信号アクティブ検出信号MDを用いて再構成可能なクロックカウンタ式連想メモリ10およびクラス識別回路33を排他的に動作させる。例えば、再構成可能なクロックカウンタ式連想メモリ10において、マッチ信号アクティブ検出信号MDが非アクティブのときにクロック信号CLKが供給されるように構成するとよい。クラス識別回路33の構成例については後述する。

【0082】

k近傍クラスタリング回路30の構成例

10

20

30

40

50

図 8 に戻り、 k 近傍クラスタリング回路 30 は、クラスデータメモリ 31 と、 X 個のクラスカウンタ 32 と、クラス識別回路 33 と、最大カウンタ検出回路 34 と、 k - マッチ信号数一致検出回路 35 とを含む。

【0083】

クラスデータメモリ 31 は、エレメント回路 70 の総数に等しい n 個の参照データのそれぞれのクラスを表す n 個のクラスデータ (クラスデータ 1, クラスデータ 2, ..., クラスデータ n) を保持する回路である。

【0084】

各クラスカウンタ 32 は、対応するクラスのデータ数をカウントするための回路である。クラス数は、全部で X 個 (X は 2 以上の整数) である。

10

【0085】

クラス識別回路 33 は、再構成可能なクロックカウンタ式連想メモリ 10 から出力されるアクティブのマッチ信号を順次選択し、当該選択したマッチ信号に対応するクラスデータをクラスデータメモリ 31 から読み出し、当該読み出したクラスデータによって表されるクラスに対応するクラスカウンタ 32 をカウントアップする回路である。

【0086】

k - マッチ信号数一致検出回路 35 は、クラス識別回路 33 がアクティブになったマッチ信号を一つ選択するごとにカウントアップし、カウント値が k に一致したことを検出する回路である。

【0087】

図 13 は、一例に係るクラスデータメモリ 31、クラスカウンタ 32、クラス識別回路 33、および k - マッチ信号数一致検出回路 35 の概略構成を示す。

20

【0088】

クラスデータメモリ 31 は、メモリ部 311、行選択回路 312、列デコーダ 313、および読出/書込回路 314 を含む。

【0089】

メモリ部 311 は、SRAM など構成されるクラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{n1} \sim S_{nQ}$ を含む。なお、 Q は、2 以上の整数である。

【0090】

クラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{n1} \sim S_{nQ}$ は、行選択回路 312、列デコーダ 313、および読出/書込回路 314 によって書き込まれたクラスデータを保存する。この場合、クラスデータ保存回路 $S_{11} \sim S_{1Q}$ は、 $N \times Q$ (N は 1 以上の整数) ビットのクラスデータ 1 を保存し、クラスデータ保存回路 $S_{21} \sim S_{2Q}$ は、 $N \times Q$ ビットのクラスデータ 2 を保存し、以下、同様にして、クラスデータ保存回路 $S_{n1} \sim S_{nQ}$ は、 $N \times Q$ ビットのクラスデータ R を保存する。つまり、クラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{n1} \sim S_{nQ}$ のそれぞれは、クラスデータの N ビットを保存する。なお、上述したように、各クラスデータ保存回路は各 $k - N$ ユニット 80 内に配置されている。

30

【0091】

行選択回路 312 は、メモリ部 311 の行方向のアドレスを指定する。列デコーダ 313 は、メモリ部 311 の列方向のアドレスを指定する。読出/書込回路 314 は、行選択回路 312 および列デコーダ 313 によって指定されたクラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{n1} \sim S_{nQ}$ に対してクラスデータを読み書きする。

40

【0092】

クラス識別回路 33 は、 n 個のマッチ信号検出回路 331 と、デマルチプレクサ 332 と、二つのバッファ 333, 334 とを含む。クラス識別回路 33 には、直列に接続されたバッファ 3315 とバッファ 3316 を介してクロック信号 CLK が接続されている。制御回路 20 から出力されるマッチ信号アクティブ検出信号 MD が H レベルに遷移することで、バッファ 333 およびバッファ 334 を介してクラス識別回路 33 にクロック信号 CLK が供給される。これにより、クラス識別回路 33 は動作を開始する。また、クラス

50

識別回路 33 によるクラス識別動作が終了すると終了信号 end が H レベルに遷移する。終了信号 end が H レベルに遷移することで、バッファ 334 がクラス識別回路 33 へのクロック信号 CLK の供給を遮断する。これにより、クラス識別回路 33 は動作を停止する。

【0093】

n 個のマッチ信号検出回路 331 は、 n 個のスイッチ回路 50 から出力される n 個のマッチ信号のそれぞれに対応して設けられている。各マッチ信号検出回路 331 は、対応するマッチ信号がアクティブであることを検出してクラスデータメモリ 31 に当該マッチ信号に対応するクラスデータを選択する選択信号 act を出力する回路である。なお、上述したように、各マッチ信号検出回路 331 は各 $k - NN$ ユニット 80 内に配置されている。

10

【0094】

図 9 に示したように、すべての $k - NN$ ユニット 80 はカスケード接続されている。すなわち、 n 個のマッチ信号検出回路 331 は、動作開始信号を伝搬するように直列に接続されている。すなわち、マッチ信号検出回路 331 は動作開始信号を次々に受けて順次動作するようになっている。初段のマッチ信号検出回路 331 は、マッチ信号アクティブ検出信号 MD を動作開始信号 $next_0$ として受けて動作を開始し、動作が終了すると次段（2 段目）のマッチ信号検出回路 331 へ動作開始信号 $next_1$ を出力する。2 段目のマッチ信号検出回路 331 は、動作開始信号 $next_1$ を受けて動作を開始し、動作が終了すると次段（3 段目）のマッチ信号検出回路 331 へ動作開始信号 $next_2$ を出力する。以下、同様にして、最終段（ n 段目）のマッチ信号検出回路 331 は、動作開始信号 $next_{n-1}$ を受けて動作を開始し、動作が終了すると動作開始信号 $next_n$ を出力する。動作開始信号 $next_n$ は終了信号 end に相当する。

20

【0095】

マッチ信号 M_1 が入力されるマッチ信号検出回路 331 から出力される選択信号 act_1 によって、クラスデータメモリ 31 においてクラスデータ 1 が選択され、出力される。マッチ信号 M_2 が入力されるマッチ信号検出回路 331 から出力される選択信号 act_2 によって、クラスデータメモリ 31 においてクラスデータ 2 が選択され、出力される。以下、同様にして、マッチ信号 M_n が入力されるマッチ信号検出回路 331 から出力される選択信号 act_n によって、クラスデータメモリ 31 においてクラスデータ R が選択され、出力される。

30

【0096】

図 14 は、一例に係るマッチ信号検出回路 331 の概略構成を示す。マッチ信号検出回路 331 は、一致検出回路 3311 と、レジスタ 3312 とを含む。一致検出回路 3311 は、レジスタ 3312 が保持する 1 ビット値とマッチ信号 M_i との一致を検出して一致信号 $match$ を出力する回路である。両者が一致する場合、一致信号 $match$ は H レベルとなり、両者が一致しない場合、一致信号 $match$ は L レベルとなる。一致信号 $match$ およびマッチ信号検出回路 331 に入力される動作開始信号 $next_{i-1}$ は AND ゲート 3313 に入力されて論理積が演算される。AND ゲート 3313 の出力が、次段のマッチ信号検出回路 331 に供給される動作開始信号 $next_i$ となる。また、一致信号 $match$ の論理反転および動作開始信号 $next_{i-1}$ は AND ゲート 3314 に入力されて論理積が演算される。AND ゲート 3314 の出力が、クラスデータの選択信号 act_i となる。

40

【0097】

レジスタ 3312 には初期値として“0”が保持されている。したがって、マッチ信号 M_i が非アクティブのとき、両者は一致して一致信号 $match$ が H レベルとなる。このとき、AND ゲート 3313 の出力が H レベルとなり、次段のマッチ信号検出回路 331 に動作開始信号 $next_{i-1}$ が供給される。また、AND ゲート 3314 の出力は L レベルとなる。すなわち、クラスデータの選択信号 act_i は出力されない。このように、マッチ信号 M_i が非アクティブのとき、マッチ信号検出回路 331 は、クラスデータの選

50

択信号を出力せずに、入力された動作開始信号をすぐさま次段のマッチ信号検出回路 331 に伝達する。

【0098】

一方、マッチ信号 M_i がアクティブのとき、両者が一致しないため一致信号 $match$ が L レベルとなる。このとき、AND ゲート 3313 の出力が L レベルとなり、H レベルの動作開始信号 $next_{i-1}$ が入力されることで、AND ゲート 3314 から H レベルの選択信号 act_i が出力される。

【0099】

レジスタ 3312 には、直列に接続されたバッファ 3315 とバッファ 3316 を介してクロック信号 CLK が接続されている。動作開始信号 $next_{i-1}$ が H レベルになると、バッファ 3315 はクロック信号 CLK をバッファ 3316 へ供給する。さらに、一致信号 $match$ の反転が H レベルになるとバッファ 3316 はクロック信号 CLK をレジスタ 3312 へ供給する。レジスタ 3312 はクロック信号 CLK を受けると保持値を 1 に変更する。これにより、アクティブのマッチ信号 M_i とレジスタ 3312 の保持値とが一致して一致信号 $match$ が L レベルとなる。このとき、AND ゲート 3313 の出力が H レベルとなり、次段のマッチ信号検出回路 331 に動作開始信号 $next_{i-1}$ が供給される。また、AND ゲート 3314 の出力は L レベルとなる。すなわち、クラスデータの選択信号 act_i が L レベルに遷移する。このように、マッチ信号 M_i がアクティブのとき、マッチ信号検出回路 331 は、クラスデータの選択信号を出力してから 1 クロック周期後に、入力された動作開始信号を次段のマッチ信号検出回路 331 に伝達する。このとき出力されるクラスデータの選択信号は 1 クロック周期だけ H レベルとなる。

10

20

【0100】

図 13 に戻り、デマルチプレクサ 332 にはバッファ 333 およびバッファ 334 を介して供給されるクロック信号 CLK が入力され、出力先はクラスデータメモリ 31 から出力された Q ビットのクラスデータ cls によって決定される。すなわち、クラスデータ cls は X 個のクラスカウンタ 32 の中のいずれか一つを選択する信号として用いられる。そして、1 クロック周期ごとにクラスデータが選択され、当該選択されたクラスデータに対応するクラスカウンタ 32 にクロック信号 CLK が入力されることで、当該クラスカウンタ 32 のカウント値がカウントアップされる。

【0101】

k - マッチ信号数一致検出回路 35 は、カウンタ 351 および比較器 352 を含む。カウンタ 351 には、クラス識別回路 33 へのクロック信号 CLK の供給と同じ条件でクロック信号 CLK が入力されてパルス数をカウントアップする。すなわち、カウンタ 351 は、クラス識別回路 33 がアクティブになったマッチ信号を一つ選択するごとにカウントアップする。比較器 352 は、外部から与えられる数値 k とカウンタ 351 のカウント値とを比較する回路である。両者が一致すると比較器 352 から停止信号 $stop$ が出力される。なお、図示していないが、カウント回路 351 はリセット信号を受けることで初期状態にリセットされる。

30

【0102】

停止信号 $stop$ は再構成可能なクロックカウンタ式連想メモリ 10 の動作を停止させる制御信号として利用することができる。例えば、再構成可能なクロックカウンタ式連想メモリ 10 において、停止信号 $stop$ を受けたときにクロック信号 CLK の供給を遮断するように構成するとよい。これにより、再構成可能なクロックカウンタ式連想メモリ 10 から出力される複数のマッチ信号のいずれか k 個がアクティブになったとき、再構成可能なクロックカウンタ式連想メモリ 10 の動作が停止してそれ以上マッチ信号がアクティブになるのが抑制される。すなわち、アクティブになるマッチ信号の数を k 個に制限することができる。

40

【0103】

X 個のクラスカウンタ 32 のカウント値 $C_{n_1} \sim C_{n_x}$ は、各クラスの近傍の数を示している。すなわち、カウント値 $C_{n_1} \sim C_{n_x}$ を参照することで各クラスの票数（データ

50

数)がわかる。最大カウンタ検出回路34は、X個のクラスカウンタ32の中からカウント値が最大のクラスカウンタを見つける回路である。

【0104】

図15は、一例に係る最大カウンタ検出回路34の概略構成を示す。最大カウンタ検出回路34は、ダウンカウンタ341と、X個の一致検出回路342を含む。ダウンカウンタ341は、クロック信号CLKを受けて、初期値からカウント値をカウントダウンする回路である。ダウンカウンタ341へはバッファ343を介してクロック信号CLKが供給される。バッファ343は、k-マッチ信号数一致検出回路35から出力される停止信号stopを受けて、ダウンカウンタ341へクロック信号CLKを供給する。

【0105】

X個の一致検出回路342は、X個のクラスカウンタ32のそれぞれに対応して設けられている。各一致検出回路342は、対応するクラスカウンタ32のカウント値とダウンカウンタ341のカウント値との一致を検出して、一致信号 $C_1 \sim C_X$ を出力する回路である。各一致検出回路342は、一致を検出すると、一致信号 $C_1 \sim C_X$ をHレベルに遷移させる。

【0106】

X個の一致検出回路342の出力信号はORゲート344に入力され、これらの論理和が演算される。ダウンカウンタ341に入力されるクロック信号CLKは、ORゲート344の出力の論理反転によってマスクされるようになっている。すなわち、ダウンカウンタ341のカウント値がカウントダウンされている間に、X個の一致検出回路342のうちいずれか一つによってダウンカウンタ341のカウント値と対応するクラスカウンタ32のカウント値との一致が検出されたとき、ダウンカウンタ341のカウント動作を停止させるようになっている。これにより、最大のカウント値を保持するクラスカウンタ32のみを検出することができる。一致信号 $C_1 \sim C_X$ のうちHレベルになっているものが、k近傍法に基づいて決定された検索データのクラスを表している。

【0107】

図16は、別例に係る最大カウンタ検出回路34の概略構成を示す。最大カウンタ検出回路34は、複数の最大値選出回路345をツリー状に接続したトーナメント回路として構成することもできる。

【0108】

図17は、一例に係る最大値選出回路345の概略構成を示す。最大値選出回路345は、比較回路346と、マルチプレクサ347を含む。

【0109】

最大値選出回路345には、あるクラスカウンタ32のカウント値Aとそのクラスカウンタ32の識別番号iを結合した信号A&iと、別のクラスカウンタ32のカウント値Bとそのクラスカウンタ32の識別番号jを結合した信号B&jが入力される。比較回路346は、カウンタ値Aおよびカウンタ値Bの大小を比較する。マルチプレクサ347は、信号A&iおよび信号B&jを受け、比較回路346の出力信号に応じて信号Cとして信号A&iおよび信号B&jのいずれか一方を出力する。具体的には、マルチプレクサ347は、A=Bの場合、信号A&iを出力し、A<Bの場合、信号B&jを出力する。すなわち、信号Cとして、カウンタ値が大きい方のクラスカウンタ32のカウント値max(A, B)とそのクラスカウンタの識別番号index(i or j)を結合した信号が出力される。なお、マルチプレクサ347は、A>Bの場合、信号A&iを出力し、A=Bの場合、信号B&jを出力してもよい。

【0110】

図16に戻り、トーナメント回路のリーフノードにはX/2個の最大値選出回路345が配置される。リーフノードの各最大値選出回路345にはX個のクラスカウンタ32のうち隣り合う2個のクラスカウンタ32の各カウンタ値とそれら2個のクラスカウンタ32の各識別番号を結合した信号が入力される。

【0111】

10

20

30

40

50

トーナメント回路の2段目には $X/2^2$ 個の最大値選出回路345が配置される。2段目の各最大値選出回路345にはリーフノードの隣り合う2個の最大値選出回路345から出力される信号が入力される。

【0112】

トーナメント回路のルートノードには1個の最大値選出回路345が配置される。そして、ルートノードの最大値選出回路345から、 X 個のクラスカウンタ32の最大カウント値 $\max(C_{n_1}, \dots, C_{n_X})$ およびそのクラスカウンタ32の識別番号である $class\ index$ を結合した信号が出力される。

【0113】

上記構成の最大カウンタ検出回路34によると、 X 個のクラスカウンタ32の最大値を1クロックサイクルで決定することができるため、特に高速処理に適している。

10

【0114】

以上のように、本実施形態によると、再構成可能なクロックカウント式連想メモリ10によって検索データと各参照データとの距離がクロック数に変換されて、距離に応じたタイミングで各参照データに対応するマッチ信号がアクティブとなる。そして、 k 近傍クラスタリング回路30によって、より先にアクティブになった k 個のマッチ信号に対応する k 個のクラスデータをクラス別に分類した場合にデータ数が最大となるクラスが判定される。このようにして、 k 近傍法に基づいた検索データのクラス分けが実現される。また、複数のエレメント回路70をさまざまにつなぎ替えて参照データの次元数および個数を任意に拡張することができる。これにより、アプリケーションに応じて再構成可能な k 近傍法連想メモリ100を最適に再構成して、再構成可能な k 近傍法連想メモリ100に割り当てられたリソースを最大限利用することができる。

20

【0115】

なお、本実施形態では、再構成可能なクロックカウント式連想メモリ10から出力される複数のマッチ信号のいずれかがアクティブになると同時にクラス識別が行われるため、距離情報が欠落してしまう。そこで、例えば、クラス識別回路33にカウンタを設けて、各マッチ信号がアクティブになるまでの時間情報(すなわち時間換算した距離情報)を保持するようにしてもよい。その場合、時間情報を用いて、検索データにより距離の近い参照データの重みを大きくするようにクラスデータの重み付けを行って、より高度なクラス判別を行うことができる。また、アクティブとなった k 個のマッチ信号に対応する参照データのうち、検索データとの距離が閾値以上のものは除外して k 個以下で k 近傍法を適用することも可能である。

30

【0116】

また、先行文献2の発明に係る k 近傍法連想メモリでは、複数の加算器をツリー状に接続してマッチ信号カウント回路を構成し、クロックカウント式連想メモリから出力される R 個のマッチ信号を当該マッチ信号カウント回路に接続して、より先にアクティブになった k 個のマッチ信号をカウントしていた。これに対して、本実施形態に係る再構成可能な k 近傍法連想メモリ100では、そのような加算器ツリーを使用せずにより先にアクティブになった k 個のマッチ信号をカウントすることができるため、回路規模、消費電力、および遅延時間をより小さくすることができる。

40

【符号の説明】

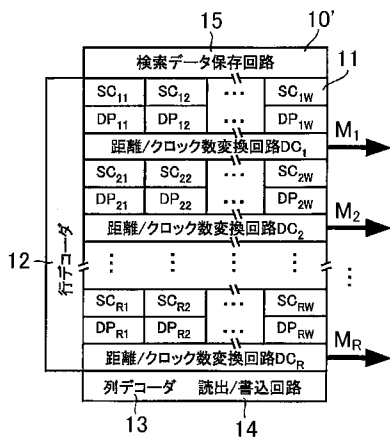
【0117】

- 100 再構成可能な k 近傍法連想メモリ
- 10 再構成可能なクロックカウント式連想メモリ
- 20 制御回路
- 21 マッチ信号アクティブ検出回路
- 22 ORゲート
- 30 k 近傍クラスタリング回路
- 31 クラスデータメモリ
- 32 クラスカウンタ

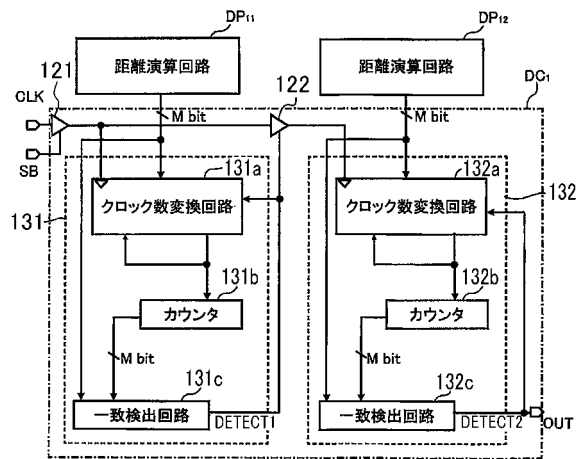
50

- 3 3 クラス識別回路
- 3 3 1 マッチ信号検出回路
- 3 4 最大カウンタ検出回路
- 3 4 1 ダウンカウンタ
- 3 4 2 一致検出回路
- 3 4 5 最大値選出回路
- 3 5 k - マッチ信号数一致検出回路
- 4 0 参照データ検索回路
- 5 0 スイッチ回路
- 6 0 メモリ (回路構成情報記憶回路)
- 7 0 エレメント回路
- S C 参照データ保存回路
- D P 距離計算回路
- D C 距離 / クロック数変換回路

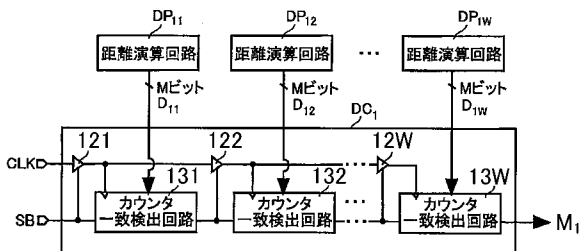
【 図 1 】



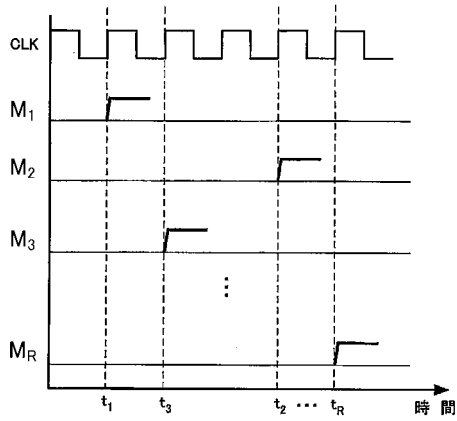
【 図 3 】



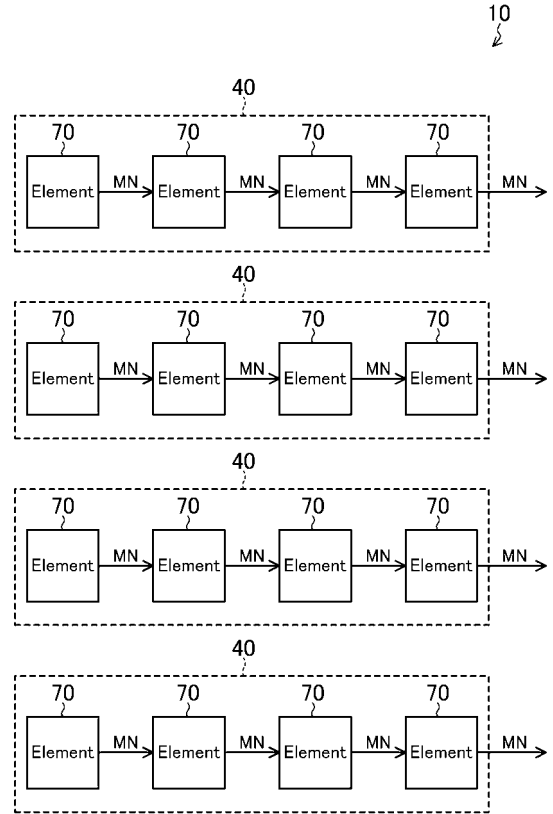
【 図 2 】



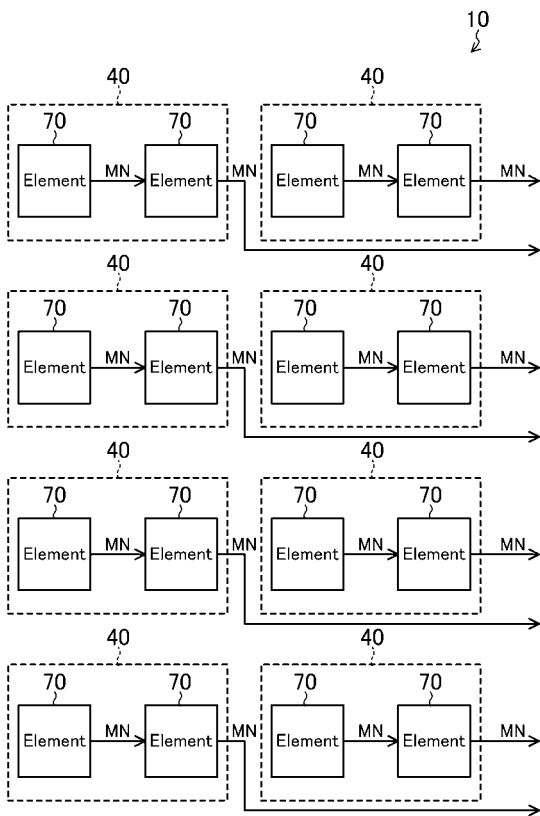
【 図 4 】



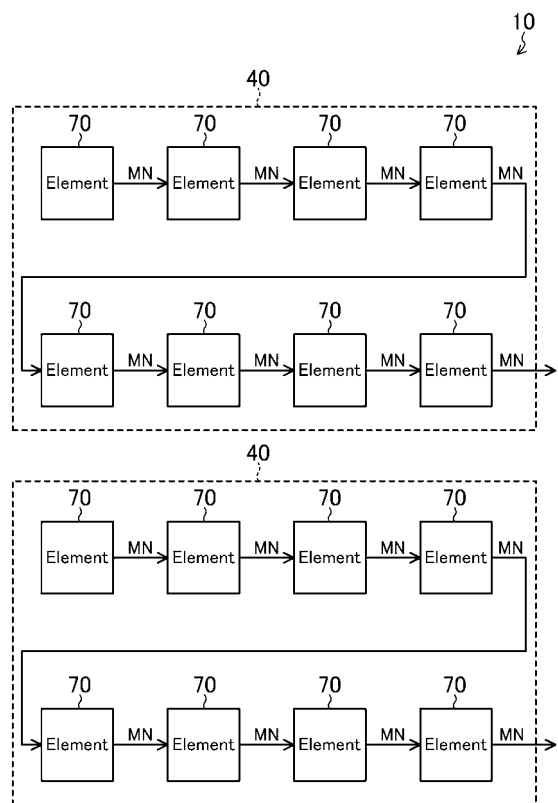
【 図 5 】



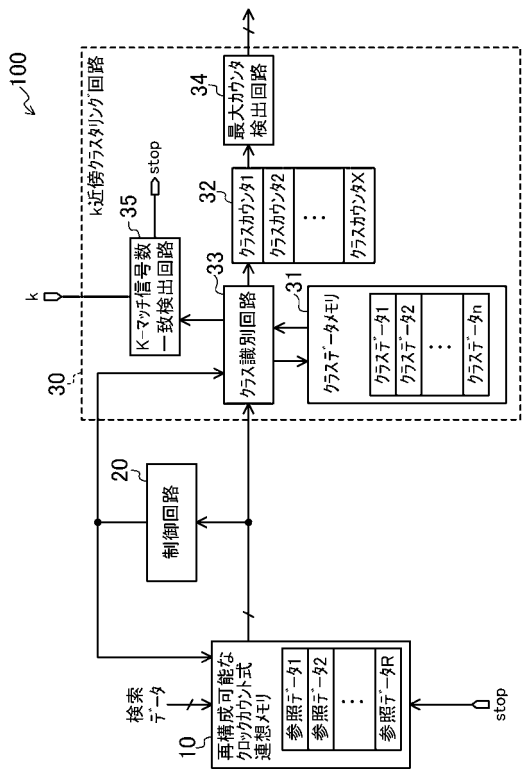
【 図 6 】



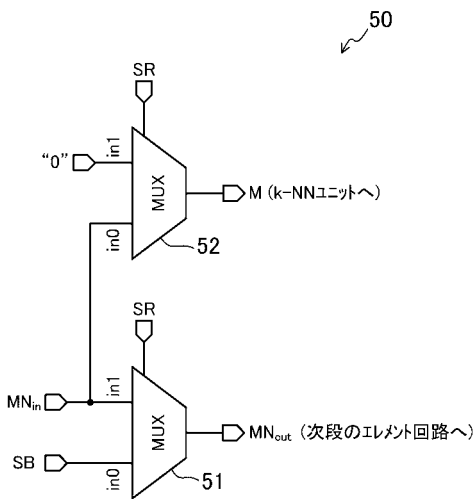
【 図 7 】



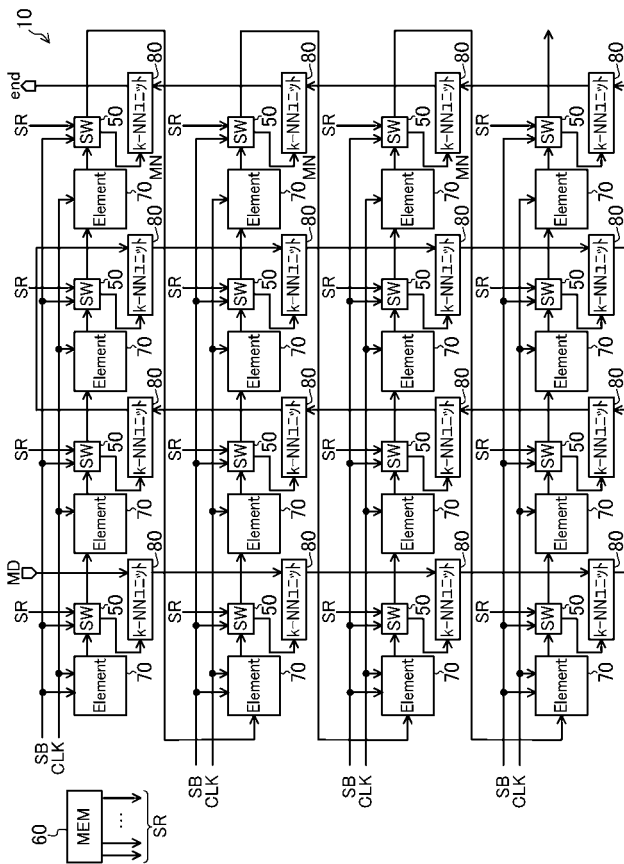
【図 8】



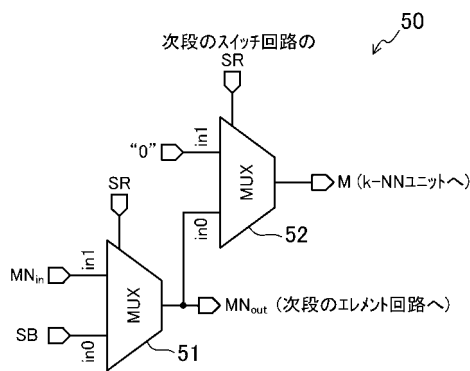
【図 10】



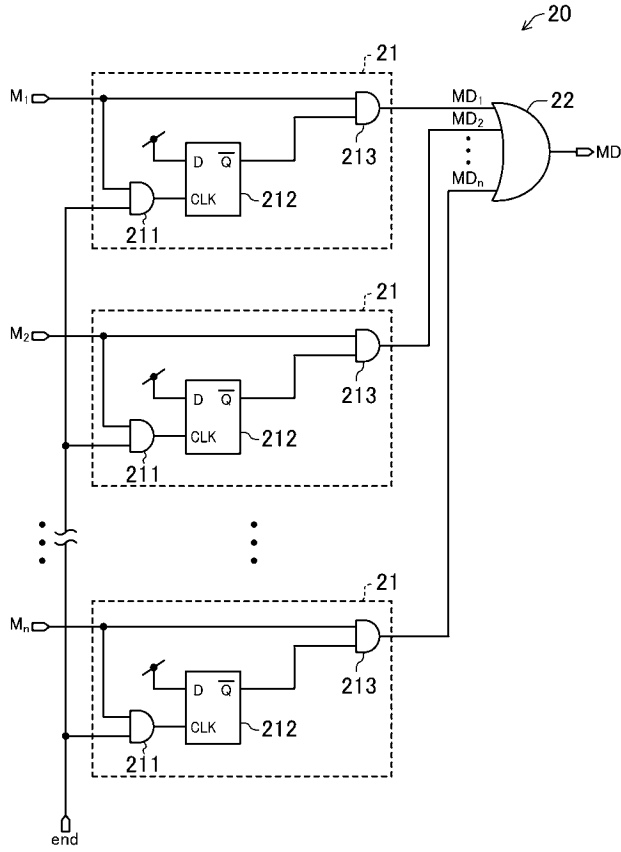
【図 9】



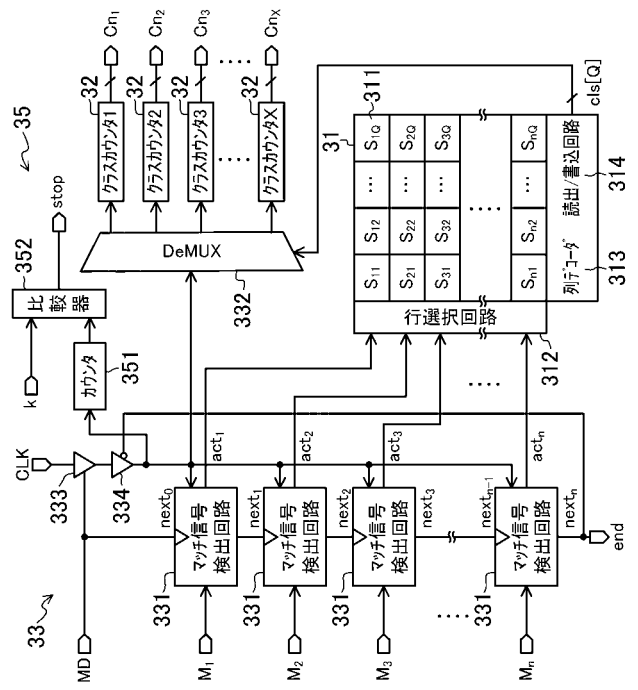
【図 11】



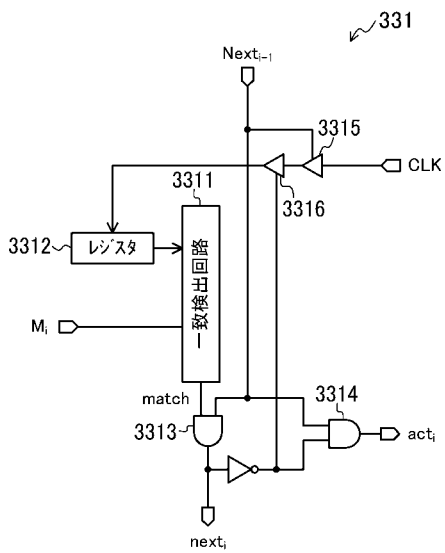
【図12】



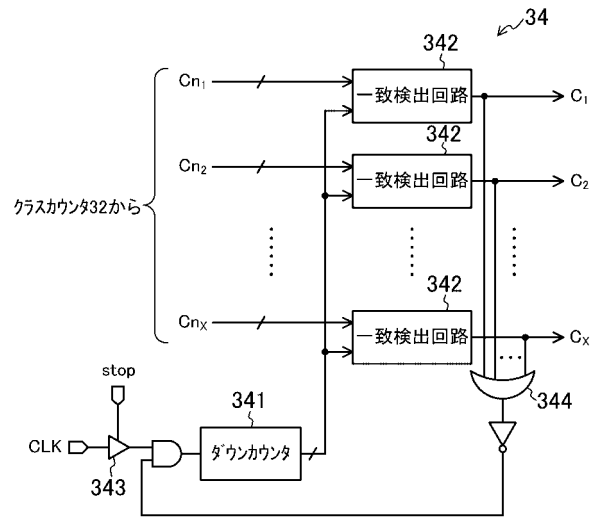
【図13】



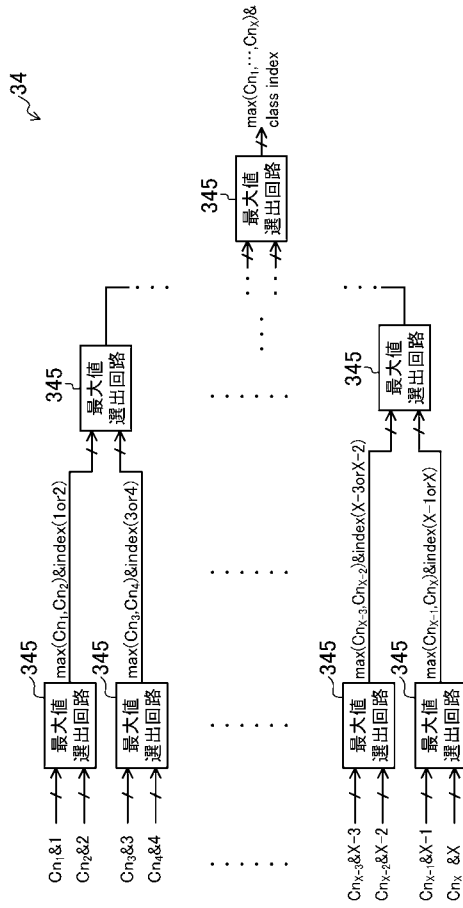
【図14】



【図15】



【 図 1 6 】



【 図 1 7 】

