

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5999611号
(P5999611)

(45) 発行日 平成28年9月28日(2016.9.28)

(24) 登録日 平成28年9月9日(2016.9.9)

(51) Int. Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 J
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	3 O 1 B
HO 1 L 21/20 (2006.01)	HO 1 L 21/20	
HO 1 L 29/417 (2006.01)	HO 1 L 29/50	M
HO 1 L 29/41 (2006.01)	HO 1 L 29/44	L
請求項の数 8 (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2015-531725 (P2015-531725)
 (86) (22) 出願日 平成26年8月12日 (2014.8.12)
 (86) 国際出願番号 PCT/JP2014/004175
 (87) 国際公開番号 W02015/022777
 (87) 国際公開日 平成27年2月19日 (2015.2.19)
 審査請求日 平成28年3月17日 (2016.3.17)
 (31) 優先権主張番号 特願2013-168048 (P2013-168048)
 (32) 優先日 平成25年8月13日 (2013.8.13)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 504173471
 国立大学法人北海道大学
 北海道札幌市北区北8条西5丁目
 (73) 特許権者 503360115
 国立研究開発法人科学技術振興機構
 埼玉県川口市本町四丁目1番8号
 (74) 代理人 100105050
 弁理士 鷲田 公一
 (72) 発明者 福井 孝志
 北海道札幌市北区北8条西5丁目 国立大
 学法人北海道大学内
 (72) 発明者 富岡 克広
 埼玉県川口市本町4-1-8 川口センタ
 ービル 国立研究開発法人科学技術振興機
 構内

最終頁に続く

(54) 【発明の名称】 トンネル電界効果トランジスタ、その製造方法およびスイッチ素子

(57) 【特許請求の範囲】

【請求項4】

I V 族半導体基板における、n型およびp型のいずれか一方である第1導電型を呈する部分の(111)面上から、III-V族化合物半導体ナノワイヤを成長させるステップと、

前記I V 族半導体基板および前記III-V族化合物半導体ナノワイヤの界面に作用する、ソース電極およびドレイン電極間のキャリアの流れを制御するための電界を発生させるためのゲート電極を形成するステップと、

前記III-V族化合物半導体ナノワイヤと接触しないように前記I V 族半導体基板に前記ソース電極および前記ドレイン電極のいずれか一方を形成するステップと、

前記III-V族化合物半導体ナノワイヤに前記ソース電極および前記ドレイン電極のいずれか他方を形成するステップと、

を含む、トンネル電界効果トランジスタの製造方法であって、

前記III-V族化合物半導体ナノワイヤを成長させるステップは、

前記(111)面上に、III族原料およびV族原料を供給しながら、III-V族化合物半導体を前記第1導電型にするための第1導電型ドーパント、および、III-V族化合物半導体を、n型およびp型のいずれか他方である第2導電型にするための第2導電型ドーパントの一方または両方を断続的にドーピングして第1の領域を形成するステップと、

前記(111)面上に形成された前記第1の領域に、前記V族原料および前記III族原料をさらに供給し、前記第1の領域から連続する、前記第2導電型を呈する第2の領域

を形成するステップと、
を含む、

トンネル電界効果トランジスタの製造方法。

【請求項 5】

前記第 1 の領域は、III-V 族化合物半導体を前記第 2 導電型にするための第 2 導電型ドーパントを含み、

前記第 1 の領域を形成するステップは、前記第 1 の領域における前記第 1 導電型ドーパントの濃度が $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ となる量で、前記第 1 導電型ドーパントを前記 (111) 面上に断続的に供給する、

請求項 4 に記載の製造方法。

10

【請求項 6】

前記第 1 の領域を形成するステップにおける、前記第 1 導電型ドーパントをドーピングする時間は、0.1 ~ 5 秒間 / 回であり、前記第 1 導電型ドーパントのドーピングのインターバルは、1.0 ~ 29.5 秒間である、請求項 4 または 5 に記載の製造方法。

【請求項 7】

前記第 2 の領域を形成するステップは、前記 (111) 面上に形成された前記第 1 の領域に、前記 V 族原料および前記 III 族原料を供給しながら前記第 2 導電型ドーパントをドーピングし、前記第 2 導電型を呈する前記第 2 の領域を形成する、請求項 4 ~ 6 のいずれか一項に記載の製造方法。

【請求項 8】

20

IV 族半導体基板における、n 型および p 型のいずれか一方である第 1 導電型を呈する部分の (111) 面上から、III-V 族化合物半導体ナノワイヤを成長させて III-V 族化合物半導体ナノワイヤを製造する方法であって、

前記 (111) 面上に、III 族原料および V 族原料を供給しながら、III-V 族化合物半導体を前記第 1 導電型にするための第 1 導電型ドーパント、および、III-V 族化合物半導体を、n 型および p 型のいずれか他方である第 2 導電型にするための第 2 導電型ドーパントの一方または両方を断続的にドーピングして第 1 の領域を形成するステップと、

前記 (111) 面上に形成された前記第 1 の領域に、前記 V 族原料および前記 III 族原料をさらに供給し、前記第 1 の領域から連続する、前記第 2 導電型を呈する第 2 の領域を形成するステップと、

30

を含む、

III-V 族化合物半導体ナノワイヤの製造方法。

【請求項 9】

前記第 1 の領域は、III-V 族化合物半導体を前記第 2 導電型にするための第 2 導電型ドーパントを含み、

前記第 1 の領域を形成するステップは、前記第 1 の領域における前記第 1 導電型ドーパントの濃度が $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ となる量で、前記第 1 導電型ドーパントを前記 (111) 面上に断続的に供給する、

請求項 8 に記載の製造方法。

【請求項 10】

40

前記第 1 の領域を形成するステップにおける、前記第 1 導電型ドーパントをドーピングする時間は、0.1 ~ 5 秒間 / 回であり、前記第 1 導電型ドーパントのドーピングのインターバルは、1.0 ~ 29.5 秒間である、請求項 8 または 9 に記載の製造方法。

【請求項 11】

前記第 2 の領域を形成するステップは、前記 (111) 面上に形成された前記第 1 の領域に、前記 V 族原料および前記 III 族原料を供給しながら前記第 2 導電型ドーパントをドーピングし、前記第 2 導電型を呈する前記第 2 の領域を形成する、請求項 8 ~ 10 のいずれか一項に記載の製造方法。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、III - V族化合物半導体ナノワイヤを有するトンネル電界効果トランジスタ、その製造方法、および、当該トランジスタを含むスイッチ素子、に関する。

【背景技術】

【 0 0 0 2 】

トンネル電界効果トランジスタ (T F E T) は、トランジスタのスイッチングにトンネル電流を利用する。このため、 T F E T は、急峻なオン・オフの切り替えが実現可能であり、また低電圧の動作が可能である。このような T F E T には、IV族半導体基板と当該基板上に起立するIII - V族化合物半導体ナノワイヤとを有し、当該基板と当該ナノワイヤとの界面でトンネル電流を生じさせるトランジスタが知られている (例えば、特許文献 1 10、非特許文献 1 および 2 参照) 。当該 T F E T は、小さなサブ閾値 (6 0 m V / 桁以下) で動作可能であり、かつ容易に製造しうる点で優れている。このため、前記 T F E T は、スイッチ素子に有用である。

【先行技術文献】

【特許文献】

【 0 0 0 3 】

【特許文献 1】国際公開第 2 0 1 1 / 0 4 0 0 1 2 号

【非特許文献】

【 0 0 0 4 】

【非特許文献 1】Katsuhiko Tomioka, Takashi Fukui, "Tunnel field-effect transistor using InAs nanowire/Si heterojunction", Appl. Phys. Lett., Vol.98, pp.083114-1-083114-3. 20

【非特許文献 2】Katsuhiko Tomioka, Masatoshi Yoshimura, Takashi Fukui, "Steep-slope tunnel field-effect transistors using III-V nanowire/Si heterojunction" IEEE VLSI Technology 2012 Symposium Proc., pp.47-48.

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

前記 T F E T は、前記ナノワイヤにおける前記界面を構成する領域がアンドープで形成されているにも関わらず、前記スイッチ素子の立ち上がり電圧が負側にシフトしていることがある。このため、前記 T F E T について、前記立ち上がり電圧を正側にシフトさせることがさらに望まれている。 30

【 0 0 0 6 】

本発明は、小さなサブ閾値 (6 0 m V / 桁以下) で動作可能であり、より正側またはより負側の立ち上がり電圧で動作可能であり、かつ容易に製造しうる T F E T およびその製造方法を提供することを目的とする。

また、本発明は、当該 T F E T を含むスイッチ素子を提供することをさらなる目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本発明者は、III - V族化合物半導体ナノワイヤにおける、IV族半導体基板とIII - V族化合物半導体ナノワイヤとの界面を構成する第 1 の領域を、適当なドーパントを適当な間隔で断続的にドーピングすることによって作製することにより、前記課題を解決しうることを見出し、さらに検討を加えて本発明を完成させた。 40

【 0 0 0 8 】

すなわち、本発明の第 1 は、以下のトンネル電界効果トランジスタ (T F E T) およびスイッチ素子に関する。

[1] n型およびp型のいずれか一方である第 1 導電型を呈する部分を含み、前記部分が (1 1 1) 面を有するIV族半導体基板と、前記 (1 1 1) 面上に起立する第 1 の領域、および、n型およびp型のいずれか他方である第 2 導電型を呈し、前記第 1 の領域に連続 50

する第2の領域、を含むIII-V族化合物半導体ナノワイヤと、前記III-V族化合物半導体ナノワイヤと接触せず、かつ前記IV族半導体基板に接続されたソース電極およびドレイン電極の一方と、前記第2の領域に接続されたソース電極およびドレイン電極の他方と、前記IV族半導体基板と前記第1の領域との界面に作用して前記ソース電極および前記ドレイン電極間のキャリアの流れを制御するための電界を発生させるように配置されたゲート電極と、を有し、前記第1の領域は、III-V族化合物半導体を前記第1導電型にするための第1導電型ドーパントおよびIII-V族化合物半導体を前記第2導電型にするための第2導電型ドーパントの一方または両方を含み、前記第1の領域における前記第1導電型ドーパントおよび前記第2導電型ドーパントの少なくとも一方の濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上であり、かつ、前記第2の領域における前記第2導電型ドーパントの濃度未満である、トンネル電界効果トランジスタ。

10

[2] 少なくとも前記III-V族化合物半導体ナノワイヤの前記第1の領域における側面に配置されたゲート誘電体膜をさらに有し、前記ゲート電極は、前記ゲート誘電体膜上に配置されている、[1]に記載のトンネル電界効果トランジスタ。

[3] [1]または[2]に記載のトンネル電界効果トランジスタを含むスイッチ素子。

【0009】

さらに、本発明の第2は、以下のトンネル電界効果トランジスタ(TFET)の製造方法に関する。

[4] IV族半導体基板における、n型およびp型のいずれか一方である第1導電型を呈する部分の(111)面上から、III-V族化合物半導体ナノワイヤを成長させるステップと、前記IV族半導体基板および前記III-V族化合物半導体ナノワイヤの界面に作用する、ソース電極およびドレイン電極間のキャリアの流れを制御するための電界を発生させるためのゲート電極を形成するステップと、前記III-V族化合物半導体ナノワイヤと接触しないように前記IV族半導体基板に前記ソース電極および前記ドレイン電極のいずれか一方を形成するステップと、前記III-V族化合物半導体ナノワイヤに前記ソース電極および前記ドレイン電極のいずれか他方を形成するステップと、を含む、トンネル電界効果トランジスタの製造方法であって、前記III-V族化合物半導体ナノワイヤを成長させるステップは、前記(111)面上に、III族原料およびV族原料を供給しながら、III-V族化合物半導体を前記第1導電型にするための第1導電型ドーパント、および、III-V族化合物半導体を前記第2導電型にするための第2導電型ドーパントの一方または両方を断続的にドーピングして第1の領域を形成するステップと、前記(111)面上に形成された前記第1の領域に、前記V族原料および前記III族原料をさらに供給し、前記第1の領域から連続する、n型およびp型のいずれか他方である第2導電型を呈する第2の領域を形成するステップと、を含む、トンネル電界効果トランジスタの製造方法。

20

30

[5] 前記第1の領域は、III-V族化合物半導体を前記第2導電型にするための第2導電型ドーパントを含み、前記第1の領域を形成するステップは、前記第1の領域における前記第1導電型ドーパントの濃度が $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ となる量で、前記第1導電型ドーパントを前記(111)面上に断続的に供給する、[4]に記載の製造方法。

40

[6] 前記第1の領域を形成するステップにおける、前記第1導電型ドーパントをドーピングする時間は、0.1~5秒間/回であり、前記第1導電型ドーパントのドーピングのインターバルは、1.0~29.5秒間である、[4]または[5]に記載の製造方法。

[7] 前記第2の領域を形成するステップは、前記(111)面上に形成された前記第1の領域に、前記V族原料および前記III族原料を供給しながら前記第2導電型ドーパントをドーピングし、前記第2導電型を呈する前記第2の領域を形成する、[4]~[6]のいずれか一項に記載の製造方法。

【発明の効果】

【0010】

本発明によれば、小さなサブ閾値(60mV/桁以下)で動作可能であり、かつ、より

50

正側またはより負側の立ち上がり電圧で動作可能であるT F E T（スイッチ素子）を提供することができる。本発明のT F E Tは、容易に製造することができる。本発明のT F E Tを用いることで、半導体マイクロプロセッサおよび高集積回路の電力消費量の増大を抑制しつつ、半導体マイクロプロセッサおよび高集積回路の集積度および性能を向上させることができる。

【図面の簡単な説明】

【0011】

【図1】本実施の形態のT F E Tの構成を模式的に示す断面図である。

【図2】図2 Aは、本実施の形態におけるIII - V族化合物半導体ナノワイヤを図1中のA - A線に沿って切断したときの断面図であり、図2 Bは、本実施の形態におけるナノワイヤを模式的に示す斜視図である。

10

【図3】図3 Aは、本実施の形態におけるT F E Tの製造においてシリコン基板上に製造されたIII - V族化合物半導体ナノワイヤを示す図であり、図3 Bは、当該T F E Tの製造においてゲート誘電体膜およびゲート電極層に被覆されたIII - V族化合物半導体ナノワイヤを示す図であり、図3 Cは、絶縁保護膜に埋没したIII - V族化合物半導体ナノワイヤを示す図であり、図3 Dは、部分的に除去された絶縁保護膜から露出するゲート誘電体膜およびIII - V族化合物半導体ナノワイヤを示す図であり、図3 Eは、絶縁保護膜から露出するIII - V族化合物半導体ナノワイヤを示す図であり、図3 Fは、ソース電極およびドレイン電極の形成によって完成したT F E Tを示す図である。

【図4】図4 Aは、本実施の形態におけるT F E Tの製造において、III - V族化合物半導体ナノワイヤが製造されるまでのシリコン基板の温度と原料ガスの供給を示す図であり、図4 Bは、図4 A中のゾーンCにおける原料ガスの供給の一例を示す図であり、図4 Cは、図4 A中のゾーンDにおける原料ガスの供給のパルスドープの一例を示す図である。

20

【図5】図5 Aは、本実施の形態のT F E Tにおけるバンド構造の一例を模式的に示す図であり、図5 Bは、他の実施の形態のT F E Tにおけるバンド構造の一例を模式的に示す図である。

【図6】図6 Aは、従来のT F E Tの一例におけるIII - V族化合物半導体ナノワイヤの走査電子顕微鏡写真であり、図6 Bは、本発明のT F E Tの一例におけるIII - V族化合物半導体ナノワイヤの走査電子顕微鏡写真である。

【図7】実施例1、2のT F E Tと従来（比較例1）のT F E Tのそれぞれの、ドレイン電流とゲート電圧との関係を示す図である。

30

【図8】図8 Aは、実施例3、4のT F E Tの製造におけるシリコン基板の温度と原料ガスの供給とを模式的に示す図であり、図8 Bは、図8 A中のゾーンDにおける原料ガスの供給のパルスドープを模式的に示す図である。

【図9】実施例3、4のT F E Tと従来（比較例2）のT F E Tのそれぞれの、ドレイン電流とゲート電圧との関係を示す図である。

【発明を実施するための形態】

【0012】

1. 本発明のトンネル電界効果トランジスタ

本発明のトンネル電界効果トランジスタ（T F E T）は、IV族半導体基板、III - V族化合物半導体ナノワイヤ、ソース電極、ドレイン電極およびゲート電極を有する。1つのIV族半導体基板の上に複数のT F E Tが形成されていてもよい。本発明のT F E Tでは、IV族半導体基板の（111）面と当該（111）面上に配置されたIII - V族化合物半導体ナノワイヤとが界面（以下、「接合界面」とも言う）を形成する。本発明のT F E Tでは、この接合界面においてトンネル現象が生じる。なお、「接合界面」は、III - V族化合物半導体ナノワイヤが（111）面に直接接続している部分を言う。

40

【0013】

IV族半導体基板は、シリコン基板やゲルマニウム基板などの、IV族半導体からなる（111）面を有する基板である。IV族半導体基板は、例えばシリコン（111）基板またはシリコン（100）基板である。IV族半導体基板がシリコン（100）基板の場合は、（

50

100)面とは別に(111)面が形成されている。

【0014】

IV族半導体基板は、(111)面を含む部分を有する。当該部分は、n型またはp型のいずれか一方を呈する。前記の部分が呈する導電型を「第1導電型」とも言う。したがって、IV族半導体基板の(111)面を含む一部分のみが第1導電型を呈していてもよいし、IV族半導体基板の全体が第1導電型を呈していてもよい。たとえば、IV族半導体基板は、その端面が(111)面であるIV族半導体層を有するIV族半導体基板であってもよい。また、IV族半導体基板は、n型またはp型にドーピングされていてもよい。IV族半導体基板にドーピングされるドーパントには、当該基板をn型またはp型にするドーパントが用いられる。たとえば、IV族半導体基板をp型にするドーパントの例には、B、Al、Ga、InおよびTlが含まれる。また、IV族半導体基板をn型にするドーパントの例には、N、P、As、SbおよびBiが含まれる。

10

【0015】

また、IV族半導体基板の表面には、絶縁膜が形成されていてもよい。絶縁膜の例には、酸化シリコン膜、および、誘電率3.9以上の化合物が含まれる。誘電率3.9以上の化合物の膜の例には、窒化シリコンおよびHfAlOが含まれる。

【0016】

III-V族化合物半導体ナノワイヤは、III-V族化合物半導体からなる、直径2~100nm、長さ50nm~10μmの構造体である。III-V族化合物半導体ナノワイヤは、例えば、IV族半導体基板の(111)面上に、その長軸が(111)面に垂直になるように配置されている。III-V族化合物半導体は、2つの元素からなる半導体、3つの元素からなる半導体、4つの元素からなる半導体、それ以上の元素からなる半導体のいずれでもよい。

20

【0017】

2つの元素からなるIII-V族化合物半導体の例には、InAs、InP、GaAs、GaN、InSb、GaSbおよびAlSbが含まれる。3つの元素からなるIII-V族化合物半導体の例には、AlGaAs、InGaAs、InGaN、AlGaN、GaNAs、InAsSb、GaAsSb、InGaSbおよびAlInSbが含まれる。4つ以上の元素からなるIII-V族化合物半導体の例には、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbおよびAlInGaPSbが含まれる。

30

【0018】

III-V族化合物半導体ナノワイヤは、第1の領域と第2の領域を含む。第1の領域は、IV族半導体基板の(111)面に接合されている部分であり、(111)面上から起立している。第2の領域は、第1の領域に連続する部分である。たとえば、第1の領域は、III-V族化合物半導体ナノワイヤをその長軸方向に対して二分したときの基板側の部分であり、第2の領域は、基板側とは反対側の部分である。

【0019】

第1の領域は、後述するゲート電圧のシフトを生じさせるように、第1導電型ドーパントがドーピングされている。すなわち、上記第1の領域は、III-V族化合物半導体を前記第1導電型にするための第1導電型ドーパントおよびIII-V族化合物半導体を前記第2導電型にするための第2導電型ドーパントの一方または両方を含む。たとえば、上記第1の領域は、ノンドーピングではi型であるIII-V族化合物半導体に、第1導電型ドーパントおよび第2導電型ドーパントの一方または両方がドーピングされていてもよい。また、上記第1の領域は、ノンドーピングではp型であるが意図せぬドーパントの存在によりn型を呈するIII-V族化合物半導体に、第1導電型ドーパントおよび第2導電型ドーパントの一方または両方がドーピングされていてもよい。さらに、上記第1の領域は、ノンドーピングではn型であるが意図せぬドーパントの存在によりp型を呈するIII-V族化合物半導体に、第1導電型ドーパントおよび第2導電型ドーパントの一方または両方がドーピングされていてもよい。

40

【0020】

50

第1の領域における第1導電型ドーパントおよび第2導電型ドーパントの濃度は、第1導電型ドーパントまたは第2導電型ドーパントが単独でドーピングされたときにドーパントとして有効な濃度から、第1の領域において一方のドーパントの影響を他方のドーパントで実質的に打ち消すことができる濃度まで、の範囲から、適宜に決めることが可能である。たとえば、第1の領域における第1導電型ドーパントおよび第2導電型ドーパントの少なくとも一方の濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上であり、かつ、第2の領域における第2導電型ドーパントの濃度未満である。

【0021】

また、第1の領域が第1導電型ドーパントおよび第2導電型ドーパントの両方を含む場合では、第1導電型ドーパントおよび第2導電型ドーパントの一方の濃度は、他方の濃度未満であることが、一方のドーパントの影響を他方のドーパントで実質的に打ち消す観点から好ましい。たとえば、ノンドープではi型であるが意図せぬドーパントの存在により第2導電型を呈するIII-V族化合物半導体の第1の領域に第1導電型ドーパントがドーピングされる場合、第1導電型ドーパントのドーピングによって、意図せぬドーピングによる第2導電型を抑制するためであれば、第1導電型ドーパントの濃度は、第2の領域における第2導電型ドーパントの濃度未満であり、かつ好ましくは、第1の領域における第2導電型ドーパントの濃度未満である。

10

【0022】

第1導電型ドーパントの濃度が低すぎると、第1の領域の導電型を適切に制御することができない場合があり、第1導電型ドーパントの濃度が高すぎると、実質的な接触界面が第1の領域と第2の領域の界面となってしまう、好ましくない。第1導電型ドーパントの濃度および第2導電型ドーパントの濃度は、いずれも、ノンドープの上記InAsナノワイヤを、n型、p型またはi型のシリコン基板に作製して縦型FET構造を作製し、当該ナノワイヤの閾値電圧から算出することによって求めることが可能である。このような第1の領域は、例えば、後述する第1導電型ドーパントの断続的なドーピングによって形成することが可能である。第1の領域における前記第1導電型ドーパントの濃度は、上記の観点から、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ となる量であることがより好ましい。

20

【0023】

第1導電型ドーパントの種類は、一種でもそれ以上でもよい。第1の領域をp型にするための第1導電型ドーパントの例には、Zn、Cd、Hg、TeおよびCが含まれる。第1の領域をn型にするための第1導電型ドーパントの例には、C、Si、Ge、Sn、O、S、SeおよびPoが含まれる。

30

【0024】

第1導電型ドーパントは、第1導電型ドーパントがドーピングされていないIII-V族化合物半導体が呈する導電型とは反対の導電型を付与するためのドーパントであることが、第1の領域の導電型を適切に調整する観点から好ましい。すなわち、n型を呈するIII-V族化合物半導体には、p型の第1導電型ドーパントが好ましく、p型を呈するIII-V族化合物半導体には、n型の第1導電型ドーパントが好ましい。ここで、「第1導電型ドーパントがドーピングされていないIII-V族化合物半導体」とは、意図しないドーパントのドーピング(混入)のために特定の導電型を呈するIII-V族化合物半導体を含む。このような第1導電型ドーパントは、例えば、第1導電型ドーパントをドーピングせずに第1の領域を形成し、当該第1の領域の導電型を測定することによって、決めることが可能である。

40

【0025】

第2の領域は、n型およびp型のうち、第1導電型とは異なる導電型を呈する。第2の領域が呈する導電型を「第2導電型」とも言う。第2導電型を呈する第2の領域は、第2導電型ドーパントのドーピングによって形成することが可能である。第2導電型ドーパントの種類は、一種でもそれ以上でもよい。第2導電型ドーパントは、例えば、第1導電型ドーパントとして例示されたドーパントから選ばれる。

【0026】

ソース電極は、本発明のTFETのソース領域に接続され、ドレイン電極は、本発明の

50

T F E Tのドレイン領域に接続される。ソース電極およびドレイン電極は、例えばT i / A u合金膜やT i / A l / T i / A u合金膜、G e / A u / N i / A u合金膜などである。

【 0 0 2 7 】

ソース電極およびドレイン電極の位置は、本発明のT F E Tの構造により変わる。たとえば、IV族半導体基板がソース領域として機能し、III - V族化合物半導体ナノワイヤの第1の領域（IV族半導体基板の（1 1 1）面と接合している）がチャンネル領域として機能し、III - V族化合物半導体ナノワイヤの第2の領域（第1の領域以外の領域）がドレイン領域として機能する場合は、ソース電極は、IV族半導体基板に接続され、ドレイン電極は、III - V族化合物半導体ナノワイヤの第2の領域に接続される。

10

【 0 0 2 8 】

一方、IV族半導体基板がドレイン領域として機能し、III - V族化合物半導体ナノワイヤの第1の領域（IV族半導体基板の（1 1 1）面と接合している）がチャンネル領域として機能し、III - V族化合物半導体ナノワイヤの第2の領域（第1の領域以外の領域）がソース領域として機能する場合は、ソース電極は、III - V族化合物半導体ナノワイヤの第2の領域に接続され、ドレイン電極は、IV族半導体基板に接続される。

【 0 0 2 9 】

ゲート電極は、前記接合界面に電界を作用させることができる。通常、チャンネル領域（IV族半導体基板およびIII - V族化合物半導体ナノワイヤの一方または両方）上にゲート誘電体膜が配置され、ゲート電極は、前記ゲート誘電体膜上に配置される。

20

【 0 0 3 0 】

本発明のT F E Tは、本発明の効果が得られる範囲において、前述した構成要素以外の他の構成要素をさらに含んでもよい。このような他の構成要素の例には、絶縁保護膜が含まれる。絶縁保護膜は、その厚さ方向がIII - V族化合物半導体ナノワイヤの長軸方向となるように配置される。絶縁保護膜は、IV族半導体基板上の全体に配置されてもよいし、一部に配置されてもよい。絶縁保護膜の厚さは、III - V族化合物半導体ナノワイヤの第1の領域と第2の領域の少なくとも一部を覆う厚さであることが、III - V族化合物半導体ナノワイヤ、ゲート誘電体膜およびゲート電極を保護する観点から好ましい。絶縁保護膜は、電気的な絶縁性が十分に得られる観点、および、ナノワイヤが曲がらない程度の低い粘性を有した溶液から形成されうる観点から、B C B（ベンゾシクロブテン）層であることが好ましい。

30

【 0 0 3 1 】

本発明のT F E Tでは前記接合界面は、無転位かつ無欠陥であることが好ましいが、少数の転位または欠陥を含んでもよい。具体的には、前記接合界面におけるミスフィット転位の周期は、前記IV族半導体と前記III - V族化合物半導体との格子不整合から計算されるミスフィット転位の周期よりも大きければよい。また、前記接合界面における貫通転位の密度は、 $0 \sim 10^{10}$ 個 / cm^2 の範囲内であればよい。後述する本発明のT F E Tの製造方法で本発明のT F E Tを製造することで、基本的に無転位かつ無欠陥の接合界面を有する本発明のT F E Tを製造することができる。

【 0 0 3 2 】

本発明のT F E Tでは、前記接合界面がトンネル層として機能する。後の実施の形態に示されるように、本発明のT F E Tでは、ゲート電極に正または負のバイアスを印加することで、ソース領域（IV族半導体基板またはIII - V族化合物半導体ナノワイヤ）内のキャリアがトンネル現象によりチャンネル領域（III - V族化合物半導体ナノワイヤまたはIV族半導体基板）内に移動する（ON状態となる）。この動作は、C M O Sスイッチのn型またはp型M O S F E Tのスイッチ動作に相当する（図5 A、図5 B）。

40

【 0 0 3 3 】

本発明のT F E Tは、IV族半導体基板とIII - V族化合物半導体ナノワイヤとの接合界面に生じるポテンシャルを利用することで、サブ閾値60 m V / 桁以下で動作することができる（実施例参照）。本発明のT F E Tをスイッチ素子として利用することで、半導体

50

デバイスの消費電力を削減することができる。その結果、省エネルギーおよび環境負荷低減も実現することができる。

【0034】

また、本発明のT F E Tでは、III - V族化合物半導体ナノワイヤにおける第1の領域の導電型を適宜に調整することによって、閾値電圧（スレシヨルド電圧）が正側または負側にシフトする。このため、第1の領域の導電型を適宜に調整することにより、ON状態に必要な供給電圧（ゲート電圧）の符号および大きさを任意に制御することができる（図7）。

【0035】

2. 本発明のT F E Tの製造方法

本発明のT F E Tの製造方法は、ナノワイヤ成長ステップと、ゲート電極形成ステップと、ソース電極およびドレイン電極形成ステップと、を含む。

【0036】

「ナノワイヤ成長ステップ」は、IV族半導体基板における第1導電型を呈する（111）面上から、III - V族化合物半導体ナノワイヤを成長させるステップである。「ゲート電極形成ステップ」は、ソース電極およびドレイン電極間のキャリアの流れを制御するための電界を発生させるためのゲート電極を形成するステップである。当該ゲート電極は、前記IV族半導体基板および前記III - V族化合物半導体ナノワイヤの界面に作用するように配置される。「ソース電極およびドレイン電極形成ステップ」は、前記III - V族化合物半導体ナノワイヤと接触しないように前記IV族半導体基板に前記ソース電極および前記ドレイン電極のいずれか一方を形成するステップ、および、前記III - V族化合物半導体ナノワイヤに前記ソース電極および前記ドレイン電極のいずれか他方を形成するステップ、である。

【0037】

ナノワイヤ成長ステップ以外のステップは、従来技術に基づいて、例えば、特許文献1に記載されている方法に従って、行うことができる。

【0038】

本発明のT F E Tの製造方法では、「ナノワイヤ成長ステップ」に先立って、必要に応じて、IV族半導体基板の前処理ステップを行うことができる。このような前処理ステップの例には、開口部を有する絶縁膜を形成するステップが含まれる。

【0039】

絶縁膜が形成される、（111）面を有するIV族半導体基板の例には、n型シリコン（111）基板、p型シリコン（111）基板、異方性エッチングにより（111）面が表面の一部にまたは全面に露出したシリコン（100）基板、が含まれる。絶縁膜としての酸化シリコン膜は、例えば、シリコン基板を熱酸化することやスパッタ法などの一般的な薄膜形成法により形成することが可能である。絶縁膜の厚さは、特に限定されないが、例えば20nm程度であればよい。

【0040】

絶縁膜の開口部は、電子ビームリソグラフィや、フォトリソグラフィ、ナノインプリントリソグラフィなどの微細パターン加工技術を用いることで形成されうる。開口部の形状は、任意に決定することができ、開口部の形状の例には、三角形、四角形、六角形および円形が含まれる。開口部の直径は、例えば2～100nm程度であればよい。開口部の直径が大きすぎると、前記接合界面に多数の転位または欠陥が形成されるおそれがある。1つのIV族半導体基板に複数の開口部を周期的に配列する場合、開口部の間隔は、例えば、10nm～数μm程度である。

【0041】

また、上記の前処理ステップの例には、高温熱処理が含まれる。高温熱処理は、IV族半導体基板の（111）面に形成された自然酸化膜を除去するための処理である。前記自然酸化膜は、III - V族化合物半導体ナノワイヤの成長を阻害する。自然酸化膜は、前記開口部が設けられたIV半導体基板を高温熱処理することにより除去される。自然酸化膜の除

10

20

30

40

50

去により、IV半導体基板の表面（開口部内の（111）面）が露出する。高温熱処理は、例えば、水素ガスや窒素ガス、アルゴンガスなどの不活性ガス雰囲気中で約900の条件で行うことができる。

【0042】

また、上記の前処理ステップの例には、低温熱処理が含まれる。低温熱処理は、高温熱処理後のIV族半導体基板の温度を、III-V族化合物半導体ナノワイヤの成長時の温度がそれ以下の温度、例えば400程度にまで下げて、IV族半導体基板の（111）面を（111）1×1面にする処理である。

【0043】

元来、高温熱処理後の（111）面は、1×1構造で構成されるが、冷却途中で（111）2×1面に交換することがある。しかしながら、IV族半導体基板の温度を400程度にまで下げることにより、（111）2×1面を（111）1×1面に再び交換することができる。なお、「（111）2×1面」とは、原子配列を構成する最小単位が2原子間隔×1原子間隔となっている面をいう。「（111）1×1面」とは、原子配列を構成する最小単位が1原子間隔×1原子間隔となっている面をいう。

【0044】

前記低温熱処理は、約350～450（例えば、約400）の温度で行えばよい。低温熱処理は、水素ガス、窒素ガス、アルゴンガス、ヘリウムガスなどの不活性ガス、の雰囲気下で行うことが好ましい。

【0045】

さらに、本発明のTFETの製造方法では、「ナノワイヤ成長ステップ」において、必要に応じて、ナノワイヤ成長のための準備ステップを行うことができる。このような準備ステップの例には、（111）面を（111）A面または（111）B面に交換するステップが含まれる。「（111）A面」とは、表面にIII族元素が配置されている（111）面をいう。また、「（111）B面」とは、表面にV族元素が配置されている（111）面をいう。III-V族化合物半導体の（111）A面または（111）B面は、（111）2×2面、つまり最小単位が2原子間隔×2原子間隔の周期で構成された構造である。よって、IV族半導体基板の表面に、2原子間隔×2原子間隔よりも小さい最小単位でIII族元素またはV族元素が配置されていると、その表面にIII-V族化合物半導体が成長しやすい。

【0046】

（111）面を（111）A面または（111）B面に交換するステップは、III族原料またはV族原料をIV半導体基板の（111）面に供給することによって行うことができる。（111）面を（111）A面または（111）B面に交換する工程は、IV族半導体基板の表面を（111）1×1面に交換する工程の後に行ってもよいが、（111）1×1面に交換する工程と同時に進めてもよい。たとえば、IV族半導体基板の（111）2×1面を低温熱処理により（111）1×1面に交換するとともに、III族原料またはV族原料をIV半導体基板の表面に供給することによって、（111）1×1面を、（111）A面または（111）B面に交換することができる（図4A、図4B）。

【0047】

III族原料は、ホウ素、アルミニウム、ガリウム、インジウムまたはチタン（有機金属化合物であってもよい）を含むガスであることが好ましい。III族原料は、例えばトリメチルインジウムなどの有機アルキル金属化合物である。V族原料は、窒素、リン、ヒ素、アンチモンまたはビスマス（有機金属化合物であってもよい）を含むガスであることが好ましい。V族原料は、例えば水素化ヒ素（アルシン； AsH_3 ）である。III族原料またはV族原料の供給は、400～500にて行われることが好ましい。

【0048】

また、前記準備ステップの例には、交互原料供給変調法が含まれる。「交互原料供給変調法」とは、IV族半導体基板にIII族元素を含む原料ガスとV族元素を含む原料ガスとを交互に提供して、絶縁膜の開口部を通して露出した（111）A面または（111）B面

10

20

30

40

50

にIII - V族化合物半導体の薄膜を形成する方法である。交互原料供給変調法は、III - V族化合物半導体ナノワイヤを成長させるために必要な温度で行うことが可能であり、それよりも低い温度にて行われることが好ましい。たとえば、交互原料供給変調法は、III - V族化合物半導体ナノワイヤの成長時の温度で行うか、約400で行うか、または400から昇温しながら行えばよい。

【0049】

具体的には、IV族半導体基板に(111)A面が形成されている場合は、まずIII族元素を含む原料ガスを供給し、その後V族元素を含む原料ガスを供給する。さらに、III族元素を含む原料ガスとV族元素を含む原料ガスとを交互に繰り返し供給する。一方、IV族半導体基板に(111)B面が形成されている場合は、まずV族元素を含む原料ガスを供給し、その後III族元素を含む原料ガスを供給する。さらに、V族元素を含む原料ガスとIII族元素を含む原料ガスとを交互に繰り返し供給する。

10

【0050】

V族元素を含む原料ガスの供給時間およびIII族元素を含む原料ガスの供給時間は、それぞれ数秒程度であればよい。また、V族元素を含む原料ガスの供給とIII族元素を含む原料ガスの供給との間に、数秒のインターバルを設けることが好ましい。III - V族化合物半導体の薄膜が所望の厚さになるまで、V族元素を含む原料ガスとIII族元素を含む原料ガスとを交互に供給すればよい。何回か繰り返してガスを供給することにより、III - V族化合物半導体の薄膜が形成される。

【0051】

この交互原料供給変調法は、IV族半導体基板の(111)1×1面を(111)A面または(111)B面に変換したときに変換できなかった部位があったとしても、(111)A面または(111)B面を再形成することができるという補償効果もある。交互原料供給変調法により、IV族元素とIII族元素またはV族元素とが結合するからである。

20

【0052】

交互原料供給変調法により形成されたIII - V族化合物半導体の薄膜は、交互原料供給変調法の後、半導体ナノワイヤを成長させるために基板温度を上げたときに、基板に吸着したIII族元素やV族元素が熱で乖離することを防ぐ。

【0053】

ナノワイヤ成長ステップは、前記(111)面上に、III族原料およびV族原料を供給しながら、前記第1導電型ドーパントおよび前記第2導電型ドーパントの一方または両方を断続的にドーブし、疑似真性を呈する第1の領域を形成するステップ(第1の領域形成ステップ)と、前記(111)面上に形成された第1の領域に、III族原料およびV族原料を供給し、必要に応じて前記第2導電型ドーパントを併せてドーブし、前記第1の領域に連続する、n型およびp型のいずれか他方である第2導電型を呈する第2の領域を形成するステップ(第2の領域形成ステップ)とを含む。「III - V族化合物半導体ナノワイヤ」は、第1の領域および第2の領域の他に、例えば、前述したナノワイヤ成長の準備ステップで形成された、当該ナノワイヤの原料に由来する部分を含んでもよい。

30

【0054】

第1の領域形成ステップおよび第2の領域形成ステップのいずれにおいても、III - V族化合物半導体ナノワイヤの成長は、III族原料およびV族原料を(111)面上に供給する方法、例えば、有機金属化学気相エピタキシ法(以下「MOVPE法」ともいう)や分子線エピタキシ法(以下「MBE法」ともいう)など、により行われる。好ましくは、III - V族化合物半導体ナノワイヤの成長は、MOVPE法により行われる。

40

【0055】

MOVPE法による半導体ナノワイヤの形成は、通常のMOVPE装置を用いて行うことができる。つまり、所定の温度かつ減圧条件下で、III族元素を含む原料ガスおよびV族元素を含む原料ガスを提供すればよい。たとえば、InAsナノワイヤを形成するときには、約540で水素化ヒ素(AsH₃)およびトリメチルインジウムを含むガスを提供すればよい。また、GaAsナノワイヤを形成するときには、約750で水素化ヒ素およ

50

びトリメチルガリウムを含むガスを提供すればよい。また、InGaAs ナノワイヤを形成するときは、約670 で水素化ヒ素、トリメチルインジウムおよびトリメチルガリウムを含むガスを提供すればよい。

【0056】

第1の領域形成ステップにおいて、III族原料およびV族原料は、前述したIV族半導体基板の(111)面に供給される。交互原料供給変調法による前記の薄膜が形成された場合には、III族原料およびV族原料は、当該薄膜に供給される。III族原料およびV族原料の供給量は、通常、一定である。第1の領域形成ステップでは、必要に応じて、一方の原料の供給量を連続してまたは断続的に変えてもよいし、両原料を断続的に供給してもよい。

10

【0057】

第1の領域形成ステップでは、III族原料およびV族原料の供給と並行して第1導電型ドーパントおよび第2導電型ドーパントの一方または両方を断続的にドーピングして第1の領域を形成する。形成された第1の領域は、疑似真性を呈する。「疑似真性」とは、第1導電型ドーパントおよび第2導電型ドーパントの第1の領域における濃度に応じて決まる第1の領域の導電型である。たとえば、疑似真性は、ドーパントをドーピングしなくても第1導電型または第2導電型を呈してしまう、第1の領域を構成する半導体に、第2導電型ドーパントまたは第1導電型ドーパントをドーピングすることにより、当該半導体の当初の導電型の一部または全部が電氣的に打ち消すように調整された導電型である。疑似真性は、n型であってもよいし、p型であってもよいし、i型であってもよい。

20

【0058】

なお、疑似真性における「i型」とは、例えば、第1の領域のn型ドーパントの濃度およびp型ドーパントの濃度が、いずれも、 $1 \times 10^{15} \text{ cm}^{-3}$ 以下であり、かつ第1の領域の抵抗値が $0.1 \cdot \text{cm}$ 以上であることを言う。上記抵抗値は、例えば、4短針電圧電流特性や、トランジスタ特性の非線形領域の電流の傾きなどから求めることができる。

【0059】

前記第1の領域は、前記第2導電型ドーパントを含むことがある。たとえば、III族原料またはV族原料が微量の有機触媒を含有していると、当該有機触媒に起因する炭素原子が第1の領域にドーピングされる。当該炭素原子は、前記III-V族化合物半導体ナノワイヤではn型ドーパントとして作用する。

30

【0060】

この場合、第1の領域形成ステップにおいて、第1導電型ドーパントのドーピング量は、ノンドーピングでは第2導電型を呈してしまう第1の領域に第1導電型の特性を付与し、ゲート電圧をシフトさせる(例えば、負から正にシフトさせる)観点から、第1の領域における前記第1導電型ドーパントの濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以上かつ第2導電型ドーパントの濃度未満となる量であることが好ましく、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ となる量であることがより好ましい。また、第1の領域形成ステップにおける、1回当たりの前記第1導電型ドーパントをドーピングする時間は、 $0.1 \sim 5$ 秒間であり、前記第1導電型ドーパントのドーピングのインターバルは、 $1 \sim 29.5$ 秒間であることが、適当な量でゲート電圧をシフトさせる観点から好ましい。

40

【0061】

第2の領域形成ステップにおいて、III族原料およびV族原料を供給しながら第2導電型ドーパントをドーピングして、第2導電型を呈する前記第2の領域を形成することは、適度な第2導電型を呈する第2の領域を形成する観点から好ましい。第2の領域形成ステップにおける第2導電型ドーパントのドーピングは、III族原料およびV族原料の供給によって形成されるIII-V族化合物半導体ナノワイヤの導電型によっては、省略することが可能である。

【0062】

以上の手順により、第1の領域および第2の領域を含むIII-V族化合物半導体ナノワ

50

イヤを、その長軸が(111)面に対して垂直になるようにIV族半導体基板の(111)面上に形成することができる。このようにしてIII-V族化合物半導体ナノワイヤが形成されたときの前記接合界面は、基本的に無転位かつ無欠陥である。

【0063】

ゲート電極形成ステップでは、ゲート電極が形成される。ゲート電極は、たとえば、フォトリソグラフィ法を用いる方法によって形成することができる。このような方法は、例えば、電極形成予定部位以外の領域をレジスト膜でマスクし、金や白金、チタン、クロム、アルミニウム、パラジウム、モリブデンなどの金属またはポリシリコンなどの半導体を蒸着させ、レジスト膜を除去(リフトオフ)する。また、チタンを蒸着させた後、さらに金を蒸着させて重層して、二層構造の電極としてもよい。

10

【0064】

ゲート電極は、前述したように、ゲート誘電膜上に配置されていることが好ましい。この場合、ゲート電極は、ゲート誘電膜上に形成される。ゲート誘電体膜を形成する方法は特に限定されない。たとえば、ALD(原子層堆積(atomic layer deposition))法などを用いて酸化シリコン(SiO_2)、酸化アルミニウム(Al_2O_3)、酸化ハフニウム(HfO_2)または酸化ジルコニウム(ZrO_2)からなる膜を形成すればよい。

【0065】

ソース電極およびドレイン電極形成ステップでは、ソース電極およびドレイン電極が形成される。ソース電極およびドレイン電極を形成する方法は、例えば、ゲート電極と同様にフォトリソグラフィ法を用いて形成することができる。

20

【0066】

ソース電極、ドレイン電極およびゲート電極のうち、III-V族化合物半導体ナノワイヤの第2の領域に形成されるソース電極またはドレイン電極は、ナノワイヤ成長ステップ後に行われる。しかしながら、前記第2の領域に形成されるソース電極またはドレイン電極以外の電極を形成する時期は、TFETの構成に応じて所期の位置に配置可能である限りにおいて、特に限定されない。

【0067】

以上の手順により、本発明のTFETを製造することができる。

【0068】

上記のTFETの製造方法によれば、第1の領域のドーパントの種類を適宜選択し、当該ドーパントを断続的にドーピングすることで、所望の特性を有するTFETを製造することができる。

30

【0069】

以下、図面を参照して本発明のトンネル電界効果トランジスタ(TFET)の実施の形態を説明する。

【0070】

図1は、本実施の形態のTFETの構成を示す断面図である。図1に示されるように、本実施の形態のTFET 100は、p型に高ドーピングされたシリコン基板110、絶縁膜120、III-V族化合物半導体ナノワイヤ130、ゲート誘電体膜140、絶縁保護膜150、ソース電極160、ドレイン電極170およびゲート電極180を有する。

40

【0071】

シリコン基板110は、p型に高ドーピングされたシリコン(111)基板である。

【0072】

絶縁膜120は、p型シリコン基板110の2つの面のうち少なくともIII-V族化合物半導体ナノワイヤ130が配置されている面((111)面)を被覆する絶縁性の膜である。絶縁膜120は、例えば膜厚20nmの酸化シリコン(SiO_2)膜である。p型シリコン基板110の(111)面は、III-V族化合物半導体ナノワイヤ130と直接接触して接合界面を形成している。当該界面に絶縁膜120は存在しない。

【0073】

III-V族化合物半導体ナノワイヤ130は、例えば直径20nm、長さ300nmのI

50

II - V族化合物半導体からなるナノワイヤである。III - V族化合物半導体ナノワイヤ130は、p型ドーパントがドーピングされている第1の領域132、および、n型に高ドーピングされた第2の領域134、を含む。III - V族化合物半導体ナノワイヤ130は、p型シリコン基板110の(111)面上に、その長軸が前記(111)面に対して略垂直になるように配置されている。第1の領域132(疑似真性半導体)は、第2の領域134(n型半導体)よりもp型シリコン基板110側(p型半導体)に位置する。第1の領域132およびp型シリコン基板110の接合界面(例えば、接合部における(111)面など)は、基本的に無転位かつ無欠陥である。III - V族化合物半導体ナノワイヤ130の形状は、図2Aおよび図2Bに示されるように、六角柱である。

【0074】

ゲート誘電体膜140は、絶縁膜120の表面およびIII - V族化合物半導体ナノワイヤ130の側面(第1の領域132の側面および第2の領域134の側面の一部)を被覆する絶縁膜である。ゲート誘電体膜140は、例えばハフニウムアルミネート(HfAlO_x)膜などの高誘電体膜である。

【0075】

絶縁保護膜150は、III - V族化合物半導体ナノワイヤ130、ゲート誘電体膜140およびゲート電極180を被覆する、BCBなどの絶縁樹脂からなる膜である。

【0076】

ソース電極160は、p型シリコン基板110の裏面(III - V族化合物半導体ナノワイヤ130が配置されている面とは反対側の面)に配置されており、p型シリコン基板110(p型半導体)に接続されている。p型シリコン基板110とソース電極160とは直接接触して界面を形成しており、その界面に絶縁膜120は存在しない。ソース電極160は、例えばp型シリコン基板110の裏面に形成されたTi/Au合金膜である。ソース電極160は、p型シリコン基板110の2つの面のうちIII - V族化合物半導体ナノワイヤ130が配置されている面に配置されていてもよい。

【0077】

ドレイン電極170は、III - V族化合物半導体ナノワイヤ130および絶縁保護膜150上に配置されており、III - V族化合物半導体ナノワイヤ130の第2の領域134(n型半導体)に接続されている。ドレイン電極170は、例えば、III - V族化合物半導体ナノワイヤ130および絶縁保護膜150上に配置されたTi/Au合金膜、Ti/Al/Ti/Au合金膜、またはGe/Au/Ni/Au合金膜である。

【0078】

ゲート電極180は、第1の領域132の周囲を覆うようにゲート誘電体膜140上に配置されている。ゲート電極180は、例えば、ゲート誘電体膜140上に形成されたW膜またはTi/Au合金膜である。

【0079】

図3A~図3Fは、TFET100の製造方法の一例を概略的に示す図である。図4A~図4Cは、III - V族化合物半導体ナノワイヤ130の作製の工程の一例を示す図である。以下、これらの図を参照してTFET100の製造方法を説明する。

【0080】

まず、p型シリコン基板110を準備する。p型シリコン基板110の表面には、酸化シリコン(SiO₂)からなる膜厚20nmの絶縁膜120が熱酸化法により形成されている。絶縁膜120には、開口部122が形成されている。開口部122の直径は、例えば、20nmである。開口部122は、フォトリソグラフィ法などによって形成される。なお、p型シリコン基板110の裏面には、ソース電極160が予め配置されていてもよい。

【0081】

p型シリコン基板110は、当該基板の温度を900℃に一定時間保持する高温熱処理に供される。高温熱処理は、図4AのゾーンAに示されるように、例えば、不活性ガスの雰囲気中で約900℃の条件で行われる。図4A中、「折れ線」は、基板の温度を表して

10

20

30

40

50

いる。前述したように、引き続き、本実施形態ではp型シリコン基板100の温度を約400に維持し、(111)面を(111)A面、または(111)B面にするために、III属元素またはV族元素を(111)面に供給する(図4AのゾーンB)。たとえば、(111)面を(111)B面とするために、図4Aに示されるように、高温熱処理に続き、基板温度を400に保ちながら、V族元素を含む原料ガスであるAsH₃ガスを(111)面に供給する。図4A中、横方向に延びる「棒」は、原料ガスの種類およびその供給のタイミングを表している。

【0082】

次いで、図3Aに示されるように、MOVPE法により、開口部122を通して露出したp型シリコン基板110の(111)面からIII-V族化合物半導体ナノワイヤ130を成長させる。このとき、III-V族化合物半導体ナノワイヤ130を成長させる前に、交互原料供給変調法によりp型シリコン基板110の(111)面にIII-V族化合物半導体の薄膜を形成することが好ましい。

10

【0083】

交互原料供給変調法は、図4A中のゾーンCで行われる。交互原料供給変調法では、基板の温度を、III-V族化合物半導体ナノワイヤ130の成長時の温度に向けて徐々に上昇させる。また、交互原料供給変調法では、本実施形態では図4Bに示されるように、III-V族化合物半導体ナノワイヤ130の基材となるIII属元素およびV属元素を含む原料ガス、TMIn(トリメチルインジウム)ガスとAsH₃ガスとを交互に供給する。

【0084】

20

たとえば、各原料ガスの供給時間は、2秒間であり、各原料ガスの供給のインターバルは、1秒間である。当該インターバルでは、水素ガスが(111)面に供給される。交互原料供給変調法では、図4B中の矢印で示される、TMInガスとAsH₃ガスとの1回ずつの供給と各原料ガスの供給後における水素ガスの二回の供給を1サイクルとしたときに、当該サイクルが複数回(例えば30回)繰り返される。

【0085】

次いで、III-V族化合物半導体ナノワイヤ130の第1の領域132の成長が行われる。第1の領域132の成長は、図4A中のゾーンDで行われる。第1の領域132の成長では、基板の温度は、一定(例えば540)に保たれる。第1の領域132の成長では、図4Cに示されるように、基材となるAsH₃ガスおよびTMInガスを連続して供給する一方で、p型ドーパントとなるZnを第1の領域132にドーピングするために、DEZn(ジエチル亜鉛)ガスを断続的に供給する。

30

【0086】

たとえば、DEZnガスは、AsH₃ガスおよびTMInガスが30秒間供給される間に、X秒間供給される。すなわち、DEZnガスは、X秒間供給され、(30-X)秒のインターバルを経て、再びX秒間供給される。DEZnガスの一回当たりの供給時間Xは、第1の領域132において補償ドーピング効果が得られる範囲において、適切に決めることができ、例えば、0.5~5秒間である。供給時間Xは、ゾーンDにおいて同じであってもよいし、異なってもよい。第1の領域132の成長では、図4C中の矢印で示される、DEZnガスの1回の供給および1回のインターバルを1サイクルとしたときに、当該サイクルが複数回(例えば30回)繰り返される。

40

【0087】

次いで、III-V族化合物半導体ナノワイヤ130の第2の領域134の成長が行われる。第2の領域134の成長は、図4A中のゾーンEで行われる。第2の領域134の成長でも、基板の温度は、一定(例えば540)に保たれる。第2の領域134の成長では、図4Aに示されるように、基材となるAsH₃ガスおよびTMInガスとともに、本実施形態では、n型ドーパントとなるSiを第2の領域134にドーピングするために、SiH₄ガスを連続して供給する。

【0088】

第1の領域132および第2の領域134が形成されたら、図3Bに示されるように、

50

絶縁膜 120 の表面および III - V 族化合物半導体ナノワイヤ 130 の表面をゲート誘電体膜 140 で覆い、次いでゲート誘電体膜 140 をゲート電極 180 で覆う。ゲート誘電体膜 140 は、例えば、ALD 法によって形成される。ゲート電極 180 は、例えば、スパッタリング法によって形成される。

【0089】

次いで、図 3C に示されるように、p 型シリコン基板 110 の表面上に絶縁保護膜 150 を形成する。絶縁保護膜 150 は、例えば、スピコート法によって形成される。

【0090】

次いで、図 3D に示されるように、絶縁保護膜 150、ゲート電極 180 およびゲート誘電体膜 140 をそれぞれ部分的に除去し、III - V 族化合物半導体ナノワイヤ 130 の頂部（第 2 の領域 134 の端部）およびゲート誘電体膜 140 を露出させる。上記の部分的な除去は、例えば、反応性イオンエッチング（reactive ion etching）法によって行われる。

10

【0091】

次いで、図 3E に示されるように、再び、絶縁保護膜 150 を形成した後に III - V 族化合物半導体ナノワイヤ 130 の頂部を露出させる。そして、図 3F に示されるように、絶縁保護膜 150 の表面にドレイン電極 170 を形成し、p 型シリコン基板 110 の裏面にソース電極 160 を形成する。ドレイン電極 170 およびソース電極 160 は、例えば、真空蒸着によって形成される。

【0092】

20

TFET 100 では、III - V 族化合物半導体ナノワイヤ 130 の第 1 の領域 132 とシリコン基板 110 の（111）面との接合面がトンネル層として機能する。図 5A に示されるように、TFET 100 では、ゲート電極 180 に正のバイアスを印加することで、p 型シリコン基板 110 内のキャリアがトンネル現象により III - V 族化合物半導体ナノワイヤ 130 内に移動する（ON 状態となる）。この動作は、CMOS スイッチの n 型 MOSFET のスイッチ動作に相当する。

【0093】

また、TFET 100 は、p 型に高ドーピングされたシリコン基板 110 と、p 型にドーピングされた第 1 の領域 132 と、n 型にドーピングされた第 2 の領域 134 とを含む。このため、後述の実施例で明らかのように、ノンドーピングの第 1 の領域を含む TFET に比べて、ゲート電圧を正側にシフトさせることができる。

30

【0094】

また、III - V 族化合物半導体ナノワイヤにおける第 1 の領域の導電性を適宜に調整することによって、閾値電圧（スレシールド電圧）が正側または負側にシフトするため、III - V 族化合物半導体の種類を変えることにより、ON 状態に必要な供給電圧を任意に制御することができる。

【0095】

また、絶縁保護膜 150 で III - V 族化合物半導体ナノワイヤ 130 の周囲を被覆するため、複数の TFET 100 を集積化することもできる。

【0096】

40

なお、TFET 100 では、シリコン基板 110 に、p 型に高ドーピングされたシリコン基板を用いたが、本発明の TFET は、n 型に高ドーピングされたシリコン（111）基板を用いて作製することも可能である。この場合、第 1 の領域 132 には n 型ドーパントを断続的にドーピングし、第 2 の領域 134 には p 型ドーパントを連続してドーピングする。このように作製された TFET では、III - V 族化合物半導体ナノワイヤの第 1 の領域と n 型シリコン基板の（111）面との接合面がトンネル層として機能する。

【0097】

前記の TFET では、図 5B に示されるように、ゲート電極に負のバイアスを印加することで、n 型シリコン基板内のキャリアがトンネル現象により III - V 族化合物半導体ナノワイヤ内に移動する（ON 状態となる）。この動作は、CMOS スイッチの p 型 MOS

50

F E Tのスイッチ動作に相当する。また、前記T F E Tは、ノンドープの第1の領域を含むT F E Tに比べて、ゲート電圧を負側にシフトさせることができる。

【0098】

本実施の形態によれば、小さなサブ閾値(60mV/桁以下)で動作可能なT F E Tおよびスイッチ素子を提供することができる。また、本実施の形態によれば、正のゲート電圧で電流値が増大する素子の場合では、より正側の立ち上がり電圧で動作可能であり、負のゲート電圧で電流値が増大する素子の場合では、より負側の立ち上がり電圧で動作可能なT F E Tおよびスイッチ素子を提供することができる。当該T F E Tおよびスイッチ素子は、容易に製造することができる。

【実施例】

【0099】

以下、本発明について実施例を参照して詳細に説明するが、本発明はこれらの実施例により限定されない。

まず、下記の方法によって、従来のT F E T(T F E T - A)を作製した。

【0100】

[比較例1：T F E T - Aの作製]

1)基板の準備

p型シリコン(111)基板(キャリア濃度： $7 \times 10^{18} \text{ cm}^{-3}$)を、熱酸化処理して、表面に膜厚20nmの酸化シリコン膜を形成した。電子線ビームリソグラフィーおよびウェットケミカルエッチングにより酸化シリコン膜に周期的に開口部を形成して、シリコン基板の表面を露出させた。開口部の形状は六角形とし、開口部の面積円相当径は100nmとした。

【0101】

2)InAsナノワイヤの作製

開口部を形成した基板を減圧横型MOVPE装置(HR2339；大陽日酸株式会社)にセットした。MOVPE装置の内温を925℃に上昇させて5分間維持することで、シリコン基板の開口部表面に形成された自然酸化膜を除去した。次いで、装置の内温を925℃から400℃に低下させた。水素化ヒ素を水素ガス(キャリアガス)とともに供給した。水素化ヒ素の分圧は $1.3 \times 10^{-4} \text{ atm}$ とした。

【0102】

次に、交互原料供給変調法によりシリコン基板の開口部にInAsの薄膜を形成した。具体的には、トリメチルインジウムの供給を2秒間、水素ガスによるインターバルを1秒間、水素化ヒ素の供給を2秒間、水素ガスによるインターバルを1秒間の組合せを1サイクルとして、2分間かけて20回繰り返した。トリメチルインジウムの分圧は $9.6 \times 10^{-7} \text{ atm}$ とし、水素化ヒ素の分圧は $2.5 \times 10^{-4} \text{ atm}$ とした。

【0103】

次に、装置の内温を上昇させた後、MOVPE法により長さ800nmのInAsナノワイヤを成長させた。具体的には、装置の内温を400℃から540℃に上昇させた後、トリメチルインジウムおよび水素化ヒ素を水素ガスとともに供給して、長さ500nmのInAsナノワイヤ(第1の領域；キャリア濃度： $2 \times 10^{17} \text{ cm}^{-3}$)を成長させた。続いて、トリメチルインジウム、水素化ヒ素およびモノシランを水素ガスとともに供給して、長さ300nmのn型InAsナノワイヤ(第2の領域；キャリア濃度： $2 \times 10^{19} \text{ cm}^{-3}$)を成長させた。トリメチルインジウムの分圧は $4.9 \times 10^{-7} \text{ atm}$ とし、水素化ヒ素の分圧は $1.3 \times 10^{-4} \text{ atm}$ とし、モノシランの分圧は $7 \times 10^{-8} \text{ atm}$ とした。

【0104】

3)T F E Tの作製

シリコン基板およびInAsナノワイヤの側面にゲート誘電体膜を形成し、さらにその上にゲート電極を形成した。具体的には、ALD法により、膜厚20nmの HfO_2 膜(ゲート誘電体膜)を形成した。その後、高周波スパッタリング法により

10

20

30

40

50

、膜厚100nmのW膜(ゲート電極)を形成した。

【0105】

次に、誘電体膜を形成したシリコン基板上に絶縁樹脂(BCB樹脂)膜を形成して、シリコン基板上のInAsナノワイヤを絶縁樹脂中に包埋した。次いで、反応性イオンエッチングにより絶縁樹脂の上側の一部を除去して、InAsナノワイヤの先端を露出させた。

【0106】

次に、InAsナノワイヤが露出した面にドレイン電極として膜厚120nmのTi(20nm)/Au(100nm)多層膜を形成した。また、シリコン基板上にソース電極として膜厚50nmのTi(20nm)/Au(30nm)多層膜を形成した。こうして、TFET-Aを作製した。

10

【0107】

次に、本発明に係るTFET(TFET-BおよびTFET-C)を作製した。

【0108】

[実施例1:TFET-Bの作製]

第1の領域の成長において、トリメチルインジウムおよび水素化ヒ素の連続供給に併せて、ジエチル亜鉛を断続的に供給した以外は、TFET-Aと同様に作製し、TFET-Bを作製した。ジエチル亜鉛の供給では、1秒間の供給と29秒間のインターバルとを1サイクルとして、当該サイクルを30回繰り返した。ジエチル亜鉛の分圧は、 3×10^{-7} atmとした。TFET-Bの第1の領域におけるドーパント(Zn)の濃度は、 $3 \times 10^{15} \text{ cm}^{-3}$ であった。なお、前記濃度は、ノンドープの上記InAsナノワイヤをn型シリコン基板に作製し、縦型FET構造を作製し、当該ナノワイヤの閾値電圧から算出することによって求めた。

20

【0109】

[実施例2:TFET-Cの作製]

ジエチル亜鉛の供給のサイクルを、2秒間の供給と28秒間のインターバルとを1サイクルとする以外は、TFET-Bと同様に作製し、TFET-Cを作製した。TFET-Cの第1の領域におけるドーパント(Zn)の濃度は、 $6 \times 10^{15} \text{ cm}^{-3}$ であった。

【0110】

図6Aは、TFET-AのInAsナノワイヤの走査電子顕微鏡写真であり、図6Bは、TFET-BのInAsナノワイヤの走査電子顕微鏡写真である。いずれのナノワイヤも、シリコン基板の(111)面に対して垂直な方向に成長していることがわかる。

30

【0111】

前記工程により作製されたTFET-A、TFET-BおよびTFET-Cの、ゲート電圧を印加したときのドレイン電流の関係を測定した。結果を図7に示す。

【0112】

図7中、曲線Aは、TFET-Aの電気特性を表している。曲線Aから明らかなように、TFET-Aのサブスレッショルド特性は、21mV/桁であった。サブ閾値が60mV/桁を下回ることは、TFET-AがトンネルFETであることを実証している。ただし、TFET-Aの立ち上がり電圧は、-0.4Vであった。

40

【0113】

図7中、曲線Bは、TFET-Bの電気特性を表し、Znのパルスドーピングを1秒間、ドーピング間隔を29秒間としたときのトンネルFETの特性を示している。また、曲線Cは、TFET-Cの電気特性を表し、Znのパルスドーピングを2秒間、ドーピング間隔を28秒間としたときのトンネルFETの特性を示している。曲線Bから明らかなように、TFET-Bの立ち上がり電圧は、0.3Vであり、TFET-Bのサブ閾値は、30mV/桁であった。また、曲線Cから明らかなように、TFET-Cの立ち上がり電圧は、0.6Vであり、TFET-Cのサブ閾値は、30mV/桁であった。

【0114】

このように、第1の領域にZnをドーピングしたTFET-BおよびTFET-Cでは、い

50

ずれも、第1の領域にZnをドーブしなかったTFET-Aに比べて、立ち上がり電圧が正側にシフトしていること、トンネルFETの特徴である急峻なサブ閾値も維持できること、および、パルスドーブにおけるドーパントの供給時間によって立ち上がり電圧を調整できること、がわかる。

【0115】

TFET-Aの立ち上がり電圧が負である理由は、原料ガス中のドーパントの存在のためと考えられる。すなわち、ノンドープでInAsナノワイヤを作製した場合、有機金属由来の炭素原子が $10^{16} \sim 10^{17} \text{ cm}^{-3}$ 程度の濃度で第1の領域および第2の領域に添加される。これは、n型ドーパントとして作用する。

【0116】

これに対して、TFET-BおよびTFET-Cでは、III-V族半導体のp型ドーパントとして作用するZn原子をパルスドーブ法によって添加した。すなわち、ノンドープ層の成長中、分圧で $3 \times 10^{-7} \text{ atm}$ 程度の供給量で、1または2秒間の供給および2.9または2.8秒間のインターバルを繰り返した。同じ供給量でZn原子を連続して添加した場合、ナノワイヤ中のZn原子の濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ になる。

【0117】

しかしながら、パルスドーブ法によってZn原子を供給することによって、 $10^{15} \sim 10^{16} \text{ cm}^{-3}$ のZn濃度が、ナノメートルスケールの構造物で実現される。このような適当なp型ドーパントのドーブによって、n型ドーパントとして作用するドーパントとしての炭素原子に対する補償効果（補償ドーピング効果）がもたらされる。当該補償効果を生じると、ノンドープのInAsナノワイヤが電気的により中性になる。このため、例えば、真性層と同等の電気特性を示すナノ構造物（擬似真性層）を作製できる。

【0118】

また、下記の方法によってTFETを作製した。

【0119】

[比較例2：TFET-Dの作製]

比較例1と同様にしてp型シリコン(111)基板から自然酸化膜を除去し、次いで、減圧横型MOVPE装置の内温を925 から670 に低下させ、水素化ヒ素を水素ガス(キャリアガス)とともに供給した(図8AのゾーンB)。水素化ヒ素の分圧は $1.3 \times 10^{-4} \text{ atm}$ とした。

【0120】

次に、交互原料供給変調法によりシリコン基板の開口部にInGaAsの薄膜を形成した(図8AのゾーンC)。具体的には、トリメチルインジウムに代えて、トリメチルインジウムおよびトリメチルガリウムの混合ガスを供給する以外は、TFET-Aの作製と同様にして、上記開口部にInGaAsの薄膜を形成した。トリメチルインジウムの分圧は $9.7 \times 10^{-7} \text{ atm}$ とし、トリメチルガリウムの分圧は $5.7 \times 10^{-7} \text{ atm}$ とし、水素化ヒ素の分圧は $6.0 \times 10^{-4} \text{ atm}$ とした。

【0121】

次に、装置の内温を670 に維持し、トリメチルインジウムを上記混合ガスに代えた以外は、TFET-Aの作製と同様にして、MOVPE法により長さ800nmのInGaAsナノワイヤを成長させた。第1の領域の長さは500nmであり、第1の領域を形成する際のキャリア濃度は $6 \times 10^{16} \text{ cm}^{-3}$ であった。また、第2の領域の長さは300nmであり、第2の領域を形成する際のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ であった。トリメチルインジウムの分圧は $9.7 \times 10^{-7} \text{ atm}$ とし、トリメチルガリウムの分圧は $5.7 \times 10^{-7} \text{ atm}$ とし、水素化ヒ素の分圧は $6.0 \times 10^{-4} \text{ atm}$ とし、モノシランの分圧は $6.0 \times 10^{-8} \text{ atm}$ とした。

【0122】

次いで、TFET-Aと同様にして、ゲート誘電体膜、ゲート電極、絶縁樹脂(BCB樹脂)膜、ドレイン電極およびソース電極を形成し、TFET-Dを作製した。TFET-Dにおける第1の領域の導電型はn-型であり、第2の領域の導電型はn+型である。

10

20

30

40

50

【 0 1 2 3 】

[実施例 3 : T F E T - E の作製]

図 8 A は、実施例 3、4 の T F E T の製造におけるシリコン基板の温度と原料ガスの供給とを模式的に示す図であり、図 8 B は、図 8 A 中のゾーン D における原料ガスの供給のパルスドープを模式的に示す図である。

【 0 1 2 4 】

第 1 の領域の成長において、上記混合ガスおよび水素化ヒ素の連続供給に併せて、ジエチル亜鉛を断続的に供給した (図 8 A のゾーン D および図 8 B) 以外は、T F E T - D の作製と同様に作製し、T F E T - E を作製した。ジエチル亜鉛は、T F E T - B の作製におけるサイクルと同じサイクルで供給した。すなわち、1 サイクルは、ジエチル亜鉛の 1 秒間の供給と、2.9 秒間のインターバルとからなり、当該サイクルの繰り返し回数は 30 回とした。ジエチル亜鉛の分圧は、 5×10^{-7} atm とした。T F E T - E の第 1 の領域におけるドーパント (Zn) の濃度は、 2×10^{15} cm⁻³ であった。T F E T - E における第 1 の領域の導電型は i 型であり、第 2 の領域の導電型は n + 型である。

10

【 0 1 2 5 】

[実施例 4 : T F E T - F の作製]

ジエチル亜鉛の供給のサイクルを、2 秒間の供給と 2.8 秒間のインターバルとを 1 サイクルとする以外は、T F E T - E と同様に作製し、T F E T - F を作製した。T F E T - F の第 1 の領域におけるドーパント (Zn) の濃度は、 2×10^{15} cm⁻³ であった。T F E T - F における第 1 の領域の導電型は i 型であり、第 2 の領域の導電型は n + 型である。

20

【 0 1 2 6 】

T F E T - D、T F E T - E および T F E T - F の、ゲート電圧を印加したときのドレイン電流の関係を測定した。結果を図 9 に示す。図 9 中、曲線 D は、T F E T - D の電気特性を、曲線 E は、T F E T - E の電気特性を、そして曲線 F は、T F E T - F の電気特性を、それぞれ表している。

【 0 1 2 7 】

曲線 D から明らかなように、T F E T - D のサブスレッショルド特性 (サブ閾値) は、380 mV / 桁であり、T F E T - D の立ち上がり電圧は、- 1.0 V であった。これに対して、曲線 E から明らかなように、T F E T - E のサブ閾値は、58 mV / 桁であり、T F E T - E の立ち上がり電圧は、0.05 V であった。また、曲線 F から明らかなように、T F E T - F のサブ閾値は、55 mV / 桁であり、T F E T - F の立ち上がり電圧は、+ 0.2 V であった。

30

【 0 1 2 8 】

以上より、実施例 1 および 2 と同様に、第 1 の領域に Zn をドープした T F E T - E および T F E T - F では、いずれも、第 1 の領域に Zn をドープしなかった T F E T - D に比べて、立ち上がり電圧が正側にシフトし、かつトンネル F E T の特徴である急峻なサブ閾値を有することがわかる。また、パルスドープにおけるドーパントの供給時間によって当該立ち上がり電圧を調整できることもわかる。

【 0 1 2 9 】

2013 年 8 月 13 日出願の特願 2013 - 168048 の日本出願に含まれる明細書、図面および要約書の開示内容は、すべて本願に援用される。

40

【 産業上の利用可能性 】

【 0 1 3 0 】

本発明の T F E T は、例えば半導体マイクロプロセッサおよび高集積回路に形成されるスイッチ素子として有用である。特に、正のゲート電圧で電流が流れる n チャネルトランジスタの場合にゲート電圧を正側にシフトすること、負のゲート電圧で電流が流れる p チャネルトランジスタの場合にゲート電圧を負側にシフトすることが可能である。このため、ゲート電圧がゼロであるときのドレイン電流をより少なくすることが可能となる。したがって、待機時のリーク電力をさらに抑制することが可能となり、例えば省電力化の観点

50

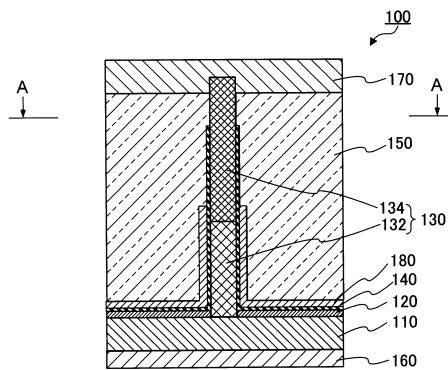
からより一層効果的である。

【符号の説明】

【0131】

- 100 T F E T
- 110 p型シリコン基板
- 120 絶縁膜
- 122 開口部
- 130 III-V族化合物半導体ナノワイヤ
- 132 第1の領域
- 134 第2の領域
- 140 ゲート誘電体膜
- 150 絶縁保護膜
- 160 ソース電極
- 170 ドレイン電極
- 180 ゲート電極

【図1】



【図2】

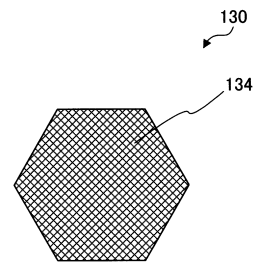


図2A

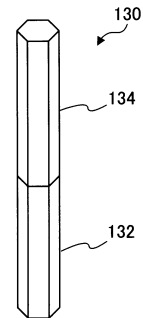
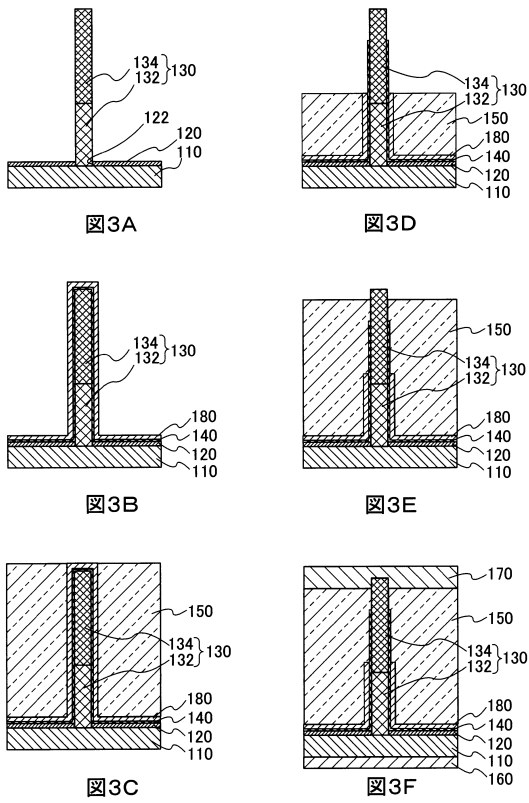
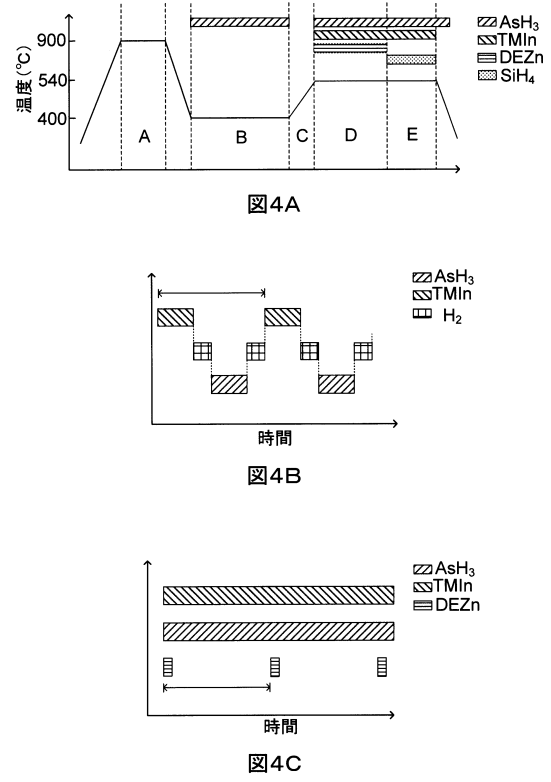


図2B

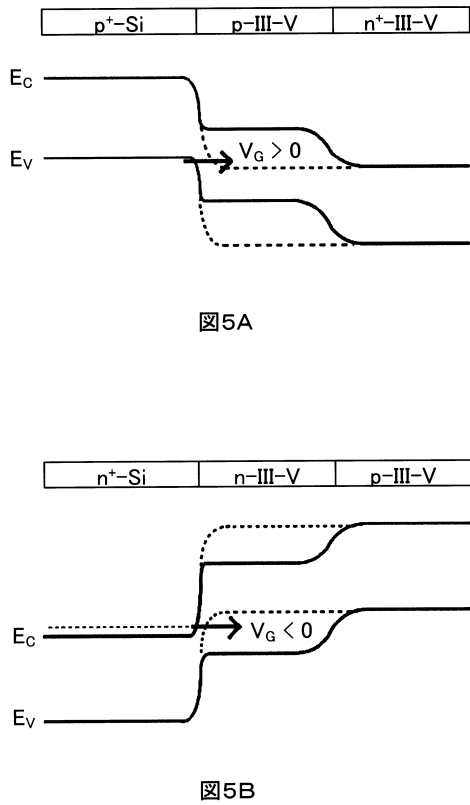
【 図 3 】



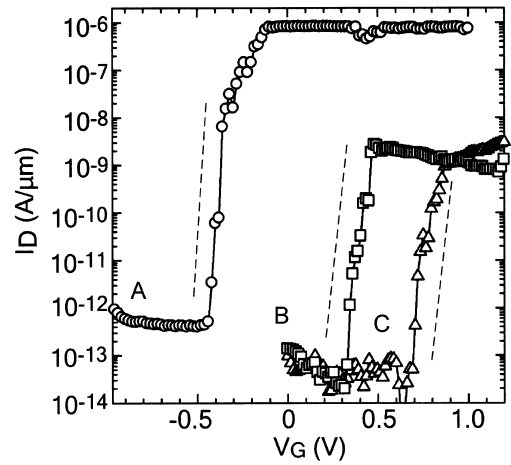
【 図 4 】



【 図 5 】



【 図 7 】



【 図 8 】

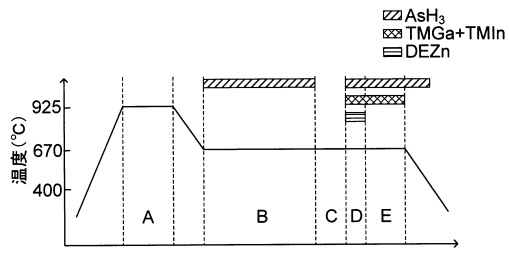


図8A

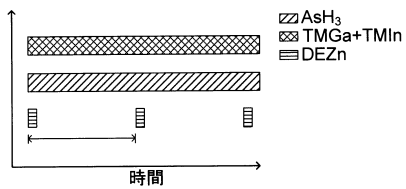
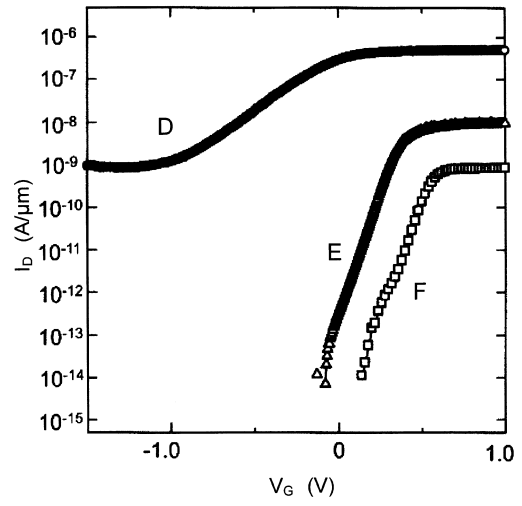


図8B

【 図 9 】



【 図 6 】

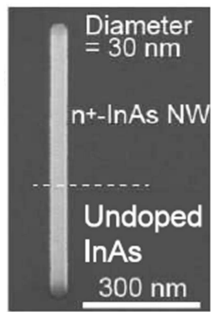


図6A

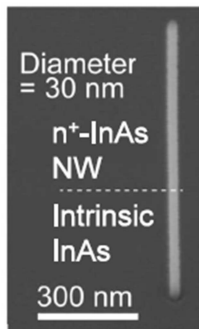


図6B

フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>29/06</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/06</i> <i>6 0 1 N</i>
<i>H 0 1 L</i>	<i>29/66</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/66</i> <i>T</i>
<i>B 8 2 Y</i>	<i>10/00</i>	<i>(2011.01)</i>	<i>B 8 2 Y</i>	<i>10/00</i>
<i>B 8 2 Y</i>	<i>40/00</i>	<i>(2011.01)</i>	<i>B 8 2 Y</i>	<i>40/00</i>

審査官 市川 武宜

(56)参考文献 国際公開第2011/040012(WO, A1)
 特開2013-12723(JP, A)
 特開平7-263365(JP, A)

(58)調査した分野(Int.Cl., DB名)

<i>H 0 1 L</i>	<i>2 1 / 3 3 6</i>
<i>B 8 2 Y</i>	<i>1 0 / 0 0</i>
<i>B 8 2 Y</i>	<i>4 0 / 0 0</i>
<i>H 0 1 L</i>	<i>2 1 / 2 0</i>
<i>H 0 1 L</i>	<i>2 9 / 0 6</i>
<i>H 0 1 L</i>	<i>2 9 / 4 1</i>
<i>H 0 1 L</i>	<i>2 9 / 4 1 7</i>
<i>H 0 1 L</i>	<i>2 9 / 6 6</i>
<i>H 0 1 L</i>	<i>2 9 / 7 8</i>